

Diseño de un Amplificador Operacional didáctico programable en un proceso CMOS de 500 nm

Andrés Fontana, Tomás Mazur, Fernando Aguirre, Sebastián Pazos, Sebastián Verrastró

Universidad Tecnológica Nacional, Facultad Regional Buenos Aires, Departamento de Ingeniería Electrónica, Av. Medrano 951, (C1179AAQ) Ciudad Autónoma de Buenos Aires. Argentina

afontana@frba.utn.edu.ar

Recibido el 15 de junio de 2016, aprobado el 27 de julio de 2016

Resumen

En este trabajo se describe el diseño de un Amplificador Operacional en un proceso CMOS comercial de 500 nm, con la particularidad de que la corriente suministrada en las etapas de ganancia puede ser seleccionada por el usuario. El mismo está comprendido por un Amplificador Operacional de Miller, la etapa de salida, y una fuente de corriente que posibilita la programación. Con fines exclusivamente didácticos, determinados nodos del circuito que resultan de interés para su estudio, son vinculados a salidas especialmente diseñadas con el fin de evitar modificaciones al cargarlo con elementos externos, como podría darse en el caso de la conexión de instrumentos de medición. Gracias a ello, es posible evaluar el estado interno y obtener conclusiones que no serían factibles de adquirir en un dispositivo comercial. Para el diseño del dispositivo hemos hecho foco en optimizar su impedancia de salida, empleando una topología que aprovecha los beneficios de la realimentación negativa. Por último, son aplicadas protecciones contra tensiones de *offset* y corrientes de cortocircuito que aseguran la integridad del dispositivo.

PALABRAS CLAVE: CIRCUITOS INTEGRADOS ANALÓGICOS – AMPLIFICADOR OPERACIONAL- EDUCATIVO – CMOS

Abstract

This work describes a 500 nm CMOS commercial process design of an Operational Amplifier, whose current source of the gain stages can be externally programmed by the user. The device is comprised by a Miller Opamp, an output stage and a programmable current source. For educational purposes, some nodes have been connected to dedicated outputs, thru buffer amplifiers in order to not load the circuit. Therefore, it is possible to evaluate the internal status of the device, which can not be done in a commercial device. Furthermore, we have focused on the optimization of the output impedance by applying a feedback topology. Finally, shortcircuit and offset voltage protections are implemented to guarantee the device integrity.

KEYWORDS: ANALOG INTEGRATED CIRCUITS – OPERATIONAL AMPLIFIER- EDUCATIONAL – CMOS

Introducción

En la actualidad podemos encontrar una gran cantidad de aplicaciones que hacen uso del Amplificador Operacional como dispositivo en común. Por eso son ampliamente estudiados y están en continua mejora para enriquecer las prestaciones de las implementaciones que los utilizan. En este contexto, profundizar el entendimiento de su funcionamiento, analizar y visualizar correctamente cómo interactúan las distintas variables del mismo, cobra importancia si se pretende incrementar la performance de sus características. El diseño CMOS abre las puertas para proponer circuitos que permitan a los usuarios acceder a sectores internos del chip, si el diseñador así lo dispusiera, representando una gran ventaja cuando lo que se busca es adquirir la capacidad de alterar las condiciones de funcionamiento y realizar mediciones que den una idea del cambio de los parámetros eléctricos y sus características. Podemos decir, por ejemplo, que si modificáramos, la intensidad de la fuente de corriente de la etapa diferencial, parámetros como la transconductancia de los transistores, la ganancia y los polos de la etapa variarían provocando, a su vez, cambios en el ancho de banda y la estabilidad. El análisis que se desprende al modificar únicamente la corriente en una etapa resulta muy enriquecedor para comprender el funcionamiento y la interrelación de los parámetros de estos dispositivos. Cada Amplificador Operacional es distinto debido a la gran diversidad de topologías existentes, ya que frecuentemente no es posible obtener la máxima prestación en todas las características deseadas con un único circuito. Consecuentemente, distintas topologías se implementan dependiendo

del parámetro a mejorar, por ejemplo, aumentar la tasa de cambio de la tensión de salida (*Slew Rate*), el producto ganancia por ancho de banda, la excursión de salida, o disminuir el consumo de energía, la impedancia de salida, o el ruido. Durante el desarrollo del trabajo se abordarán con más detalle las etapas que constituyen al Amplificador Operacional, se expondrán las topologías empleadas tanto en la etapa de salida como en la fuente de corriente programable, y se explicará cómo son llevadas al diseño físico para la fabricación del circuito.

Topología empleada

La estructura del Amplificador Operacional completo se compone de cuatro bloques como se muestra en la Fig. 1. Los bloques Etapa Diferencial y de Fuente Común conforman el amplificador de Miller (R. J. Baker, 2007), que provee la ganancia de tensión del dispositivo a la señal aplicada en los terminales de entrada $V+$ y $V-$. En vista de que el amplificador de Miller tiene alta impedancia de salida, es agregada a continuación una nueva etapa, con el objetivo de mejorar la habilidad del dispositivo para manejar cargas de bajo valor resistivo y de gran valor capacitivo. La topología utilizada es conocida como *Buffered Opamp* (Allen y Holberg, 2002) y cumple la función de etapa de salida. Además, contiene una serie de protecciones adicionales para evitar problemas contra corrientes de cortocircuito. En cuanto al bloque de fuente de corriente, abarca tanto la referencia de V_t (tensión térmica) (Maloberti, 2001) de todo el sistema como un bloque Multiplicador de Corriente que permite seleccionar la corriente deseada en la Etapa Diferencial y Fuente Común mediante los

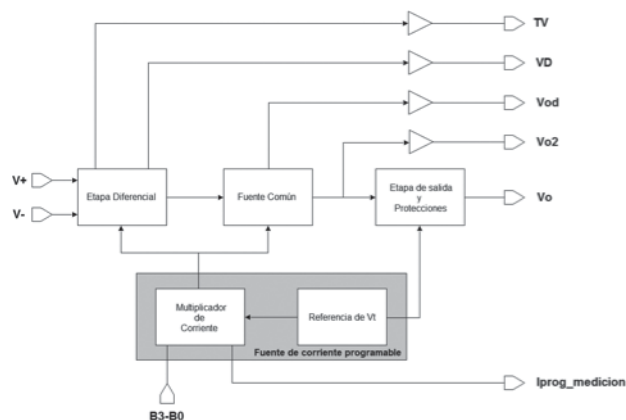


Fig. 1. Diagrama en bloques del Amplificador Operacional programable desarrollado

Fuente: Elaboración propia

bit de programación B3-B0. Los puntos internos del circuito posibles de medir son: tierra virtual (TV), la tensión de salida (Vod) y de Drain del transistor no inversor de la etapa diferencial (VD), y la tensión de salida de la etapa de Fuente Común (Vo2). Cada una de las salidas mencionadas se encuentran conectadas a un *Buffer*, para impedir que los componentes externos al circuito modifiquen su funcionamiento y provoquen falsas mediciones. Por último, se proporciona el pin de salida *Iprog_medicion* con el fin de comprobar la corriente programada.

Amplificador Operacional de Miller (Aguirre, 2014)

Como se mencionó anteriormente, el Amplificador Operacional de Miller expuesto en la Fig.2a, es un amplificador multietapa compuesto por un Amplificador Diferencial con salida referida a masa (*single ended*), comprendido por los transistores M1 a M5, y un Fuente Común (M6 y M7). Ambos son polarizados por los espejos de corriente M5, M6 y M8, cuya referencia es suministrada por la fuente de corriente programable. En la Fig.2b se observa el modelo de pequeña señal generalizado del circuito sin compensar, mediante el cual se obtiene la transferencia de tensión de las etapas. En baja frecuencia, la ganancia de tensión A_v (1) es el resultado de la ganancia de cada etapa, por lo que se obtiene:

$$A_v = A_{vd}A_{v2} = \frac{g_{m1}g_{m7}}{(g_{ds2} + g_{ds4})(g_{ds6} + g_{ds7})} \quad (1)$$

Los valores típicos de la transferencia para estas topologías es de alrededor de 80 dB. Si se analiza la respuesta en frecuencia, vemos que la misma presenta dos polos como consecuencia de las constantes de tiempo producidas por los componentes de entrada (R1 y C1) y de salida (R2 y C2). Estos elementos engloban el conjunto de los parámetros de entrada y salida presentes en el circuito, simplificando el análisis de la relación entre los parámetros eléctricos y la ubicación de las singularidades de la transferencia. Del desarrollo de la transferencia de tensión en función de la frecuencia, se desprenden las expresiones de los polos (2) y (3).

$$p_1 \cong -\frac{1}{R_1R_2g_{m7}C_{gd7}} \quad (2)$$

$$p_2 \cong -\frac{g_{m7}C_{gd7}}{C_1C_2 + (C_1 + C_2)C_{gd7}} \quad (3)$$

Además se observa un polo ubicado en el semiplano derecho en (4).

$$z = \frac{g_{m7}}{C_{gd7}} \quad (4)$$

Para mejorar el margen de fase y asegurar la estabilidad del circuito puede agregarse un capacitor de compensación en paralelo con C_{gd7} , pero en tecnología CMOS, debido a los bajos valores de transconductancia (Taur y Ning,

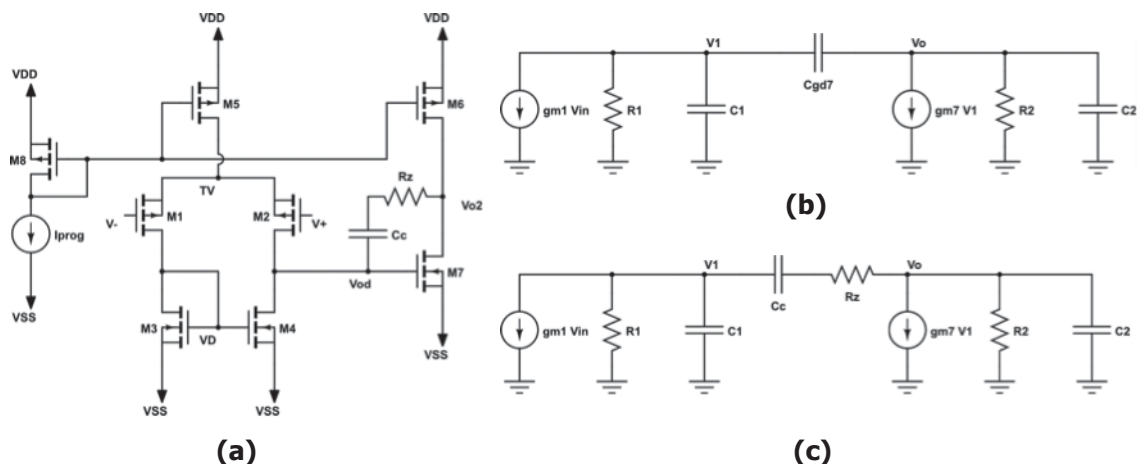


Fig. 2. (a) Amplificador Operacional de Miller. Modelo general de pequeña señal del Amplificador Operacional de Miller: (b) sin red de compensación, (c) aplicando técnica compensación de anulación de cero

Fuente: Elaboración propia

2013), el cero en el semiplano derecho puede posicionarse próximo a la frecuencia de ganancia unitaria, degradando la respuesta de fase y provocando inestabilidad en el circuito. Una solución a este problema resulta de colocar una red de compensación entre los terminales de *Gate* y *Drain* del transistor de salida M7 (Fig. 2.a), compuesta por C_c y R_z . El primero es llamado capacitor de compensación, debido a que su implementación tiene como objetivo el desplazamiento del primer polo hacia frecuencias menores, aprovechando el efecto de Miller. De esta forma se busca lograr la dominancia de uno de los polos, mientras que el otro se ubica por encima de la frecuencia de ganancia unitaria, mejorando la estabilidad del circuito y evitando posibles oscilaciones del sistema. El segundo, se conoce comúnmente como resistor de anulación de cero (*zero nulling resistor*), y forma parte de una técnica empleada para anular el término que produce la aparición del cero en la transferencia (Maloberti, 2001). Analizando ahora el modelo de pequeña señal mostrado en la Fig.2c se puede verificar que si los polos se encuentran lo suficientemente espaciados y R_z se asume menor que R_1 o R_2 , entonces la utilización de esta técnica no modifica significativamente la posición de los polos, pero si altera la expresión del cero y adiciona un nuevo polo a la transferencia:

$$p_3 = -\frac{1}{R_z C_1} \quad (5)$$

$$z = \frac{1}{C_c \left(\frac{1}{g_{m7}} - R_z \right)} \quad (6)$$

Si en (6) se impone la condición $R_z = 1/g_{m7}$ el cero tiende hacia frecuencias mayores a la de ganancia unitaria, por lo tanto puede desprejarse su influencia.

Fuente de corriente

Las corrientes de polarización de todo el circuito son provistas por las fuentes de corriente. Un diseño robusto implica dotarlas de una referencia estable e invariante frente a causas externas que puedan provocar fluctuaciones de la corriente entregada, como por ejemplo la variación de la temperatura. Por lo tanto, resulta sumamente importante implementar circuitos de referencia efectivos en los diseños, ya que una incorrecta corriente de polarización puede modificar sustancialmente el funcionamiento del circuito, llevándolo a puntos de operación indeseados o generando inestabilidades, entre otros problemas. Existen circuitos que tienen en cuenta esta problemática y toman como valor de referencia distintos parámetros. Por ejemplo, la diferencia de energía entre las bandas de valencia y conducción del material, conocida como referencia de *BandGap*, la cual puede implementarse mediante la utilización de CCII (*Current Conveyors*) (Ferri y Guerrini, 2001; Elwan y Soliman, 1997), o la tensión térmica de transistores bipolares parásitos conocida como referencia de V_t . Ésta última se expone en la Fig. 3a, donde los transistores M1 y M2 como así también M3 y M4, se diseñan apareados de tal forma que las tensiones en el nodo A y en el nodo B sean idénticas. Por lo tanto, puede calcularse la corriente a través de la resistencia R como se muestra en (7). Como parámetro de

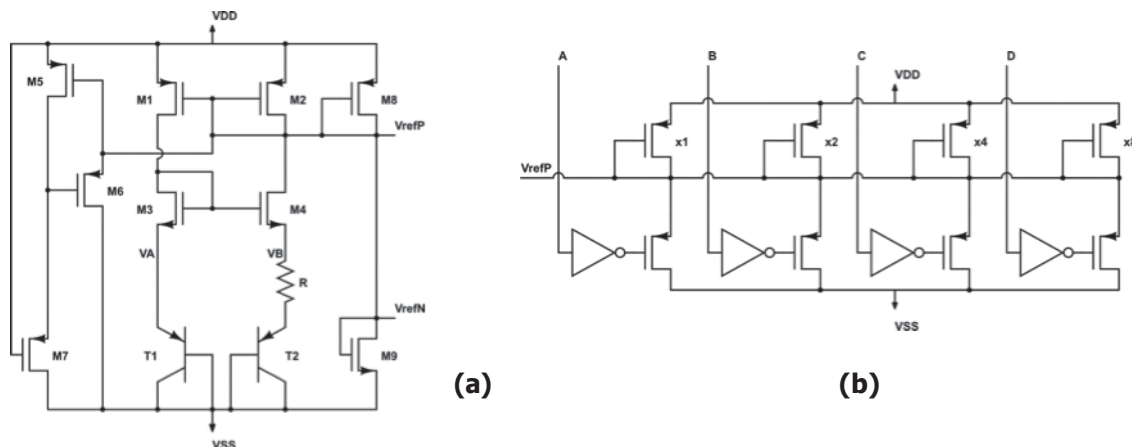


Fig. 3. Circuito referencia, junto con el circuito de start-up y una rama espejada, (b) Multiplicador basado en múltiples espejos, que suman su corriente para lograr hasta 15 veces la corriente de referencia

Fuente: Elaboración propia

diseño, se toma al área de T2 proporcional al de T1 en un factor de "n", resultando (9).

$$I_{ref} = \frac{1}{R} (V_{BE1} - V_{BE2}) \quad (7)$$

$$I_{ref} = \frac{V_t}{R} \ln \left(\frac{I_{ref}}{A I_{SS}} \frac{n A I_{SS}}{I_{ref}} \right) \quad (8)$$

$$I_{ref} = \frac{V_t}{R} \ln (n) \quad (9)$$

Debido a que la tensión térmica de los transistores bipolares y la de la resistencia tienen un coeficiente de temperatura contrarios, se provee una compensación a la dependencia térmica del circuito. Una vez establecida la referencia de corriente, para que la fuente de corriente de las etapas de ganancia del operacional sea programable mediante entradas digitales, se controla el valor de la corriente a partir de llaves digitales y espejos de corriente (Khan y Dutta, 2003), resultando en espejos controlados que en su conjunto entregan una corriente proporcional a la generada por el circuito de referencia (Fig. 3b). La simpleza de los espejos de corriente hace posible el diseño de varias instancias de forma que sean lo más parecidas posible, y en consecuencia la corriente total de salida sea realmente proporcional a la de referencia. Las entradas digitales controlan directamente a las llaves, habilitando a los espejos, y sumando en el mismo nodo la corriente entregada por cada uno de ellos.

Etapas de salida

La etapa de salida cumple el rol de interfaz entre la etapa de ganancia y la carga. Debido a que las cargas que suelen manejar estos circuitos pueden ser tanto resistivas como capacitivas, cuando se desea amplificar en tensión es recomendable que el dispositivo presente en su salida una resistencia mucho menor que la resistencia de carga más baja a trabajar. Entonces, si la resistencia de salida de un Amplificador Operacional es alta (comúnmente en amplificadores no "buffereados") debe disminuirse todo lo posible en pos de aproximarse al elemento teórico. Los beneficios de la realimentación negativa en los circuitos analógicos han sido ampliamente estudiados (Sedra y Smith, 2014). Su empleo desensibiliza la transferencia respecto de la ganancia del circuito, reduce la influencia de la generación de distorsión y ruido dentro del mismo, y modifica las resistencias de entrada y salida dependiendo de la configuración utilizada. Por esta última ventaja es que se considera la posibilidad de agregar un Buffer (Fig. 4a) para reducir la resistencia de salida (Brehmer y Wieser, 1983). La Fig. 4b muestra el circuito implementado en la etapa de salida del Amplificador Operacional Programable, en donde los transistores de salida M9 y M10 conforman una configuración *Push-Pull Common Source* (Allen y Holberg, 2002) para que la etapa opere en Clase AB, y junto con los Amplificadores de Error (Brehmer y Wieser, 2003) AE1 y AE2, se realimenta negativamente (Sedra y Smith, 2014) para constituir el Buffer de salida. Los Amplificadores de Error son complementarios entre sí para que cada uno de

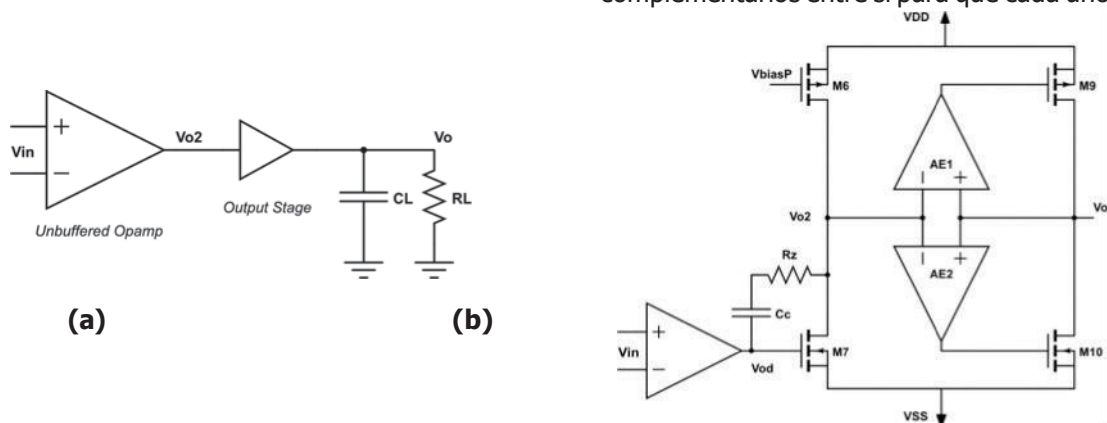


Fig. 4. (a) Diagrama general de un Amplificador Operacional "Buffereado", (b) Aplicación de un Amplificador Operacional "Buffereado" usando realimentación negativa tensión-paralelo

Fuente: Elaboración propia

ellos intervenga en un semiciclo de la señal, y se encuentran levemente polarizados para evitar distorsiones por cruce.

La topología usada para los Amplificadores de Error es la misma que la explicada en la sección Topología Empleada del Amplificador Operacional de Miller. En la Fig. 5a se puede apreciar el circuito esquemático de AE1 (Fig. 4b) el cual consiste en una configuración con par diferencial NMOS. Debido a que esta etapa maneja grandes excursiones de señal, en el semiciclo negativo la tensión VD15 cae hacia VSS, provocando que la fuente de corriente se apague. En consecuencia la tensión de *Gate* de M9 también tiende a disminuir hacia VSS encendiendo al transistor de salida y generando un efecto indeseado. Para evitar que los nodos queden sin referencia, se agregan los transistores M13B y M14B. Estos son diseñados para que en el semiciclo positivo la corriente que proporcionan a las ramas diferenciales sea despreciable con respecto a la de la fuente de corriente, y en el momento en que la fuente se apague debido a la gran excursión negativa, los transistores lleven la tensión del nodo flotante hacia VDD, manteniendo el transistor de salida al corte. De forma similar sucede en el Amplificador de Error complementario AE2 (Fig. 4b), para el semiciclo positivo. El efecto explicado anteriormente será analizado mediante simulaciones en la sección Simulaciones y diseño físico. La compensación se lleva a cabo tanto en M9 como en M10 de la misma forma expuesta anteriormente, por medio del capacitor Cc1 y la resistencia de salida del transistor MR1 para el transistor de salida PMOS.

Como resultado de la aplicación de esta técnica para la reducción de la resistencia de salida, ésta se ve reducida por la relación de impedancias de Blackman (Blackman, 1943) como se expresa en la fórmula (10), en donde

$R_o = 1/(g_{ds9} + g_{ds10})$ es la resistencia de salida a lazo abierto,
 R_{out} la resistencia de salida a lazo cerrado,
 A_v la ganancia a lazo abierto de la etapa y
 β la ganancia del lazo de realimentación, que para el caso de un Buffer es igual a la unidad.

$$R_{out} = \frac{R_o}{1 + A_v \beta} \quad (10)$$

Respecto a las cargas capacitivas, la etapa de salida debe ser capaz de proveer la corriente de salida necesaria. Debido a que estas etapas están diseñadas para ganar en potencia, las dimensiones de los transistores de salida suelen ser importantes, y se acostumbra agregar, además, protecciones contra condiciones de mal funcionamiento.

Protecciones

Durante la vida útil de los circuitos electrónicos, pueden llegar a presentarse distintos tipos de situaciones que desencadenen fallas en el funcionamiento. Si bien estas anomalías pueden suceder por el envejecimiento de los elementos constitutivos debidos al desgaste normal por el uso, muchas veces los factores externos como las condiciones del medio en el que se encuentran o una mala concepción en el diseño pueden

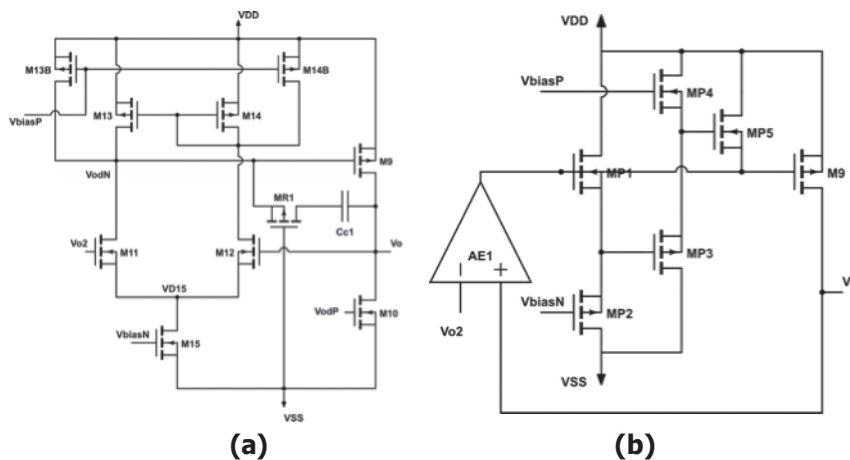


Fig. 5. (a) Amplificador de Error con par diferencial NMOS, (b) Circuito de protección contra cortocircuito

Fuente: Elaboración propia

ser los causantes de la degradación parcial o destrucción total de los dispositivos. Por estos motivos, es común que los circuitos integrados apliquen protecciones contra temperatura y cortocircuitos en sus diseños con la finalidad de resguardar la integridad de los mismos (Fotouhi, 2003). La tecnología MOS tiene la ventaja de poseer un coeficiente térmico negativo (Sze y Ng, 2007), evitando de esta manera embalamientos térmicos, lo que otorga protección contra temperatura sin necesidad de agregar ningún circuito extra. No obstante, para proteger el dispositivo contra corriente de cortocircuito, es necesario limitar la corriente entregada por los transistores de salida antes de que el exceso de potencia disipada los destruya, y una forma de lograrlo es sensándola de alguna manera. La Fig. 5b muestra el circuito aplicado para ello, comprendido por los transistores MP1 a MP5 para el caso del Amplificador de Error con par diferencial NMOS, y el circuito complementario para el segundo Amplificador de Error. Los transistores MP1 y MP2 forman un inversor con carga activa al igual que MP3 y MP4. MP1 sensa la corriente del transistor de salida y se diseña para que actúe

cuando la corriente observada sobrepasa los límites de funcionamiento normal del dispositivo provocando que MP5 se active, llevando la tensión de *Gate* del transistor de salida hacia VDD.

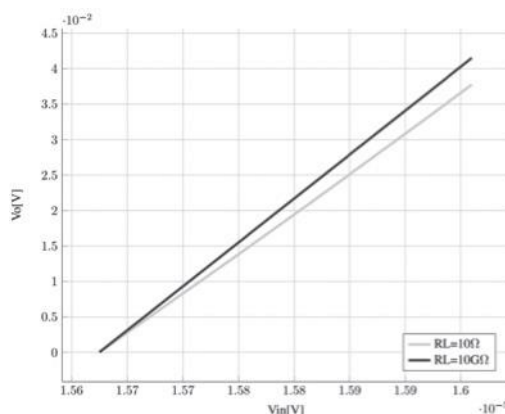
Simulaciones y diseño físico

En la sección anterior se han explicado con mayor grado de detalle los bloques que componen al Amplificador Operacional Programable, y los criterios usados para la elección de topologías que ayuden a cumplir los requisitos propuestos. Para llevar a cabo la verificación de los cálculos de diseño, se emplearon los modelos del proceso ON C5 de ON-Semiconductor provistos por MOSIS (MOSIS, 2016), en conjunto con la *suite* de herramientas de *Synopsys* (Synopsys, 2016), para simular el comportamiento del circuito en forma más completa y cercana a la realidad. En la Tabla I se exponen los datos extraídos de las simulaciones para los distintos análisis explicados en esta sección. Durante el desarrollo del trabajo se ha hecho hincapié en adoptar una estrategia que permita reducir la resistencia de salida

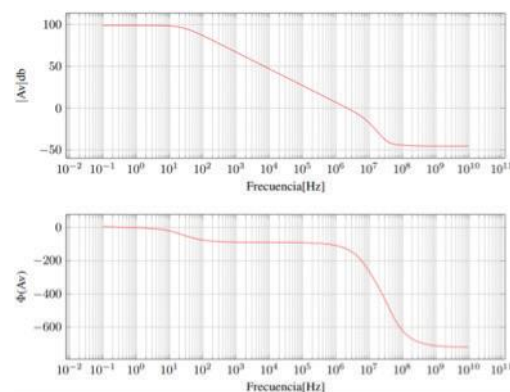
TABLA 1. Parámetros simulados del OpAmp

Fuente: Elaboración propia

Parámetro	Valor simulado
Resistencia de salida @ $RL = 10\Omega$	1.18 Ω
Producto Ganancia por ancho de banda	2.28MHz
Margen de Fase	49.2°
Ganancia de tensión @ $f = 1Hz$	98.5dB
Corriente máxima de salida	3.9mA
Tensión de offset de salida	-62.5 μ V



(a)



(b)

Fig. 6. (a) Rectas de resistencia de salida para una carga de 10Ω y circuito abierto($10G\Omega$), (b) Curvas de respuesta en frecuencia para distintos valores de polarización de entrada

Fuente: Elaboración propia

de la última etapa, y por lo que se puede ver en los resultados arrojados por las simulaciones (Fig. 6a), al evaluar la tensión de salida para dos cargas sometidas a un análisis adecuado que permita obtener la respuesta a lazo abierto junto con un barrido de la tensión de entrada, se obtienen dos rectas de distinta pendiente. Si se toma un valor fijo de V_{in} , se pueden medir dos valores de tensión de salida, uno para cada recta, y con estos datos usando (11) obtenemos la resistencia de salida del dispositivo.

$$R_{out} = R_{L|10\Omega} \left(\frac{V_{O|R_L=10G\Omega}}{V_{O|R_L=10\Omega}} - 1 \right) \quad (11)$$

En la Fig. 6b se expone la respuesta en frecuencia de la transferencia A_v del amplificador, en donde se puede ver que la ganancia en baja frecuencia es cercana a los 100 dB, y el producto ganancia por ancho de banda es de 2.28 MHz con un margen de fase de casi 50°, corroborando la correcta aplicación de las técnicas de com-

pensación para lograr la estabilidad del circuito. Si bien el diseño de las protecciones es calculado previo a las simulaciones, al contar con modelos más completos es preciso realizar los ajustes necesarios de las mismas en esta etapa. En la Fig. 7a se muestran las tensiones VD15, VodN y Vo (Fig. 5a), las corrientes de la fuente de corriente del amplificador de error AE1, y la corriente entregada por el transistor de salida M9 sin protecciones aplicadas. Al aumentar la excursión en el semiciclo negativo se puede ver como la tensión de VD15 tiende hacia VSS, dejando la zona de saturación, provocando que M9 no se apague como se puede ver por el nivel de corriente del transistor. Al colocar en el circuito los transistores M13B y M14B (Fig. 5a), el nodo flotante del *Gate* del transistor de salida es forzado hacia VDD al entrar M15 en la zona lineal, apagando a M9 (Fig. 7b). Las protecciones contra cortocircuito limitan las corrientes excesivas causadas por anomalías que puedan producir la destrucción parcial o total del dispositivo. En el diseño realizado este tope es calculado alrede-

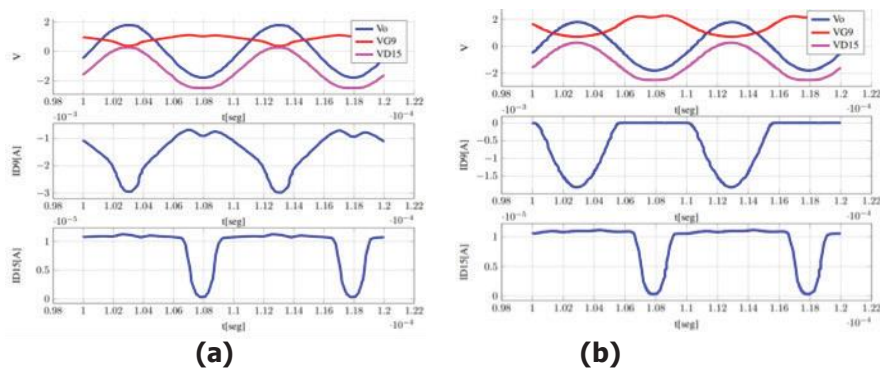


Fig. 7. Tensiones y corrientes en el amplificador de error AE1: (a) sin protección, (b) con protección

Fuente: Elaboración propia

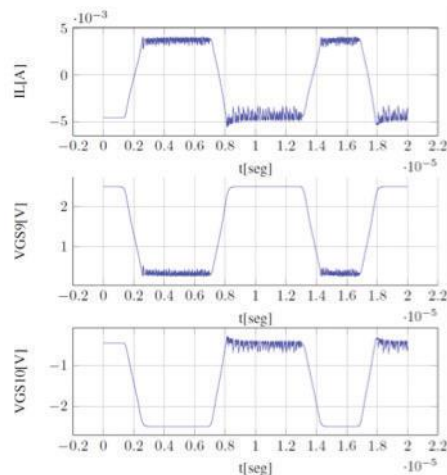


Fig. 8. Simulación del circuito de protección contra cortocircuito

Fuente: Elaboración propia

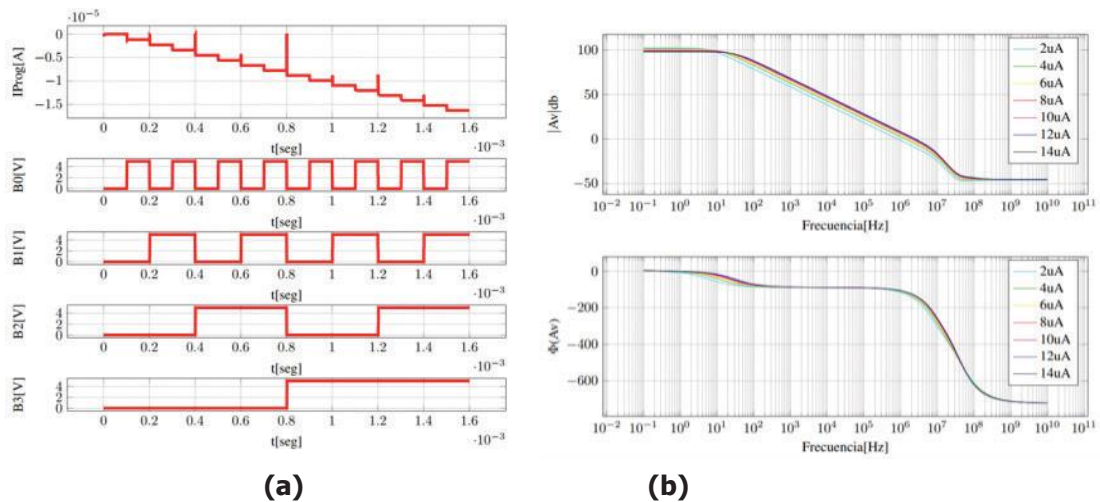


Fig. 9. (a) Simulación de la fuente de corriente programable, (b) Modificación de la respuesta en frecuencia del dispositivo al cambiar la programación de la fuente de corriente

Fuente: Elaboración propia

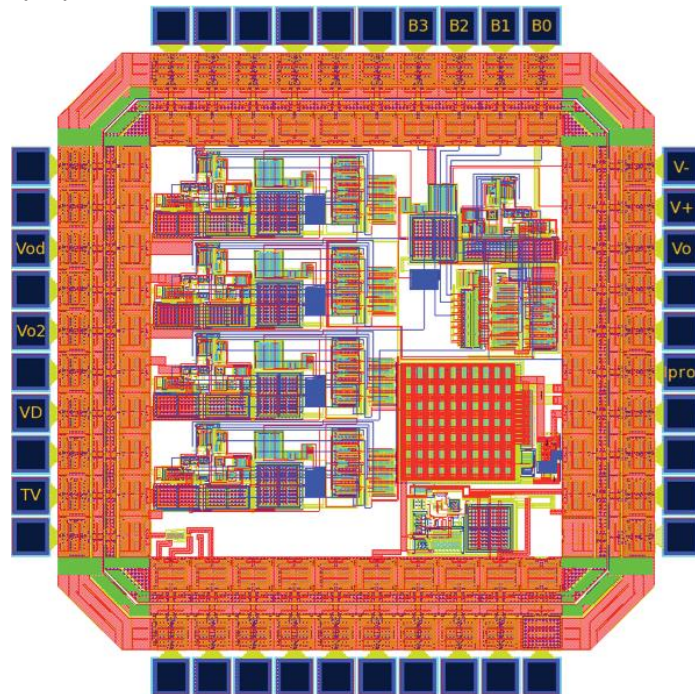


Fig. 10. Layout del Amplificador Operacional programable

Fuente: Elaboración propia

dor de los 4 mA, valor en el cual como se puede apreciar en la Fig. 8, los circuitos de protección se accionan forzando a las tensiones VG9 y VG10 a hacia VDD y VSS respectivamente, e impidiendo que la corriente de salida aumente en forma desmedida. Respecto a la fuente de corriente programable, la misma fue concebida para entregar hasta un máximo de 15 uA en pasos de 1uA mediante un conjunto de 4 *bit* (*nibble*) de control manejado por el usuario, por

lo que resulta de interés determinar si los pasos son idénticos entre ellos y si a su vez son múltiplos de la corriente de referencia. La Fig. 9a es el resultado de la simulación de la fuente de corriente, en dónde al aplicar valores binarios sucesivos de programación se visualiza como la corriente de salida aumenta escalonadamente de forma negativa por el sentido saliente al nodo de fuente medido. Como consecuencia, los parámetros sensibles a la variación de las

TABLA 2. Parámetros simulados del OpAmp

Fuente: Elaboración propia

PIN	Nombre	Descripción
5	Vod	Medición de tensión a la salida del diferencial
6	Vo2	Medición de tensión a la salida del Fuente Común
7	VD	Medición de tensión en la rama inversora del diferencial
8	TV	Medición de tensión de la tierra virtual
22	VDD	Alimentación positiva del dispositivo
23	VSS	Alimentación negativa del dispositivo
29	Iprog_medicion	Medición de la corriente entregada por la fuente de corriente
31	Vo	Tensión de salida del OPAMP
32	V+	Terminal positivo del OPAMP
33	V-	Terminal negativo del OPAMP
40-37	B3-B2-B1-B0	Nibble para la programación de la fuente de corriente

corrientes de polarización de las primeras dos etapas como las transconductancias de los transistores, se modifican cambiando el *Slew Rate*, la ganancia de tensión, la posición de los polos y ceros de la transferencia que pueden incluso llevar al circuito a la inestabilidad (Fig. 9b). Éstos desajustes tienen sentido desde el punto de vista educativo, en dónde resulta de interés para comprender como se interrelacionan las distintas variables de diseño al alterar el funcionamiento interno del *OpAmp*, y efectuar el análisis de los efectos producidos que luego pueden contrastarse experimentalmente midiendo el chip.

El diseño final (*layout*) del dispositivo (Fig. 10) se implementó usando las herramientas de *Synopsys* en un proceso comercial de 500 nm, y catorce pines de entrada/salida (ver Tabla 2) son empleados para la comunicación con el exterior.

Conclusiones

La versatilidad de los Amplificadores Operacionales junto con la posibilidad de realizar diseños CMOS, posibilitan la proyección de dispositivos que implementados correctamente otorguen al usuario la capacidad de modificar las variables internas modificando en consecuencia las prestaciones del mismo. Sin embargo, no deben descuidarse las protecciones necesarias que aseguren la integridad del chip. La selección del parámetro a programar por el usuario debe ser tal que influya significativamente en características relevantes para su estudio, y la corriente entregada por las fuen-

tes de corriente de las etapas de ganancia en tensión es de gran utilidad, no solamente por su impacto en el circuito, sino también por la relativa facilidad para ser modificada. En este trabajo las corrientes de las primeras dos etapas están referidas a la misma referencia de corriente programable, por lo que una mejora a tener en cuenta en futuros proyectos consiste en hacerlas independientes, para otorgar mayor versatilidad a la variación de parámetros controlados por el usuario. Debe señalarse que implementar Amplificadores Operacionales programables puede resultar muy beneficioso a la didáctica desde el punto de vista del fortalecimiento de la teoría del funcionamiento de estos circuitos mediante mediciones experimentales, tanto de los nodos internos provistos en los pines de salida como de las mismas prestaciones de la topología.

Referencias

- AGUIRRE, F. L., (2014) Análisis y diseño de un Amplificador Operacional de dos etapas en proceso C5N de ON-Semiconductor, Libro de Memorias del V Congreso de Microelectrónica Aplicada (UEA 2014), ISBN: 987-24680-5-2.
- ALLEN, P. E. Y HOLBERG, D. R., (2002) CMOS Analog Circuit Design, 2ed., Oxford University Press, Inc.
- BAKER, R. J. (2007) CMOS Circuit Design, Layout, and Simulation, 2ed., Wiley.
- BLACKMAN, R. B., (1943) Effect of Feedback on Impedance, Bell Syst. Tech. J., vol. 22, no. 3, pp. 269–277.
- BREHMER, K. E. y WIESER, J. B., (1983) Large swing CMOS power amplifier, IEEE J. Solid-State Circuits, vol. 18, no. 6, pp. 624–629.
- ELWAN, H. O. y SOLIMAN, A. M., (1997) Low-voltage low-power CMOS current conveyors, IEEE Trans. Circuits Syst. I Fundam. Theory Appl., vol. 44, no. 9, pp. 828–835.
- FERRI, G. y GUERRINI, N. C., (2001) Low-voltage low-power novel CCII topologies and applications, ICECS2001. 8th IEEE International Conference on Electronics, Circuits and Systems (Cat. No.01EX483), vol. 2, pp. 1095–1098.
- FOTOUHI, B., (2003) An efficient CMOS line driver for 1.544-Mb/s T1 and 2.048-Mb/s E1 applications, IEEE J. Solid-State Circuits, vol. 38, no. 2, pp. 226–236.
- KHAN, Q. A. y DUTTA, D., (2003) A programmable CMOS bandgap voltage reference circuit using current conveyor, 10th IEEE International Conference on Electronics, Circuits and Systems, 2003. ICECS 2003. Proceedings of the 2003, vol. 1, pp. 8–11.
- MALOBERTI, F., (2001) Analog Design for CMOS VLSI Systems, Kluwer Academic Publishers.
- MOSIS Integrated Circuit Fabrication Service, (2016) www.mosis.com, USC Information Sciences Institute, 4676 Admiralty Way 7th floor, Marina del Rey, CA 90292-6695, USA.
- SEDRA, A. S. y SMITH, K. C., (2014) Microelectronic Circuits, Oxford University Press, Inc.
- SYNOPSYS Inc., (2016) www.synopsys.com, Mountain View, California, USA.
- SZE, S. M. y NG, K. K., (2007) Physics of semiconductor devices, 3ed., Wiley.
- TAUR, Y. y NING, T. H., (2013) Fundament