

# TESIS DE DOCTORADO

(DOCTORADO EN INGENIERÍA – MENCIÓN:  
PROCESAMIENTO DE SEÑALES E IMÁGENES)

**Título:**

**“Desafíos de Confiabilidad en dispositivos Metal-  
Óxido-Semiconductor y circuitos integrados de  
radiofrecuencia”**

Autor: Sebastián Matías Pazos

Director de Tesis: Dr. Félix Roberto Mario Palumbo

Codirector de Tesis: Dr. Fernando Silveira Noguero

Buenos Aires - 2021



---

---

*Desafíos de confiabilidad en dispositivos  
Metal-Óxido-Semiconductor y  
circuitos integrados de radiofrecuencia*

---

---

por

SEBASTIÁN MATÍAS PAZOS

**Director de Tesis**

*Dr. Félix Roberto Mario Palumbo*

*Universidad Tecnológica Nacional - Facultad Regional Buenos Aires*

**Co-Director de Tesis**

*Dr. Fernando Abel Silveira Noguero*

*Facultad de Ingeniería - Universidad de la República (Uruguay)*



**UTN.BA**

UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

Escuela de Posgrado  
UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BUENOS AIRES

Documento remitido a la Comisión de Posgrado para su evaluación acorde con los requerimientos para optar por el título de DOCTOR EN INGENIERÍA - MENCIÓN PROCESAMIENTO DE SEÑALES E IMÁGENES.

CIUDAD AUTÓNOMA DE BUENOS AIRES, 26 DE DICIEMBRE DE 2020



## AGRADECIMIENTOS

Agradezco profundamente a las siguientes personas por haber contribuido a esta tesis ya sea por el aporte técnico/científico o bien por el simple hecho de "haber estado allí" para mí durante estos años de trabajo. Sin el aporte de todos y cada uno de ellos, el cumplimiento de los objetivos trazados no hubiera sido posible.

A mis directores académicos y orientadores, Dr. Félix Palumbo y Dr. Fernando Silveira, no sólo por el valor de su vasto conocimiento en las temáticas de esta tesis sino también por su predisposición para conmigo y este trabajo y por su atención constante en proveerme las facilidades necesarias para la ejecución de tareas, ya sea financiamiento, disponibilidad de equipamiento o simplemente sus valiosos consejos. El apoyo que me han brindado a lo largo de estos años es difícil de transmitir en pocas palabras, y es por eso mismo que estoy profundamente agradecido no solo por su aporte académico sino por haber podido compartir este período con ellos.

Al grupo de trabajo del Laboratorio de Nanoelectrónica de la UIDI - UTN.BA, por su apoyo constante, por las discusiones enriquecedoras y por su increíble valor humano: Dr. Félix Palumbo, Dr. Hernán Gianetta, Ing. Andrés Fontana, Lic. Santiago Boyeras e Ing. Gabriel Maroli. Particularmente, a mi colega Ing. Fernando Aguirre, a quien tengo el gusto de poder llamar también mi amigo, por compartir largas horas de trabajo, de desafíos constantes, de mediciones extensas y de todas las aristas que involucra un doctorado. El aporte del equipo de trabajo excede ampliamente lo que uno puede reflejar entre los meros autores de una publicación, y por ello espero que estas líneas puedan cubrir la diferencia tal como se merecen.

A todas las autoridades y personal de la UTN.BA, pero particularmente del Departamento de Ingeniería Electrónica (Ing. Alejandro Furfaro, Ing. Marcelo Doallo, Dr. Leandro Cymberknop) y de la Secretaría de Ciencia, Tecnología e Innovación Productiva (Lic. Patricia Cibeira, Lic. Florencia Counyo), que me acompañan en este camino desde mucho antes de comenzar el doctorado y que han puesto todo su esfuerzo y predisposición en garantizar las mejores condiciones de trabajo posibles. A su vez, agradecer a todos los miembros del Instituto de Ingeniería Eléctrica de la UDELAR en Montevideo, Uruguay, por recibirme y hacerme sentir en todo momento como si estuviera en casa. Asimismo, agradezco a las autoridades del Grupo de Materia Condensada y del laboratorio TANDAR, por recibirme durante los primeros años de beca doctoral.

Un especial agradecimiento va dirigido a todos los colaboradores externos, nacionales y extranjeros, que contribuyeron a estos años de trabajo. Puntualmente, a los investigadores y autoridades de la Universidad Tecnológica Nacional Facultad Regional Villa

---

María por su guía y predisposición. Asimismo, a los investigadores del Technion Israel Institute of Technology (Dr. Moshe Eizenberg, Dr. Igor Krylov), de la Universidad Autónoma de Barcelona (Prof. Enrique Miranda), del IMM-CNR en Catania (Dr. Salvatore Lombardo), de la Universidad de Stanford (Prof. Paul McIntyre, Dr. Kechao Tang) y de la Universidad de Soochow (Dr. Mario Lanza). Todos y cada uno de ellos contribuyeron a distintos aspectos de esta tesis, ya sea proveyendo muestras para experimentos, discusiones valiosas sobre los resultados o incluso su compañía y sus consejos durante conferencias en el extranjero.

A mi novia, por soportar los fines de semana de trabajo, los largos viajes y mis nervios a lo largo de estos años, apoyándome constantemente a pesar de los altibajos del oficio. Del mismo modo, agradecer a mi familia por apoyarme desde el momento inicial, interesándose en mi trabajo, poniéndose a disposición para todo lo que pudieran ser de ayuda y sin cuestionar ni un minuto mis razones para seguir este camino.

A mis hermanos que me dió la vida, esos amigos que uno elige como la familia fuera de la familia, que a lo largo de todos estos años pudieron entender o no el por qué o el cómo pero que nunca dejaron de brindarme su apoyo incondicional, teniendo siempre las risas a la orden del día para compartir momentos buenos y mejorar los malos.

A la comunidad de microelectrónica de la Argentina, con colegas que recorrieron el doctorado a la par e investigadores que siempre se pusieron a disposición para conversar, compartir experiencias y trabajar en conjunto. Y especialmente a los miembros de aquel incipiente Laboratorio de Microelectrónica de UTN.BA por el año 2010, Ing. Emilio Álvarez e Ing. Federico Divruno, que me recibieron como estudiante de grado para dar mis primeros pasos en el área de la investigación.

Al CONICET por su apoyo financiero a través de la beca doctoral que me permitió dedicarme exclusivamente a este trabajo y a los mecanismos de financiamiento del MINCYT y la UTN.BA, sin los cuales muchos resultados no hubieran sido posibles.

Finalmente, un profundo agradecimiento a los destacados miembros del tribunal de evaluación, tanto titulares como suplentes, por su enorme predisposición y por sus valiosas contribuciones a la versión final de esta tesis.

## RESUMEN

**E**l paradigma de la miniaturización se ha encontrado con limitaciones, tanto económicas como tecnológicas, que atentan contra la mejora sostenida del rendimiento de los circuitos electrónicos. Garantizar la confiabilidad tanto a nivel físico de la estructura de un transistor como también a nivel de su aplicación en circuitos elaborados, es un eslabón fundamental en el proceso de maduración de las tecnologías de integración. Esta tesis versa sobre importantes desafíos que se presentan en esta materia para la próxima generación de dispositivos y circuitos integrados, llamados a extender la mejora continua de los sistemas nanoelectrónicos observada en las últimas tres décadas.

A lo largo de este trabajo se busca un enfoque integral al estudio de la confiabilidad, analizada a través de dos ejes centrales del futuro de la tecnología electrónica: por un lado, el cambio del sistema de materiales utilizados en dispositivos basados en óxidos delgados en reemplazo del sistema silicio-dióxido de silicio; por otro lado, las exigencias en circuitos integrados basados en transistores de efecto de campo para aplicaciones de radiofrecuencia, tecnología esencial en el escenario del Internet de las Cosas. Estos dos ejes se encuentran al evaluar el impacto de la degradación de los dispositivos semiconductores sobre el funcionamiento de circuitos complejos, analizando las limitaciones y alternativas de diseño para maximizar la relación de compromiso entre desempeño y confiabilidad.

Sobre el eje de los dispositivos nanoelectrónicos, se centra la atención en la degradación de los aislantes delgados. Desde el punto de vista de la ruptura dieléctrica, en este trabajo se reporta la influencia de las propiedades térmicas de óxidos de alta constante en la ruptura de dispositivos metal-aislante-metal y metal-aislante-semiconductor. A su vez, se propone una interpretación para el rol de óxidos bicapa en la velocidad de la ruptura bajo estrés eléctrico, centrada en el papel de la temperatura en la ruptura progresiva.

A su vez, se estudia el origen e impacto de los defectos del óxido en estructuras metal-óxido-semiconductor sobre sustratos de alta movilidad, llamados a ser reemplazo de la tecnología silicio-dióxido de silicio. Se discute sobre el rol de la distribución de defectos, el atrapamiento de carga y los procesos de fabricación, reportando claras diferencias entre indicadores de calidad ampliamente utilizados en la literatura para caracterizar estos dispositivos.

Como alternativa novedosa de considerable potencial tecnológico, se extiende el análisis sobre el nitruro de boro hexagonal, un aislante en dos dimensiones con interesantes propiedades como posible elemento de memoria no volátil. La adquisición y procesamiento

---

del ruido eléctrico durante la ruptura del aislante se presenta como una herramienta útil para la identificación de los defectos que promueven la ruptura del mismo y que pueden resultar limitantes en aplicaciones proyectadas para este material.

Sobre el segundo eje troncal de esta tesis, y como aplicación fundamental dentro de los sistemas integrados, se estudia el impacto del envejecimiento de los dispositivos electrónicos sobre el desempeño de circuitos de radiofrecuencia en tecnologías metal-óxido-semiconductor complementarias. Desde la perspectiva de un diseñador y desde etapas tempranas de diseño, se demuestran las relaciones de compromiso entre confiabilidad y rendimiento, se provee un enfoque por exploración del espacio de diseño para optimizar estas relaciones en amplificadores de potencia en la banda de 2.4 GHz y se sugieren estrategias de recuperación integradas para paliar la degradación paramétrica de los dispositivos.

Esto se propone dentro de un flujo de simulación integral que contempla la física detrás de la variación de parámetros eléctricos y del ruido de los dispositivos involucrados, respectivamente verificados en forma experimental. Puntualmente, se reportan resultados de la importancia de tal enfoque sobre osciladores controlados por tensión. Se destaca el impacto del aumento del ruido bajo condiciones de estrés en los transistores y se propone una metodología de simulación que refleje este fenómeno en el desempeño de los osciladores durante el diseño.

**Palabras clave:** CMOS, circuitos integrados, ruptura progresiva, radiofrecuencia, confiabilidad, envejecimiento.



## ABSTRACT

The miniaturization paradigm has come across limitations, both economic and technological, which threaten the sustained improvement in performance observed through generations of electronic circuits. Reliability insurance of the physical structure of transistor, as well as at the system level, where devices are part of complex circuits, is a key factor in the maturation process of integration technologies. This thesis discusses important challenges presented in this matter for the next generation of integrated circuits and devices, called upon to extend the continuous advancement of nanoelectronic circuits that has been observed over the last three decades.

An integral approach to the study of reliability is boarded in this work over two central axes of the future of electronics: on one hand, the change of the materials used to build thin-oxide devices looking to replace the classic silicon-silicon dioxide system; on the other, the strong requirements placed on radiofrequency integrated circuits based on field effect transistors, essential in the emerging Internet of Things and post-5G communications. These two axes meet when analyzing the impact of semiconductor device aging on the operation of a full circuit, considering limitations and alternatives to maximize the trade-offs between performance and reliability.

On the axis of nanoelectronic devices, the focus is set on the degradation of thin insulators. Regarding dielectric breakdown, this work reports the influence of the thermal properties of high-k dielectrics on the breakdown of metal-insulator-metal and metal-insulator-semiconductor devices. Additionally, an interpretation is introduced in relation to the impact of bilayered oxides on the breakdown growth rate under electrical stress, centered on the role played by the temperature in the progressive breakdown.

Moving along, this work studies the origin and impact of oxide defects on metal-oxide-semiconductor devices based on high mobility substrates, great candidates to replace silicon-based technology. The role of defect distribution, charge trapping and fabrication recipes are discussed, reporting clear differences between widely accepted quality indicators used to characterize these devices.

As a novel alternative of considerable technological potential, the analysis is extended to hexagon boron nitride, a two-dimensional insulator with interesting properties for its application as non-volatile memory. Noise signal acquisition and processing during the breakdown transients is presented as a powerful tool to identify defects promoting breakdown growth and that can determine its performance on the intended applications for this material.

On the second axis of this work, and as a cornerstone in modern integrated systems,

---

the impact of device aging on the performance of radiofrequency CMOS integrated circuits is studied. From the circuit designers' perspective and from early design stages, the trade-offs between performance and reliability are detailed, a design space exploration is proposed to optimize such trade-offs in 2.4 GHz band power amplifier design and integrated circuit architectures are proposed for the recovery against device parametric degradation with operating time.

This is enclosed in a complete simulation flow that considers the physics behind device parameter drift and noise behavior of the aged devices, respectively verified with experimental techniques. Specifically, results are reported on the importance of such approach on the reliability study of voltage-controlled RF CMOS oscillators. The impact of device noise increase under stress is highlighted and a modeling framework is implemented to consider this reliability-threatening phenomenon during circuit design.

**Keywords:** CMOS, integrated circuits, progressive breakdown, radiofrequency, reliability, ageing.

## TABLA DE CONTENIDOS

	<b>Pág.</b>
<b>Lista de tablas</b>	<b>xi</b>
<b>Lista de figuras</b>	<b>xiii</b>
<b>1 Introducción</b>	<b>1</b>
1.1 Motivación . . . . .	1
1.2 Organización del trabajo de tesis . . . . .	8
<b>2 Nociones básicas de tecnología CMOS</b>	<b>11</b>
2.1 Capacitor MOS . . . . .	12
2.1.1 Curvas capacidad-tensión . . . . .	13
2.1.2 Carga atrapada, trampas de frontera y estados de interfaz . . . . .	15
2.1.3 Curvas C-V multifrecuencia de MOS sobre III-V . . . . .	16
2.2 Transistor MOSFET . . . . .	18
2.2.1 Modelos y curvas corriente-tensión . . . . .	18
2.2.2 Efectos de canal corto y de segundo orden . . . . .	20
2.3 Modelos de degradación en tecnologías CMOS . . . . .	21
2.3.1 TDDB . . . . .	21
2.3.2 HCI . . . . .	25
2.3.3 Confiabilidad de MOSFETs bajo operación en RF . . . . .	27
<b>3 Ruptura progresiva</b>	<b>31</b>
3.1 Ruptura dieléctrica progresiva en óxidos HK . . . . .	31
3.1.1 Estado del arte y modelo compacto . . . . .	31
3.1.2 Impacto de la conductividad térmica del óxido . . . . .	36
3.1.3 Ruptura progresiva en óxidos bicapa . . . . .	41
3.2 Conclusiones . . . . .	53

## TABLA DE CONTENIDOS

---

<b>4 Estructuras MOS sobre semiconductores III-V</b>	<b>55</b>
4.1 Dispersión e histéresis en curvas C-V MOS . . . . .	55
4.2 Temperatura y distribución trampas de frontera . . . . .	59
4.3 Temperatura e histéresis . . . . .	63
4.4 Origen físico de histéresis y dispersión: ausencia de correlación . . . . .	65
4.5 Conclusiones . . . . .	72
<b>5 Ruido eléctrico en MOSFET y h-BN como aislante 2D</b>	<b>73</b>
5.1 Ruido en dispositivos nanoelectrónicos . . . . .	74
5.2 Acondicionamiento y procesamiento de señales . . . . .	76
5.3 Ruido y ruptura de h-BN multicapa . . . . .	79
5.4 Conclusiones . . . . .	88
<b>6 Diseño para confiabilidad de circuitos de RF</b>	<b>91</b>
6.1 Bloques fundamentales del RFFE . . . . .	91
6.2 Confiabilidad en osciladores de RF controlados por tensión . . . . .	93
6.2.1 Generalidades sobre CMOS VCO y ruido de fase . . . . .	93
6.2.2 Simulación integral de la confiabilidad de CMOS VCOs . . . . .	96
6.3 Confiabilidad en amplificadores de potencia de RF CMOS . . . . .	102
6.3.1 Conceptos básicos de diseño de CMOS RF PA . . . . .	103
6.3.2 Impacto de las decisiones de diseño en TDDB . . . . .	105
6.3.3 Impacto de las decisiones de diseño en HCI . . . . .	109
6.3.4 Validación experimental de modelos de degradación . . . . .	112
6.3.5 Confiabilidad en el espacio de diseño de RF PA monolíticos . . . . .	117
6.3.6 Polarización adaptativa para RF PA resilientes frente a HCI . . . . .	126
6.4 Conclusiones . . . . .	133
<b>7 Conclusiones</b>	<b>135</b>
7.1 Contribuciones . . . . .	135
7.2 Perspectivas a futuro . . . . .	138
<b>A Apéndice A: Lista publicaciones centrales</b>	<b>141</b>
A.1 Artículos en revistas con referato . . . . .	141
A.2 Publicaciones en <i>proceedings</i> de conferencias indexadas . . . . .	142
A.3 Participación en publicaciones vinculadas a la línea de trabajo . . . . .	143

<b>B Apéndice B: Parámetros de modelos de degradación y dimensionamiento de circuitos</b>	<b>145</b>
B.1 Parámetros para modelos de degradación . . . . .	145
B.2 Modelo de ruptura dieléctrica simplificado para simuladores . . . . .	145
B.3 Parámetros de DC bajo degradación en SPICE . . . . .	146
B.4 Parámetros de ruido bajo degradación en SPICE . . . . .	147
B.5 Simulaciones de degradación en función del tiempo en SPICE . . . . .	148
B.6 Dimensionamiento para polarización adaptativa CMOS . . . . .	149
<b>C Apéndice C: Lista de acrónimos y siglas</b>	<b>151</b>
<b>Referencias</b>	<b>155</b>



## LISTA DE TABLAS

<b>TABLA</b>	<b>Pág.</b>
B.1 Valores de los parámetros para modelos de TDDB y HCI utilizados para un proceso de 130 nm. . . . .	146
B.2 Modelos de fluctuación de cantidad de portadores $\Delta n$ y de fluctuación de movilidad de portadores $\Delta\mu$ en los cuales se basan, en forma general, los modelos semiempíricos de SPICE. . . . .	147





## LISTA DE FIGURAS

FIG.	Pág.
1.1 Representación de las múltiples aristas al problema del escalamiento en la industria del semiconductor. Las perspectivas de confiabilidad ante el cambio de materiales y la creciente integración de sistemas complejos son los ejes principales de esta tesis. .	2
1.2 (Izq.) Alternativas estructurales para dispositivos MOSFET más allá del escalamiento tradicional. (Der.) Limitaciones en el escalamiento de las dimensiones físicas hacia comienzos de la década de 2020. . . . .	3
1.3 (a) Microscopía electrónica de distintos aislantes ultra delgados en (a) tecnologías comerciales basadas en SiO <sub>2</sub> , (b) con óxidos "High-k" y (c) futuras alternativas de dieléctricos en capas (LD, <i>layered dielectrics</i> ), comunmente conocidos como materiales 2D. (d) Representación comparativa de la velocidad de inyección de los portadores en función de la longitud del canal para silicio y para InGaAs como candidato III-V a reemplazarlo. . . . .	4
1.4 Desafíos del sistema MOS con materiales HK/III-V. La confiabilidad del óxido y de la interfaz óxido-semiconductor son aspectos fundamentales para garantizar la robustez de la tecnología. . . . .	5
1.5 Representación compacta de los requerimientos de los sistemas integrados según su rango de aplicación, en el contexto del IoT. Notar que el conjunto de bloques constructivos puede ser el mismo, pero sus condiciones de trabajo y requerimientos de confiabilidad y robustez pueden variar considerablemente acorde a su aplicación.	6
1.6 (Izq.) Degradación de las señales de RF en un amplificador de potencia en la banda de 28 GHz por envejecimiento de los transistores. (Der.) Caída de potencia de salida en amplificadores de potencia de RF con el tiempo de envejecimiento. . . . .	7
2.1 Estructura básica de un capacitor MOS. (a)-(d) Diagramas de bandas de energía en cada condición de operación, según potencial aplicado $V_G$ . . . . .	12

2.2	(a) Circuito equivalente de capacidades y (b) curvas capacidad-tensión para una estructura MOS ideal a baja (líneas a trazos) y alta (líneas llenas) frecuencia. (c) Impacto de defectos en el óxido y la interfaz sobre la curva C-V real (líneas rojas) respecto a la ideal (líneas negras). . . . .	14
2.3	(a) Representación básica de los defectos en la estructura MOS de acuerdo a su ubicación física. (b) Representación en el diagrama de bandas de energía de las distintas trampas. (c) Curvas C-V multifrecuencia típicas para una estructura MOS basada en InGaAs y HfO <sub>2</sub> , mostrando los efectos de estados de interfaz y las trampas de frontera. . . . .	17
2.4	Estructura básica de un MOSFET en corte transversal. (a) Curvas experimentales $I_{DS}-V_{GS}$ para un MOSFET de $L = 130$ nm en escala logarítmica (eje izq.) y lineal (eje der.), mostrando la extracción $V_{on} \approx V_{th0}$ . (b) Curvas de salida $I_{DS}-V_{DS}$ para distintas tensiones $V_{GS}$ . . . . .	19
2.5	(a) Modelo esquemático de la teoría de percolación: las esferas (defectos) se generan aleatoriamente hasta formar un camino percolativo entre los electrodos, atravesando dieléctrico. (b) Confiabilidad de óxidos delgados representada en un diagrama de Weibit, en términos de la teoría de percolación. . . . .	23
2.6	Representación gráfica del proceso de generación de defectos de interfaz por HCI. . . . .	27
2.7	Valores que adoptan el parámetro $AGE(T)$ (ejes izq.) y su parámetro de confiabilidad asociado (ejes der.) en función de la amplitud de la señal cuasiestacionaria de estrés principal para los mecanismos de (a) TDDB y (b) HCI. . . . .	30
3.1	(a) Ruptura abrupta en 7 nm de SiO <sub>2</sub> sobre silicio y con compuerta metálica. (b) Representación de la extracción del DR sobre una curva I-t de 1.5 nm de SiO <sub>2</sub> . (c) Curvas I-t de la ruptura en un n-MOSFET de 1.1 nm de espesor equivalente de SiO <sub>2</sub> , mostrando duraciones similares para el PBD y para su inicio. . . . .	33
3.2	Resultados de $dI_{BD}/dt$ en función de la tensión para un amplio universo de dieléctricos y representación en 3 dimensiones de la migración de los átomos del electrodo hacia el dieléctrico durante la ruptura. . . . .	34
3.3	Transitorios de ruptura capturados mediante osciloscopio y amplificador de transimpedancia (TIA) para las muestras MIM con ambos óxidos, a distintas tensiones de estrés. . . . .	37
3.4	Resultados de experimentos de estrés a tensión constante (CVS). Transientes de ruptura (I-t) adquiridos mediante SMU a distintas tensiones de estrés para muestras MIM con (a) 7 nm HfO <sub>2</sub> y (b) 7 nm Al <sub>2</sub> O <sub>3</sub> . (c) Tasa de degradación (DR) extraída de estas mediciones en función del estrés para cada juego de muestras. . . . .	39

3.5	Curvas experimentales V-I en distintas condiciones de ruptura para las muestras MIM de (a) $\text{Al}_2\text{O}_3$ y (b) $\text{HfO}_2$ , junto con los ajustes del modelo de conducción mesoscópica QPC, mostrando buena superposición. (c) y (d) muestran los parámetros de ajuste del modelo $t_b$ y $\Phi$ extraídos para un gran número de mediciones, observando que las características eléctricas del camino de ruptura son virtualmente idénticas para ambos óxidos. . . . .	40
3.6	(a) Estructura general de las muestras MOS bajo estudio. (b) Representación esquemática de ambos óxidos en condición de ruptura. (c) Esquemático de un circuito equivalente para la estructura en condición de ruptura. (d) Curva I-t típica de ruptura adquirida utilizando una SMU para las muestras de $100 \text{ \AA}$ de $\text{HfO}_2$ y por medio de un TIA (inset). . . . .	43
3.7	Mediciones I-t realizadas con SMU sobre los MOS con óxido bicapa disponibles. La subfigura (a) muestra la extracción de $dI_{BD}/dt$ sobre estas mediciones. . . . .	44
3.8	Mediciones I-t realizadas con TIA sobre los MOS con óxido bicapa disponibles. La subfigura (a) muestra la extracción de $dI_{BD}/dt$ sobre estas mediciones. . . . .	45
3.9	(a) Resultados experimentales de $dI_{BD}/dt$ en función de la tensión de estrés para todos los juegos de muestras disponibles, extraídos de mediciones con SMU (símbolos vacíos) y TIA (símbolos llenos). (b) Rangos de las tensiones utilizadas durante los experimentos en función del espesor relativo (al espesor total) de la capa de $\text{Al}_2\text{O}_3$ en el óxido bicapa. Notar una clara saturación de rangos para valores de $t_{rel} > 0.15$ . . .	46
3.10	Eje izq., datos experimentales de la corriente de ruptura en función de la tensión aplicada (para mediciones I-V hasta 3 V e I-t hasta 7 V) para las muestras estudiadas y ajuste empírico (curva gruesa). Eje der., temperatura de referencia de las muestras 0-100 y 100-0 extraída del modelo de PBD. . . . .	48
3.11	Representación de los rangos de tensión de estrés obtenidos a través del modelo de PBD $V_{G_{model}}$ en función del espesor relativo de la capa de $\text{Al}_2\text{O}_3$ en la estructura del aislante. Las aproximaciones utilizadas sobre el modelo de PBD se ajustan considerablemente mejor a la tendencia observada en los experimentos. . . . .	52
4.1	Curvas C-V multifrecuencia para los dispositivos MOS con óxidos simples (a) y (e) (de referencia) y bicapas (b), (c) y (d). . . . .	57
4.2	Curvas C-V de histéresis para dispositivos MOS sobre sustrato de InGaAs. (a) y (b) corresponden a stress negativo y positivo, respectivamente, con óxido de $\text{Al}_2\text{O}_3$ , mientras (c) y (d) son las equivalentes para muestras con $\text{HfO}_2$ . . . . .	58

4.3	(a) Representación del mecanismo físico de la dispersión sobre el diagrama de bandas de energía. (b) Curvas C-V multi-frecuencia (200 Hz a 600 KHz) para muestras MOS MG/AlON/InGaAs del set A, con alto contenido de N en el óxido, a 300 K (rojo) y 77 K (azul). <sup>2</sup> Mediciones realizadas por el Dr. Félix Palumbo en el Technion Israel Institute of Technology. . . . .	59
4.4	(a) Curvas I-V típicas a 300 K y 77 K para los tres juegos de muestras. (b) Gráfica de FN y ajuste de la barrera de FN para los datos de (a). (c) Representación en diagrama de bandas del mecanismo de Fowler-Nordheim. . . . .	62
4.5	(a) Visualización de la dispersión en acumulación de $C_p$ con la frecuencia pero en función de la máxima "probing depth". (b) $X_p$ en función de la temperatura a frecuencias límites del barrido. . . . .	62
4.6	Impacto de la temperatura y el sentido de la tensión de estrés sobre la histéresis C-V. (a) y (b) muestran estrés en acumulación a 78 K y 300 K respectivamente. (c) y (d) muestran lo correspondiente con estrés hacia inversión. . . . .	64
4.7	Diagrama de flujo simplificado del proceso de fabricación de los 4 juegos de muestras empleados para los experimentos. La exposición al aire genera una capa de óxido nativo en la interfaz óxido-semiconductor. . . . .	66
4.8	(a)-(d) Mediciones C-V multifrecuencia típicas entre 200 Hz y 1.1 MHz y (e)-(h) mediciones típicas de histéresis bajo estrés dinámico en acumulación para los cuatro juegos de muestras. . . . .	67
4.9	(a) Comparación entre muestras de diferentes procesos de la dispersión porcentual relativa en función de la frecuencia. (b) Equivalente comparación pero para el ancho del ciclo de histéresis. El <i>inset</i> informa la carga atrapada $Q_{trapped}$ para cada caso. . . . .	68
4.10	Datos experimentales de la literatura, relacionando la dispersión de $C_p$ con la variación de la histéresis de la curva C-V, representados como diagrama de dispersión. No se puede observar ninguna correlación clara entre ambos indicadores de defectos. . . . .	69
4.11	(a) y (b) Experimentos de estrés a tensión constante y sus efectos sobre la histéresis en los sets de muestras FGA-#1 y AE-#4. (c) y (d) Extracción del corrimiento de $V_{FB}$ y el ancho del ciclo de histéresis $V_{hys}$ con el tiempo acumulado de estrés. Los símbolos vacíos indican una medición del ciclo de histéresis realizada después de completados todos los ciclos de estrés. . . . .	70
4.12	Curvas típicas I-t bajo estrés constante para las muestras FGA-#1, mostrando atrapamiento de electrones (pendiente negativa), y AE-#4, evidenciando SILC (pendiente positiva). . . . .	71

5.1	Densidad espectral de potencia para procesos de ruido rosa o de <i>flicker</i> ( $1/f$ ) y RTN o de Lorentz ( $1/f^2$ ). El solapamiento de constantes de tiempo asociadas a señales de ruido telegráficas $1/f^2$ resulta en un espectro de $1/f$ . . . . .	74
5.2	Diagrama en bloques del sistema de amplificación de bajo ruido. . . . .	77
5.3	Imagen de la implementación física del sistema de acondicionamiento y polarización. . . . .	78
5.4	(a) Ejemplo de adquisición (0.5 segundos de una sesión de 60) del ruido de corriente de drenaje de un MOSFET a una frecuencia de muestreo de 2 Ksps. (b) Espectro resultante de aplicar periodograma y método de estimación de Welch (ventanas de 1/64 veces la longitud total del vector, solapadas al 50 %) a la serie temporal capturada en (a). . . . .	79
5.5	Caracterización del ruido de drenaje en transistores MOSFET de dos tecnologías diferentes (130 nm y 350 nm), para distintos niveles de inversión del canal, a corriente de polarización constante. . . . .	80
5.6	(a) Representación de la estructura hexagonal del h-BN. (b) Visualización por microscopía de barrido TEM de campo oscuro anular de grandes ángulos (HAADF STEM). (c) Micrografía TEM de estructuras Au/h-BN/Au, donde se aprecia la naturaleza por capas del dieléctrico y (d) los desórdenes de la red. . . . .	80
5.7	Vista bajo el microscopio óptico de las muestras <i>crossbar</i> bajo estudio. Notar la visualización del h-BN depositado por CVD entre las líneas metálicas que conforman el dispositivo. Imagen derecha cortesía de Mario Lanza, Soochow University, China. . . . .	81
5.8	(a) Curvas I-V para múltiples dispositivos <i>crossbar</i> . (b) Curvas I-t bajo estrés de tensión constante medidos mediante una SMU. El <i>inset</i> muestra los valores extraídos de la tasa de degradación para cada tensión aplicada. . . . .	82
5.9	(a) 100 segundos de captura del ruido a través de un dieléctrico multicapa de h-BN en condición prístina. (b) Sección 1 mostrando claro RTN de dos niveles (zonas sombreadas). (c) Histograma de la sección 1 confirmando los dos niveles de conducción. (d) Densidad espectral de potencia de ruido para la traza completa (a) y la zona RTN (b). . . . .	83
5.10	(a) Curvas I-t para un dispositivo sin estresar a tensión aplicada 1.5 V y 1.75 V. (b) Densidad espectral de ruido de corriente para las adquisiciones, incluyendo $V = 1.25$ V y el piso de ruido del sistema. Notar la presencia de RTN a 1.75 V. . . . .	85

5.11	(a) Misma muestra de la Fig. 5.9 pero para una captura completa de 600 segundos, mostrando el evento de ruptura (a partir de B) y el crecimiento progresivo de la corriente. El <i>inset</i> muestra el espectro de ruido de cada sección A-D de la captura. (b) Histograma de las secciones A y B, mostrando coincidencia en el nivel de corriente máximo del RTN y el nivel de corriente en la sección B, que muestra comportamiento de <i>flicker</i> . . . . .	87
5.12	Curvas I-t para un dispositivo en condiciones de SBD a tensión constante, para secciones mostrando distintas morfologías de la señal. . . . .	88
5.13	(a) Densidad espectral de potencia de ruido para las secciones 1-4 de la Fig. 5.12.(b) Histograma de las secciones 3 y 4, mostrando también en SBD la coincidencia de niveles de conducción en SBD. . . . .	89
6.1	Diagrama en bloques de un transceptor ZigBee que opera la banda de 2.4 GHz. Los bloques centrales en circuitos integrados se destacan en rojo. . . . .	92
6.2	Representación del impacto del ruido de fase en un VCO sobre la recepción (a) de un canal de comunicación deseado (b) y el impacto de interferentes cercanas (c). . . . .	93
6.3	Espacio de inductores disponibles en tecnología CMOS de 130 nm, barriendo todos los parámetros de diseño disponibles en el kit de diseño. (a) Factor de calidad y (b) resistencia de pérdidas paralelo en función del valor de la inductancia. . . . .	94
6.4	(a) Circuito esquemático de un VCO de transistores n-MOSFET acoplados, polarizado con espejo de corriente. (b) Frecuencia de sintonía en función de $V_c$ y (c) ruido de fase en función de la frecuencia respecto a la fundamental para el VCO diseñado en tecnología de 130 nm. . . . .	96
6.5	Mediciones del incremento progresivo de la densidad normalizada de ruido para $I_D = 100 \mu A$ en transistores n-MOSFET de 130 nm de longitud de canal, tras intervalos de estrés por HCI a tensiones $V_{G_{stress}} = 0.8 V$ y $V_{D_{stress}} = 3 V$ . (a) Medido a $V_G = 0.85 V$ . (b) Medido a $V_G = 1 V$ . . . . .	97
6.6	Datos experimentales de la literatura y de las mediciones de la Fig. 6.5 de variación relativa de $S_{Id}$ en función del incremento $\Delta V_{th}$ debido a HCI. Una dependencia lineal se describe por la curva roja, para ser implementada en SPICE. . . . .	98
6.7	Simulaciones de la densidad espectral de potencia de ruido de la corriente de drenaje de un MOSFET en la tecnología de 130 nm utilizada para este estudio. Usando las ecuaciones (B.4.2) a (B.4.5) se observa el impacto sobre el modelo del incremento (en función de $\Delta V_{th_0}$ de (a) los parámetros de <i>flicker</i> , (b) el parámetro de ruido térmico y (c) los cuatro parámetros juntos. . . . .	100

6.8	Impacto de la degradación por HCI de cada par de transistores del circuito. (a) Tensión pico de salida del oscilador y (b) ruido de fase medido en la cercanía ( $\Delta f = 100$ Hz) y alejado ( $\Delta f = 1$ MHz) de la portadora, para degradación de los parámetros de DC únicamente. (c) Ruido de fase bajo degradación hipotética de los parámetros de ruido de los transistores únicamente. (d) Caso más realista de degradación conjunta de DC y ruido de los transistor bajo estrés. . . . .	101
6.9	(a) Circuito esquemático de un PA basado en n-MOSFET. (b) Señales de tensión y corriente típicas sobre los terminales de compuerta y drenaje del transistor del PA. .	104
6.10	Impacto del valor de la resistencia $R_D$ sobre el tiempo característico de TDDB $t_{100ppm}$ del óxido de compuerta, para el estrés $V_{GS}$ y $V_{GD}$ . (a) Parametrización con la tensión DC de compuerta (clase). (b) Parametrización con el dimensionamiento del transistor principal. . . . .	106
6.11	Pérdidas de inserción de la red de adaptación de salida en función del valor de resistencia reflejado sobre el terminal de drenaje, para distintos valores de selectividad.	108
6.12	Diagrama de flujo de la simulación de confiabilidad para circuitos de RF basada en SPICE. . . . .	110
6.13	Comparación de dos diseños bajo distintas adaptaciones de salida. (a) Potencia de salida (eje izq.) y PAE (eje der.) en función del tiempo para cada diseño. (b) Variación relativa debido a HCI de $\Delta V_{th0}$ y $\mu_0$ en función del tiempo para cada diseño. Las líneas punteadas representan el error que inducirían las estimaciones en el caso en que no se actualizaran la señales de estrés en el tiempo. . . . .	112
6.14	(a) Fotografía bajo microscopía óptica del PA diseñado y fabricado en una tecnología de 130 nm, con las puntas de caracterización de RF y DC conectadas. (b) Vista de <i>layout</i> del circuito fabricado. . . . .	113
6.15	Curvas experimentales $I_D$ vs. $V_G$ a tensión $V_D = 0.1V$ del transistor principal del PA caracterizado. Mediciones a temperatura ambiente por intervalos de estrés acumulativos de 30 s, 120 s, 300 s, 900 s and 1800 s. (a) Curvas bajo estrés de HCI conductivo de DC. Las curvas punteadas representan el resultado de SPICE del modelo de degradación utilizado en la sección 6.3.2. (b) Curvas bajo estrés de HCI DC+RF, para una potencia de salida de 9 dBm. . . . .	113

6.16	Análisis de la degradación paramétrica del transistor principal del PA diseñado. (a) $\Delta V_{th0}$ es extraído a partir de los resultados experimentales $I_D$ vs. $V_G$ para $V_D = 0.1$ V. Las líneas punteadas representan el ajuste del modelo de las Ec. (2.3.15) y (2.3.5). (b) Validación gráfica del uso de la aproximación QS DC como condición representativa del estrés DC+RF, en función del envejecimiento esperado $AGE(t)$ para distintos de la tensión de RF sobre el drenaje $V_{DRF}$ . . . . .	114
6.17	Mediciones experimentales y resultados de modelado en SPICE para el RF PA de la Fig. 6.14 bajo condiciones de estrés HCI DC y DC+RF. (a) Potencia relativa a -3 dBm de salida en función del desvío de la tensión de umbral. (b) $P_{rel}$ en función del tiempo acumulado de estrés, superpuesto con simulaciones de SPICE siguiendo el flujo propuesto en la Fig. 6.12. . . . .	116
6.18	Mapas del espacio de diseño de PA para $P_{out} = 3$ dBm como contornos de (a) eficiencia total constante, (b) tiempo constante a 100 ppm de falla por TDDB y (c) potencia relativa constante a 11 años de operación continua. Los marcadores esféricos representan puntos de diseño de ejemplo sobre el espacio disponible. . . . .	119
6.19	Diagrama de flujo para la generación de la LUT de degradación de potencia en diferentes diseños de PA con el tiempo. . . . .	122
6.20	Mapas del espacio de diseño de PA como contornos bajo diferentes potencias de salida para (a) eficiencia total constante de 50 %, (b) tiempo constante a 100 ppm de falla por TDDB fijado a 10 años y (c) potencia relativa constante de 0.95 a 11 años de operación continua. Notar en (a) que a 9 dBm la eficiencia máxima es del 30 % por requerirse $R_D < R_L$ para obtener diseño realizables en la tecnología bajo estudio. . .	124
6.21	Áreas seguras de operación para distintas especificaciones de potencia de salida, resultante de superponer los mapas de diseño de la Fig. 6.20. . . . .	125
6.22	Comparación de las estimaciones del espacio de diseño con simulaciones de degradación en función del tiempo por HCI en SPICE. (a) Formas de onda a entrada y salida del PA. (b) Potencia relativa a la nominal $P_{rel}$ en función del tiempo. . . . .	125
6.23	Circuito esquemático del PA con polarización adaptativa. (a) Implementación de las ramas de monitor ( $M_2 - R_2$ ) y referencia ( $M_3 - R_3$ ) sobre el PA. (b) Bloque básico de polarización para obtener la tensión de polarización de referencia $V_{bias}$ . (c) OTA con filtros pasabajos generando la polarización adaptativa del PA $V_{GDC}$ a partir de $V_{mon}$ y $V_{ref}$ . . . . .	128
6.24	Comparación en simulaciones de degradación en función del tiempo entre el PA diseñado con (líneas llenas) y sin (líneas a trazos) polarización adaptativa. (a) Potencia relativa a la nominal, (b) eficiencia y (c) potencia relativa de la tercer armónica. . . .	129



---

6.25	Impacto de la degradación de movilidad ( $\alpha_{HCI}$ ) sobre (a) las curvas de transferencia de $M_{PA}$ y (b) los valores pico instantáneos de tensión ( $v_d(t)$ ) y corriente ( $i_d(t)$ ) de drenaje. . . . .	130
6.26	Vista de <i>layout</i> del circuito del PA propuesto incluyendo las estructuras necesarias para la polarización adaptativa. Notar la gran demanda de área de los inductores y capacitores de sintonía en comparación con el área del OTA y los resistores de monitoreo. . . . .	131
6.27	Impacto de la variabilidad sobre la especificación del PA sin (líneas a trazos) y con (líneas llenas) la polarización adaptativa. (a) Histograma la potencia de salida y (b) de la eficiencia del PA para diferentes $NF$ utilizados en $M_2 - M_3$ . (c) Diagrama de dispersión de $P_{out}$ en función de la variación del $V_{t0}$ del $M_2$ . (d) Variabilidad relativa a la nominal sin polarización adaptativa en función del tamaño $NF$ de $M_2 - M_3$ . . .	132
B.1	Representación básica de la ruptura en modelos compactos de SPICE, popular en la literatura. . . . .	146
B.2	Dimensionamiento de los componentes del PA utilizado en la sección 6.3.6. . . . .	149
B.3	OTA de dos etapas compensado (izq.) y estructura pasa bajos (der.) utilizados en la sección 6.3.6. . . . .	150



## INTRODUCCIÓN

### 1.1 Motivación

Los sistemas electrónicos son la piedra angular de las Tecnologías modernas de la Información: comunicaciones, aplicaciones médicas, electrónica de consumo, equipos de medición, entre un sinnúmero de ejemplos posibles, son algunas de las áreas que involucran al creciente campo de la electrónica integrada. Como motor fundamental, la industria de los semiconductores encontró su apogeo desde los años 80 a partir del escalamiento (miniaturización) de la unidad básica de los circuitos electrónicos activos, el transistor de efecto de campo metal-óxido-semiconductor (MOSFET, como acrónimo del inglés "*Metal-Oxide-Semiconductor Field-Effect Transistor*"). La disminución de las dimensiones físicas del MOSFET han permitido integrar cada vez más componentes en áreas extremadamente pequeñas, aumentar la velocidad de operación y reducir el nivel de consumo dinámico [1, 2], aportando funcionalidad, capacidad de cómputo y bajo costo a circuitos integrados no más grandes que algunos centímetros cuadrados. Esto no hubiera sido posible sin las bondades del material semiconductor que ha caracterizado la explosión de la integración y la continuidad ininterrumpida de la afamada Ley de Moore [3]: el silicio. Su abundancia y relativa facilidad para ser procesado industrialmente han sido claves en el éxito rotundo de la industria del semiconductor, impulsado por los enormes avances en investigación y desarrollo de tecnología que sustentaron tal éxito.

Si bien la maduración del sistema silicio/dióxido de silicio ha permitido llevar las dimensiones de un transistor al orden de algunos nanómetros, este profundo escalamiento

se ha presentado como un verdadero desafío. La enorme complejidad del mismo radica en las diversas aristas que presenta, involucrando el aspecto económico (relacionado con la rentabilidad del modelo de negocio), el aspecto tecnológico o industrial (relacionado con la posibilidad de manufacturar en escala) y el aspecto académico (relacionado con el dominio de los fenómenos fundamentales detrás de los materiales, dispositivos y circuitos semiconductores utilizados) [4, 5]. La Fig. 1.1 intenta brindar una vista general del escenario en busca de continuidad en el ritmo de desarrollo de la industria del semiconductor. Por la relevancia para esta tesis, se concentrará la atención en la renovación del sistema de materiales en la tecnología Metal-Óxido-Semiconductor Complementaria (CMOS, "Complementary Metal-Oxide-Semiconductor") y los desafíos que esto representa.

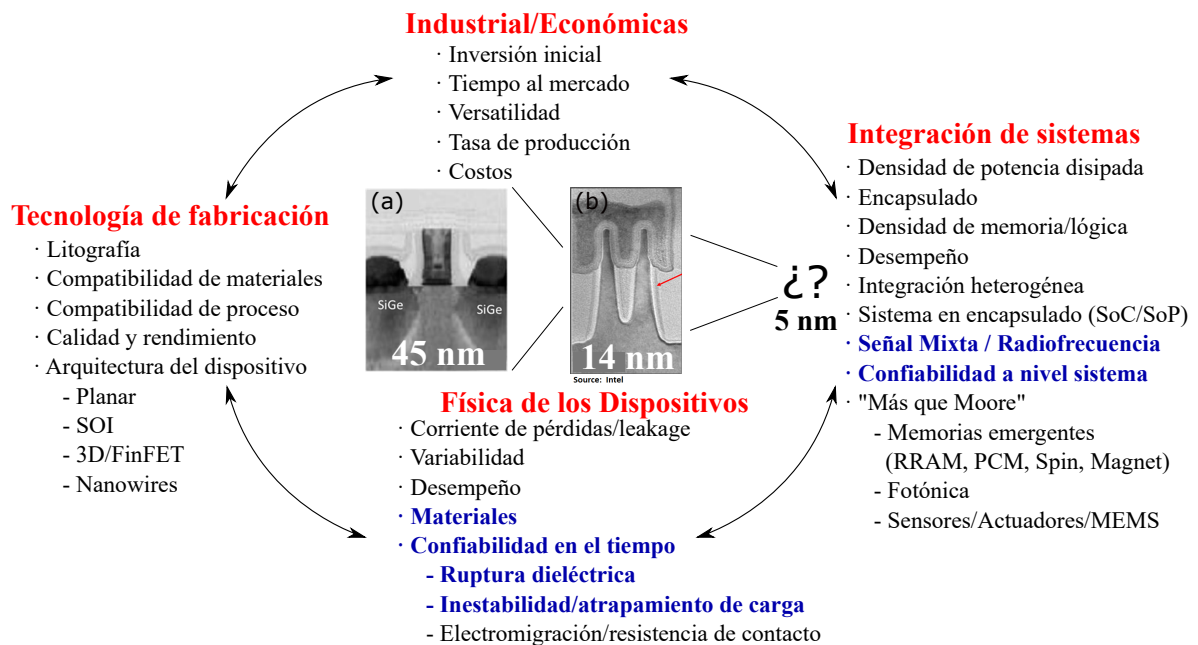


Figura 1.1: Representación de las múltiples aristas al problema del escalamiento en la industria del semiconductor. Las perspectivas de confiabilidad ante el cambio de materiales y la creciente integración de sistemas complejos son los ejes principales de esta tesis. (a) Reproducido de [6]. (b) Fuente: Intel.

Ya hacia mediados de los 90, las primeras dificultades planteadas por las limitaciones del escalamiento comenzaron a hacerse evidentes. Para entonces ésta industria ya se había vuelto tan importante que, en un intento por marcar las prioridades tecnológicas del sector, los principales actores en América, Europa y Asia conformaron un foro de asesoramiento tecnológico conocido como ITRS (*International Technology Roadmap for Semiconductors*) [7]. Durante casi tres décadas, el ITRS se encargó de trazar la "hoja de ruta" concerniente a los desafíos a encarar para mantener cubiertas las demandas

tecnológicas del sector, teniendo en cuenta las limitaciones en los materiales, los procesos de fabricación, las demandas futuras de un mercado que no se detiene y las posibilidades más prometedoras que se barajaban en el ámbito científico. De este modo, comenzaron a surgir las tecnologías que hoy se encuentran en el estado del arte de la industria del semiconductor, representadas esquemáticamente en la Fig. 1.2a: silicio-sobre-aislante (SOI, por sus siglas del inglés "*Silicon-On-Insulator*") o dispositivos en 3 dimensiones como los *FinFET*, son ejemplos de estos cambios tecnológicos ya en producción [2, 8], mientras que otros tantos como los "*nanowires*" se consideran como posibilidades a futuro para continuar por el camino del escalamiento [2].

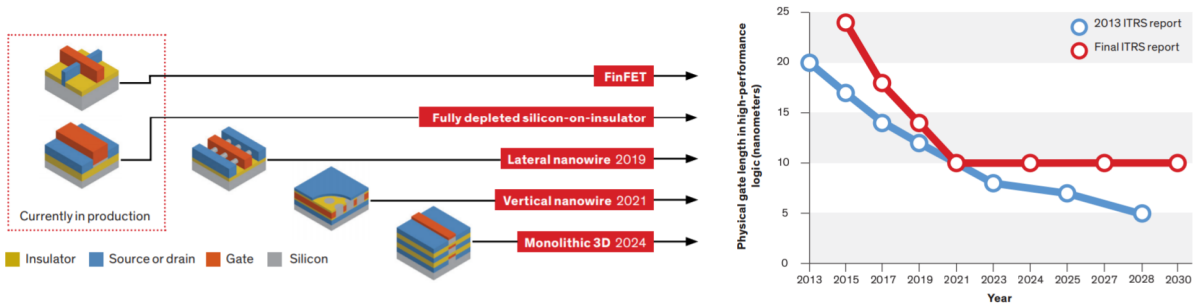


Figura 1.2: (Izq.) Alternativas estructurales para dispositivos MOSFET más allá del escalamiento tradicional. (Der.) Limitaciones en el escalamiento de las dimensiones físicas hacia comienzos de la década de 2020. Reproducido de [8].

Sin embargo, el último informe del ITRS fue emitido en el año 2015 [7] destacando los limitantes para la era del escalamiento equivalente hacia 2021, proyectando el tamaño mínimo de un transistor a alrededor de 10~7 nm, como indica la Fig. 1.2b [8]. Quizás la cifra más representativa de estas limitaciones sea la restricción de potencia disipada en circuitos de alta densidad de integración, que puede llegar a órdenes de  $100 \text{ W/cm}^2$  [9]. Esta densidad de potencia no puede incrementarse más sin incurrir en costos no asequibles de empaquetado y enfriamiento de los circuitos en cuestión, al menos no sin sacrificar velocidad de operación [10]. En este marco es que se propone una renovación general del sistema de materiales involucrados en la tecnología CMOS que profundice los cambios observados en los últimos 15 años. Uno de los cambios tecnológicos de mayor impacto ha sido el reemplazo del dióxido de silicio ( $\text{SiO}_2$ ) por óxidos de alta constante dieléctrica ( $\text{HfO}_2$ ,  $\text{Al}_2\text{O}_3$ , etc.) [11, 12], un hito fundamental que actualmente es tecnología estándar en los procesos comerciales de integración. La posibilidad de mantener una capacidad de óxido equivalente con mayores espesores de aislante, como muestran las micrografías de la Fig. 1.3a, permitieron mantener el ritmo del escalamiento a partir del

nodo de 45 nm.

Para la próxima generación de dispositivos CMOS para altos desempeño, frecuencia y potencia, se plantea profundizar la aplicación de novedosos aislantes de gran constante dieléctrica (conocidos como HK, del inglés "*High-k*") en conjunción con el reemplazo de los sustratos de silicio por semiconductores de alta movilidad. El germanio (Ge) o los semiconductores compuestos III-V (InGaAs, GaAs, InP, GaN, etc.) como material de canal se proyectan como las alternativas más prometedoras [10, 13, 14]. Con el auge de los dispositivos móviles, un pujante paradigma basado en la interconectividad, popularmente conocido como "Internet de las Cosas" (IoT, "*Internet of Things*") [15], y las nuevas generaciones de telefonía inalámbrica, conocidas como 5G/6G [16], estas tecnologías estarían encontrando un ecosistema industrial favorable para su florecimiento [10, 17, 18]. Generalmente destacados por su elevada velocidad de inyección en dispositivos de canal corto [19], representada en la Fig. 1.3b para diversas alternativas bajo investigación, los semiconductores compuestos se presentan como principales contendientes en aplicaciones de comunicaciones (a frecuencias más allá de la onda milimétrica hasta el rango de THz) y los circuitos digitales de alto desempeño [20–22].

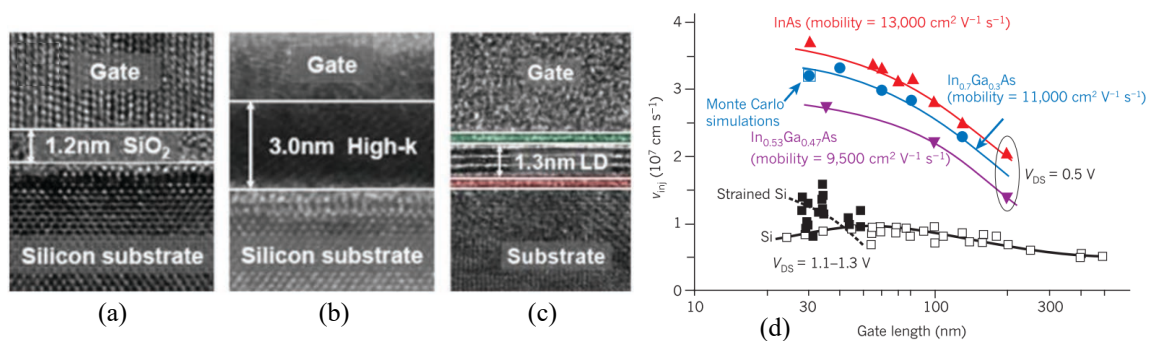


Figura 1.3: (a) Microscopía electrónica de distintos aislantes ultra delgados en (a) tecnologías comerciales basadas en  $\text{SiO}_2$ , (b) con óxidos "*High-k*" y (c) futuras alternativas de dieléctricos en capas (LD, *layered dielectrics*), comunmente conocidos como materiales 2D. Reproducido de [23]. (d) Representación comparativa de la velocidad de inyección de los portadores en función de la longitud del canal para silicio y para InGaAs como candidato III-V a reemplazarlo. Reproducido de [10].

Este mismo contexto da lugar a la investigación de otros materiales novedosos, como el caso de los materiales 2D de Van der Waals [24]. Como aislante de compuerta [25], como elemento principal en memorias no volátiles [26] o incluso en aplicaciones como interruptores para señales de onda milimétrica [27], la potencialidad de materiales como el nitruro de boro hexagonal (h-BN) les da un lugar de privilegio entre los temas de

investigación en el mundo. Por su característica construcción en capas, como se observa en la microscopía de la Fig. 1.3c, muchos de los conceptos conocidos sobre la naturaleza de las capas dieléctricas delgadas requieren interpretaciones renovadas que puedan explicar los fenómenos observados en los dispositivos basados en estos materiales [23].

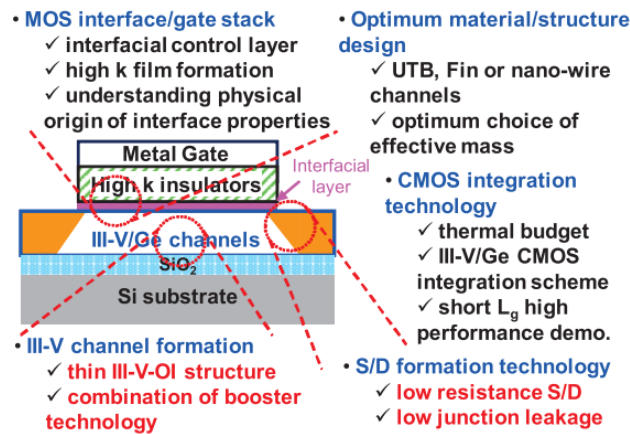


Figura 1.4: Desafíos del sistema MOS con materiales HK/III-V. La confiabilidad del óxido y de la interfaz óxido-semiconductor son aspectos fundamentales para garantizar la robustez de la tecnología. Reproducido de [22].

A pesar de su enorme atractivo, el cambio de materiales introduce modificaciones en el escenario a comprender desde el punto de vista físico del sistema MOSFET, involucrando diferentes barreras de potencial óxido-semiconductor, cambios en la movilidad efectiva del canal, trampas y estados de interfaz, entre otros tópicos desafiantes. Específicamente, el caso del sistema MOS basado en semiconductores de alta movilidad y óxidos de alta constante dieléctrica se presenta como un problema de múltiples desafíos. La Fig. 1.4 destaca las principales dificultades encaradas por diversos grupos de investigación en la última década para el sistema MOS con compuerta metálica (MG, por sus siglas del inglés "Metal Gate") MG/HK/III-V. Tan complejo es el escenario en cuestión que, si bien estos materiales han sido motivo de investigación en los últimos 20 años, no han terminado de irrumpir masivamente en los procesos productivos por los importantes interrogantes abiertos. Principalmente, la calidad de las interfaces ha recibido mucha atención de la comunidad científica [14, 22, 28–30] por su criticidad para garantizar el desempeño esperado de los dispositivos basados en esta tecnología. Alcanzado cierto acuerdo respecto a la factibilidad del desempeño previsto para estos dispositivos, entra en escena el estudio de la confiabilidad [31]. Entendemos por confiabilidad a la habilidad del dispositivo de cumplir su función bajo condiciones determinadas en cualquier momento de su misión, con un largo tiempo medio entre fallas. En este aspecto, el fenómeno de

ruptura dieléctrica del óxido de compuerta en estos dispositivos MOS presenta nuevos desafíos para su comprensión respecto al clásico sistema  $\text{SiO}_2/\text{Si}$  [23, 32, 33]. Uno de los mecanismos fundamentales a comprender es la ruptura progresiva de los aislantes de compuerta novedosos [23, 31, 34–39], que puede ser fundamental para extrapolar fehacientemente la confiabilidad de las próximas tecnologías CMOS.

Por otra parte, y retornando la atención a la Fig. 1.1, la integración a nivel de sistema es otro de los ejes desafiantes para la tecnología nanoelectrónica. El aumento exponencial en el tiempo de la cantidad de dispositivos interconectados [15, 41], el auge de la tecnología móvil [16] y la explosión del uso de dispositivos de adquisición y distribución de datos del entorno en forma masiva, está exacerbando la necesidad de sistemas integrados en un único circuito (SoC, "*System-on-Chip*") o encapsulado (SiP, "*System-in-Package*") en el contexto del IoT [40]. Un aspecto crítico para estos sistemas es la conectividad inalámbrica, requiriendo la integración de transceptores de radiofrecuencia de bajo consumo y costo reducido. La Fig. 1.5 representa este escenario en una forma compacta [40]: sistemas complejos utilizados en diferentes ámbitos presentan cifras de mérito específicas, como alta robustez (entendida como el grado en el cual un sistema puede desempeñar su función en condiciones exigentes de trabajo) y confiabilidad requerida en aplicaciones industriales, automotrices, médicas e implantables. Entre los componentes del sistema se destaca el RFFE o "*RF Front End*", que involucra todos los bloques esenciales requeridos para el diseño de un transceptor inalámbrico. Por el

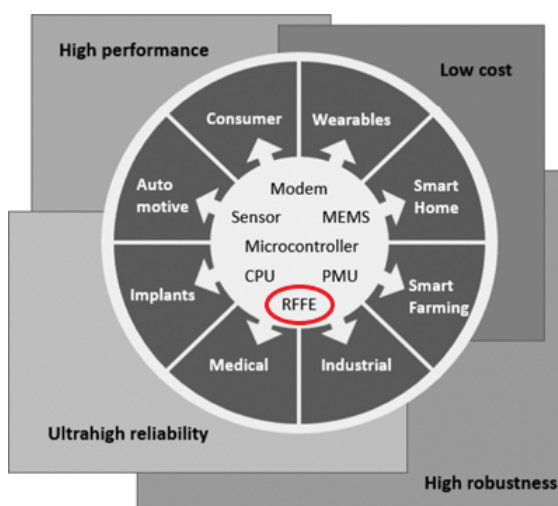


Figura 1.5: Representación compacta de los requerimientos de los sistemas integrados según su rango de aplicación, en el contexto del IoT. Notar que el conjunto de bloques constructivos puede ser el mismo, pero sus condiciones de trabajo y requerimientos de confiabilidad y robustez pueden variar considerablemente acorde a su aplicación. Reproducido de [40].



papel central que cumplen actualmente y por la profundización paulatina de su rol con el avance del IoT y el 5G, los circuitos de comunicaciones de RF son un bloque crítico de la electrónica integrada para permitir la explotación del potencial de desarrollo socio-económico esperado de este paradigma [41].

Puntualmente, los dispositivos MOS con sustratos de alta movilidad presentan gran potencialidad para empujar las fronteras de las comunicaciones inalámbricas [10, 42], pero en muchos casos sus costos e interrogantes aún abiertos de su implementación son algunos inconvenientes para su aplicación masiva en el futuro inmediato. Por esta razón, en el corto plazo la posibilidad de integración monolítica de sistemas de comunicaciones en procesos CMOS comerciales es altamente deseable por su viabilidad económica y su madurez tecnológica. Sin embargo, las particulares condiciones de trabajo de los dispositivos en circuitos de RF en este tipo de aplicaciones presenta un complejo escenario respecto a su desempeño, confiabilidad y robustez que son, a la fecha, de gran interés para la comunidad tecnológica [43–48]. La necesidad de etapas de potencia, incluso para comunicaciones de corto alcance, a frecuencias por encima del GHz, las complejas modulaciones de señal para compartir información y las condiciones exigentes de trabajo en aplicaciones móviles o portátiles (como elevadas temperaturas, ciclos de trabajo elevados y alta eficiencia energética) convierten a este análisis en un desafío en sí mismo [49–51], incluso para tecnologías de integración maduras y conocidas por su robustez [48, 52, 53].

Los efectos del envejecimiento de los dispositivos activos que componen los circuitos, tales como la ruptura del óxido, inestabilidad por atrapamiento de carga y cambio de

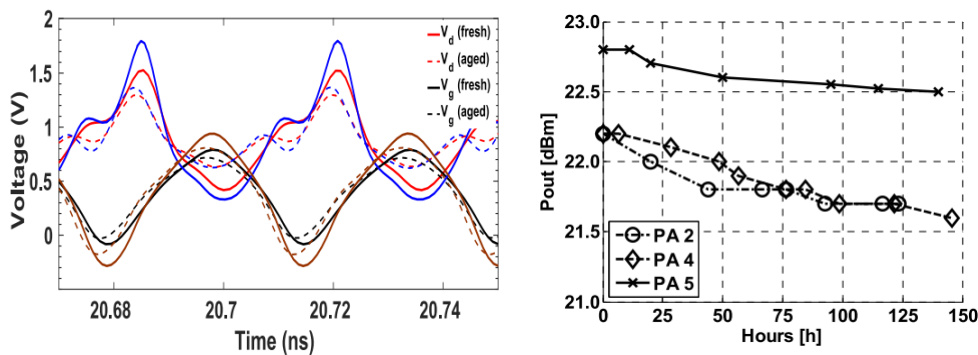


Figura 1.6: (Izq.) Degradación de las señales de RF en un amplificador de potencia en la banda de 28 GHz por envejecimiento de los transistores. Reproducido de [50]. (Der.) Caída de potencia de salida en amplificadores de potencia de RF con el tiempo de envejecimiento. Reproducido de [54].

los parámetros eléctricos a lo largo del tiempo, pueden llevar al sistema a salirse de especificación o dejar de funcionar en algún momento de su misión. Un ejemplo directo de esta situación en circuitos de RF se observa en la Fig. 1.6, en donde el impacto de la degradación de los transistores en amplificadores de potencia se evidencia tanto en las señales de RF de entrada y salida (Fig. 1.6a) como en la potencia total de salida a lo largo del tiempo de operación (Fig. 1.6b). En este marco, considerar la confiabilidad desde etapas tempranas de diseño requiere no solo conocer el circuito a diseñar sino además la física detrás de las condiciones de degradación de los transistores que lo componen. Adicionalmente, la extensión de estas condiciones a tecnologías modernas [49–51, 55–59] abre un gran espacio de exploración sobre el cual se puede ampliar la discusión y hasta aplicar algunos aspectos desarrollados para tecnologías más establecidas.

En este apartado introductorio, se revisó el contexto tecnológico actual de los desafíos que presenta la nanoelectrónica moderna y futura. Este trabajo de tesis aborda algunos de los fenómenos de degradación, inestabilidad y ruptura de dieléctricos en tecnologías novedosas, llamadas a ser la base de los procesos de integración más allá del escalamiento, así como de los desafíos de confiabilidad que se presentan en circuitos integrados de radiofrecuencia ante la fuerte demanda de interconectividad. La organización del contenido se detalla en la siguiente sección.

## 1.2 Organización del trabajo de tesis

Esta tesis busca proveer una visión integral de la confiabilidad, relacionando los resultados de bajo nivel de abstracción (física de la degradación de los dispositivos) con los requerimientos a nivel de aplicación (involucrando el envejecimiento del dispositivo a nivel de circuitos de radiofrecuencia). Cabe destacar que todos los dispositivos estudiados experimentalmente fueron provistos por colaboradores internacionales del grupo, debidamente mencionados en cada sección, y es gracias a su predisposición y calidad de sus dispositivos que las actividades desarrolladas fueron posibles. De este modo, el trabajo de tesis se separa en capítulos alrededor de estos dos ejes troncales de la investigación, de la siguiente manera:

### Capítulo 2 - Nociones básicas de tecnología CMOS

En este apartado se revisan los conceptos básicos de la física de dispositivos MOS y MOSFET, centrandó la atención en las características eléctricas de los mismos, los métodos de caracterización fundamentales y la pertinencia tecnológica de la informa-

ción inferible de los mismos. Asimismo, se introducen los mecanismos y modelos de degradación en transistores MOSFET centrales para los resultados posteriores.

### **Capítulo 3 - Ruptura progresiva en óxidos *high-k***

Mediante la caracterización eléctrica de muestras MIM y MOS basadas en óxidos HK y sustratos semiconductores III-V, se analizan resultados de la dinámica de la ruptura progresiva de los óxidos, su relación con las propiedades térmicas de los materiales involucrados. Se contribuye con una explicación fundamentada de ruptura progresiva en óxidos bicapa y se proponen aproximaciones para modelar la naturaleza del fenómeno en esta tecnología que se perfila como fundamental en el futuro de las aplicaciones CMOS de alto desempeño.

### **Capítulo 4 - Defectos en estructuras MOS sobre sustratos III-V**

Como uno de los desafíos primordiales a resolver para la irrupción de los materiales III-V en la tecnología CMOS, se estudia el atrapamiento de carga y la naturaleza de los defectos responsables en una variedad de estructuras MOS sobre sustratos de alta movilidad. Se demuestra mediante mediciones capacidad-tensión y su vinculación teórica, que los dos principales indicadores experimentales de defectos, conocidos como dispersión en frecuencia e histéresis en curvas de capacidad-tensión, muestran dinámicas de atrapamiento sensiblemente diferentes, desechando la idea de correlación entre métricas.

### **Capítulo 5 - Ruido eléctrico en MOSFET y h-BN como aislante 2D**

Este capítulo discute la importancia del ruido eléctrico como herramienta de diagnóstico y estudio de la física de los dispositivos y como testigo de la degradación estructural y de funcionamiento de los mismos. Como aplicación directa, se caracteriza una tecnología CMOS comercial de 130 nm y se reportan resultados novedosos sobre estructuras *cross-bar* MIM con h-BN como aislante.

### **Capítulo 6 - Diseño para confiabilidad de circuitos de RF**

Focalizando la atención sobre circuitos de RF no lineales como amplificadores de potencia y osciladores controlados por tensión, se introduce la confiabilidad a nivel del diseño en la búsqueda de la optimización de bloques circuitales que mantengan un rendimiento apropiado a lo largo de su vida útil, a pesar de su envejecimiento natural.

Se reportan resultados de la relación de compromiso entre confiabilidad y desempeño, se proponen estrategias de diseño y de simulación para maximizar esta relación y se introducen arquitecturas circuitales para contrarrestar el impacto de la degradación de los dispositivos sobre la especificación del circuito.

### **Capítulo 7 - Conclusiones y trabajo futuro**

Se recapitula sobre los resultados principales, puntualizando las contribuciones de esta tesis y destacando su novedad. Asimismo, se apuntan algunos interrogantes que pueden desprenderse de los resultados, considerando las perspectivas de esta línea de investigación.

## NOCIONES BÁSICAS DE TECNOLOGÍA CMOS

La primer invención documentada de un dispositivo de efecto de campo en un semiconductor se remonta al año 1928. Desde entonces, numerosos intentos infructuosos de implementarlo en un dispositivo superficial se sucedieron hasta su introducción masiva en la electrónica, que no se produjo sino hasta casi 40 años después, limitado por la posibilidad de fabricar en forma consistente una estructura MOS de la calidad suficiente para obtener un desempeño aceptable de los transistores [60]. De allí en más, el escalamiento y la evolución de estos dispositivos ha impulsado el crecimiento asombroso de la industria de los semiconductores. Para lograrlo, el estudio de los fenómenos físicos detrás su funcionamiento han sido, y continúan siendo al día de hoy, fundamentales para comprender y modelar el comportamiento eléctrico esperado de los dispositivos. La profundidad de este estudio posibilita la obtención de información de gran relevancia tecnológica a partir de la caracterización de variables eléctricas tanto en dispositivos MOS como MOSFET. Por su rol central en este trabajo, este capítulo se dedica a revisar las nociones básicas de la física de la estructura MOS y su extensión a los transistores MOSFET, haciendo particular énfasis en la relación entre la caracterización eléctrica de los dispositivos y los aspectos tecnológicos asociados a las variables medidas. El objetivo de las secciones subsiguientes será definir conceptos, nomenclaturas y parámetros que se utilizarán a lo largo de este documento. Para mayor profundidad en los desarrollos y teoría asociada, se refiere al lector a la literatura disponible en el tema [61, 62].

## 2.1 Capacitor MOS

La estructura Metal-Óxido-Semiconductor (MOS) ha sido ampliamente estudiada en la historia por ser fundamental en la mayoría de los dispositivos planares en tecnologías de circuitos integrados. La estructura general de un capacitor MOS se observa en la Fig. 2.1. El objetivo de esta estructura es, mediante el terminal conductor (compuerta), controlar la densidad de carga en el semiconductor (sustrato) a partir del efecto capacitivo provisto por el óxido delgado que separa ambos terminales. Este mecanismo se conoce como "efecto de campo", que puede ser conceptualmente visualizado mediante los diagramas de bandas de energía, replicados para el caso clásico del sistema  $\text{SiO}_2/\text{Si}$  en las Figs. 2.1a-2.1d. Según la polaridad del potencial aplicado y el tipo de dopaje (P o N), el sustrato puede presentar condición de carga nula o "bandas planas" (a), acumulación de mayoritarios (b), vaciamiento de portadores (c) o inversión del sustrato (d). Estas condiciones son fundamentales en el análisis de las propiedades físicas de los dispositivos MOS, ya que son fuertemente dependientes de los materiales involucrados y de la distribución de defectos y cargas.

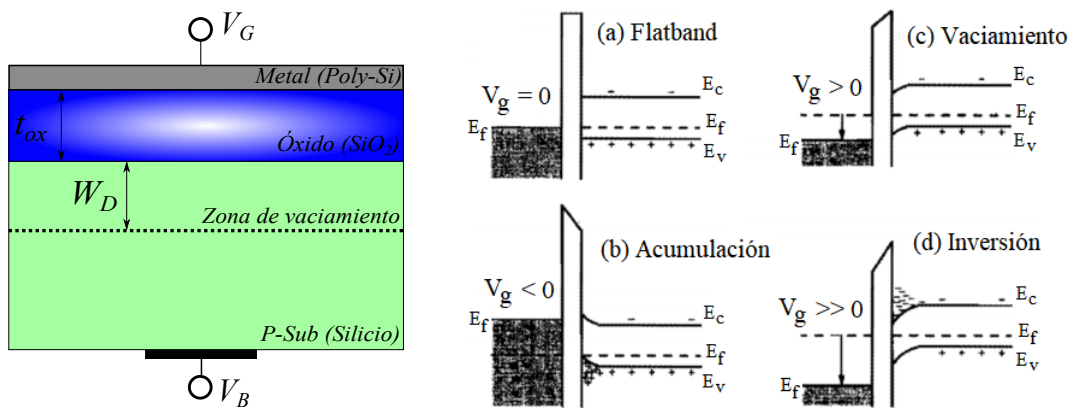


Figura 2.1: Estructura básica de un capacitor MOS. (a)-(d) Diagramas de bandas de energía en cada condición de operación, según potencial aplicado  $V_G$ . Adaptado de [61].

A partir del análisis electrostático de la estructura en función de la tensión, aplicando la ecuación de Poisson es posible obtener el perfil de potencial ( $\Psi$ ), campo eléctrico ( $\mathcal{E}$ ) y carga ( $Q$ ) a lo largo del dispositivo. Centrándose en la carga a controlar, es decir la carga en el semiconductor  $Q_S$ , y resolviendo la Ec. (2.1.1) podemos obtener la carga en función del potencial de superficie  $\Psi_s$ , que representa la curvatura total de bandas sobre la interfaz óxido-semiconductor según la ecuación (2.1.2) (deducción completa disponible en [61]). Aquí,  $k$  es la constante de Boltzmann,  $T$  es la temperatura absoluta,  $q$  la carga del

electrón,  $n_i$  la densidad intrínseca de portadores del semiconductor y  $p(x)$ ,  $n(x)$ ,  $N_d^+(x)$  y  $N_a^-(x)$  son las distribuciones de portadores e impurezas ionizadas en el semiconductor, respectivamente. Aplicando ley de Gauss,  $Q_S = \epsilon_S \mathcal{E}_S$ , con  $\epsilon_S$  la permitividad eléctrica del semiconductor y  $\mathcal{E}_S$  el campo eléctrico en el semiconductor, podemos relacionar directamente la carga integrada por unidad de área en el semiconductor  $Q_S$  con el potencial aplicado en el terminal de compuerta  $V_G$  según la Ec. (2.1.3), donde  $V_G$  es el potencial aplicado a la compuerta,  $V_{FB}$  es el potencial de bandas planas (*flatband*),  $V_{ox}$  es la caída de potencial en el óxido y  $C_{ox} = \epsilon_{ox}/t_{ox}$  es la capacidad por unidad de área del óxido, inversamente proporcional a su espesor  $t_{ox}$ .

$$(2.1.1) \quad \frac{d^2\Psi}{dx^2} = -\frac{d\mathcal{E}}{dx} = -\frac{q}{\epsilon_S} [p(x) - n(x) + N_d^+(x) - N_a^-(x)]$$

$$(2.1.2) \quad Q_S = -\epsilon_S \mathcal{E}_S = \pm \sqrt{2\epsilon_S k T N_a} \left[ \left( e^{-q\Psi_s/kT} + \frac{q\Psi_s}{kT} - 1 \right) + \frac{n_i^2}{N_a} \left( e^{q\Psi_s/kT} - \frac{q\Psi_s}{kT} - 1 \right) \right]^{1/2}$$

$$(2.1.3) \quad V_G - V_{FB} = V_{ox} + \Psi_s = \frac{-Q_S}{C_{ox}} + \Psi_s.$$

A partir de estas expresiones, algunas implicancias tecnológicas quedan expuestas, a través de la permitividad dieléctrica del óxido  $\epsilon_{ox}$  y del semiconductor  $\epsilon_S$ , el nivel de dopaje ( $N_a$ ) y el espesor del óxido. Sin embargo, la medición del nivel de carga en el semiconductor de forma experimental no es realizable por métodos directos. Entonces, la caracterización de la impedancia de pequeña señal de la estructura es, desde sus orígenes, uno de los medios principales para obtener información tecnológica y estructural de los dispositivos MOS.

### 2.1.1 Curvas capacidad-tensión

El circuito equivalente de las capacidades en una estructura MOS se muestra en la Fig. 2.2a, en donde la capacidad total entre terminales se reparte entre la capacidad del óxido  $C_{ox}$  y la capacidad del semiconductor. Esta puede separarse a su vez en la capacidad de vaciamiento  $C_d$ , debido a la distribución de carga espacial en el sustrato, y la capacidad de inversión  $C_i$ , debido a la alta concentración de portadores minoritarios en la interfaz en condición de inversión. Una tercer componente debida a estados de interfaz  $C_{it}$  será discutida en detalle en la sección 2.1.3. Con esto en mente, la capacidad total medida en un dispositivo en función de la tensión de compuerta MOS responde

a la ecuación (2.1.4), en donde la capacidad del semiconductor vendrá dada por la curvatura de bandas, representada en  $\Psi_s$ . Estas curvas son generalmente conocidas como curvas capacidad-tensión o C-V. Considerando las distintas condiciones descritas por los diagramas de bandas de la Fig. 2.1, computando la derivada de la carga en el semiconductor respecto al potencial de superficie de la ecuación (2.1.2) y resolviendo de forma acoplada la ecuación (2.1.3), la curva de capacidad en función de la tensión aplicada al terminal de compuerta  $V_G$  para un sistema MOS ideal se reproduce en la Fig. 2.2b.

$$(2.1.4) \quad \frac{1}{C_G} = \frac{1}{C_{ox}} + \frac{d\Psi_s}{d(-Q_S)} = \frac{1}{C_{ox}} + \frac{1}{C_D} + \frac{1}{C_i} + \frac{1}{C_{it}}$$

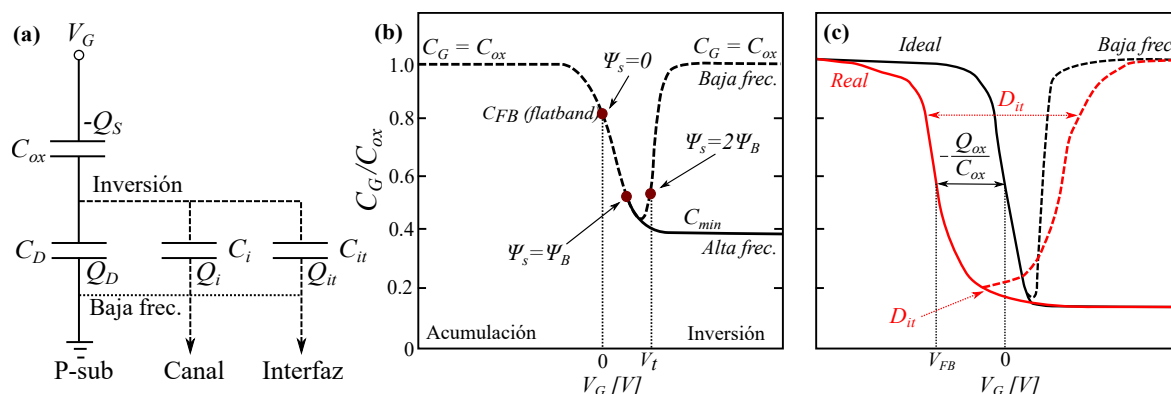


Figura 2.2: (a) Circuito equivalente de capacidades y (b) curvas capacidad-tensión para una estructura MOS ideal a baja (líneas a trazos) y alta (líneas llenas) frecuencia. (c) Impacto de defectos en el óxido y la interfaz sobre la curva C-V real (líneas rojas) respecto a la ideal (líneas negras). Adaptado de [61].

Mediante de los valores característicos de la curva, es posible obtener información tecnológica fundamental del dispositivo MOS. La permitividad del óxido se relaciona directamente con la capacidad en acumulación  $C_{acc} = C_{ox} = \epsilon_{ox}/t_{ox}$ , o bien la capacidad en inversión a baja frecuencia (línea a trazos). Por otro lado, la condición de bandas planas, caracterizada por el potencial  $V_{FB}$ , es de vital importancia por su relación directa con la tensión  $V_i$  a la cual se asume la inversión del canal. Un estimador recientemente introducido para  $V_{FB}$  y de amplia aplicación para estructuras MOS sobre semiconductores de alta movilidad se conoce como el método del punto de inflexión [63]. El mismo consiste en inferir este valor característico a partir de la tensión a la cual se produce el máximo de la derivada primera (o cero de la derivada segunda) de la característica C-V. Este método no es influenciado por las posibles no idealidades de la estructura, que se



discuten brevemente en la sección 2.1.3, ni por la frecuencia de caracterización, y solo presenta el error introducido por el instrumento.

Una importante característica de la curva C-V es su dependencia con la frecuencia de la señal de AC utilizada en la medición de impedancia. Mientras en acumulación, los portadores mayoritarios pueden responder idealmente a las frecuencias típicas de caracterización, en el orden de 2 Hz - 2 MHz, los minoritarios necesitan ser generados y recombinados al ritmo de la señal de AC en la región de inversión. Para valores típicos de tiempo de vida medio en sustratos ligeramente dopados, frecuencias superiores a los 100 Hz suelen ser suficientes para que el canal de inversión no pueda responder a esta señal, no observándose el incremento abrupto de capacidad debido a la inversión del canal y observando un valor mínimo constante con la tensión (línea llena). Este valor mínimo está determinado por la máxima profundidad de vaciamiento en el semiconductor, antes de ser apantallado su efecto por el canal de inversión [61], calculándose como  $C_{min} = \epsilon_S/W_{Dmax}$ , donde  $W_{Dmax}$  es el espesor de la zona de vaciamiento en el inicio de la inversión fuerte. La máxima profundidad de vaciamiento puede estimarse según  $W_{Dmax} = \sqrt{4\epsilon_S k T \ln(N_a/n_i)/q^2 N_a}$ . En condiciones ideales, la capacidad mínima es representativa del dopaje del sustrato. Sin embargo, algunos defectos presentes en la estructura, particularmente en condiciones de vaciamiento y hacia la inversión, pueden responder a frecuencias más altas que los portadores minoritarios en sustrato, alterando la curva C-V. Esta característica es fundamental para cuantificar la contribución de defectos cerca de la interfaz, como se resume en la siguiente sección.

### 2.1.2 Carga atrapada, trampas de frontera y estados de interfaz

Las estructuras MOS reales presentan no idealidades respecto al caso teórico, como diferencias de funciones trabajo, efectos de la compuerta, cargas fijas y móviles en el óxido ( $Q_{ox}$ ), trampas de frontera (BT, "Border Traps" distribuidas desde la interfaz óxido-semiconductor hacia el cuerpo del óxido y la contribución de defectos de interfaz ( $D_{it}(\Psi_s)$ ) [61]. Una representación esquemática de la presencia de estos defectos en una estructura MOS se observa en la Fig. 2.3a, mientras que su análisis a nivel de bandas de energía se detalla en la Fig. 2.3b.

La medición de curvas C-V experimentales es una técnica ampliamente estudiada para caracterizar estas no idealidades [62]. La comparación entre una curva C-V teórica (línea negra) y su equivalente experimental (línea roja) se muestra cualitativamente en la Fig. 2.2c. En primer lugar, el desplazamiento de la tensión  $V_{FB}$  puede asociarse a carga fija o carga de interfaz que es atrapada a medida que las bandas se curvan en el barrido

de tensión, como se abordará en detalle en las secciones 4.1 a 4.4. De este modo, la carga total en el óxido  $Q_{ox}$  tendrá una contribución que puede ser fija debido a trampas en el óxido ( $Q_{ot}$ ) y una dependiente de la curvatura, es decir de una distribución energética de estados a lo largo de la banda prohibida, generalmente localizados en la cercanía de la interfaz ( $Q_{it}(\Psi_s)$ ). Podemos entonces escribir  $Q_{ox} = Q_{it}(\Psi_s) + Q_{ot}$ , resultando su influencia en un desplazamiento horizontal de la curva  $\Delta V_{FB} = -Q_{ox}/C_{ox}$ . A su vez, la interacción de los estados de interfaz  $D_{it}$  pueden resultar en un aumento de la capacidad observada en la zona de inversión débil y también hacia inversión fuerte (si la contribución de  $C_{it}$  en la Fig. 2.2a es considerable), además de un ensanchamiento ("*stretch-out*") de la curva en la zona de inversión, debido a defectos con energías desde el "*midgap*" hacia la banda de conducción, mostrando dependencia con la frecuencia de medición.

La cuantificación de  $Q_{ot}$  y  $D_{it}$  se encuentran ampliamente revisados en la literatura [61, 62] y son indicadores de la calidad de la estructura MOS. De hecho, con el cambio de escenario impuesto por la renovación de los materiales en la estructura MOS, nuevas consideraciones han sido necesarias para que estas técnicas puedan ser satisfactoriamente utilizadas en, por ejemplo, dispositivos con sustratos de alta movilidad [10, 28]. Algunos aspectos de interés discutidos en la literatura asociada serán abordados en detalle en el capítulo 4, pero a modo introductorio resulta conveniente discutir en este punto el impacto de la frecuencia de la señal de AC de excitación en las curvas experimentales C-V debido a la presencia de no idealidades en la estructura MOS, de modo de poder separar su contribuciones facilitar el análisis de los resultados experimentales del capítulo 4.

### 2.1.3 Curvas C-V multifrecuencia de MOS sobre III-V

El reemplazo del silicio como material semiconductor para tecnología CMOS está cobrando mucha importancia frente a las dificultades impuestas por el escalamiento de la tecnología estándar. Sin embargo, el cambio de materiales impone, como se discutiera en el capítulo 1, un gran número de desafíos a resolver para garantizar el aprovechamiento de las bondades de los semiconductores de alta movilidad, como el germanio o los semiconductores III-V (InAs, InGaAs, InP, entre otros).

En la búsqueda de optimizar el funcionamiento y la producción de dispositivos basados en estos semiconductores, el estudio de la estructura MOS de puerta metálica, óxidos HK y sustratos III-V (MG/HK/III-V) es fundamental. Mientras que el principio de funcionamiento básico se mantiene alrededor de los discutido hasta el momento para estructuras MOS, numerosas consideraciones deben ser realizadas desde el punto de

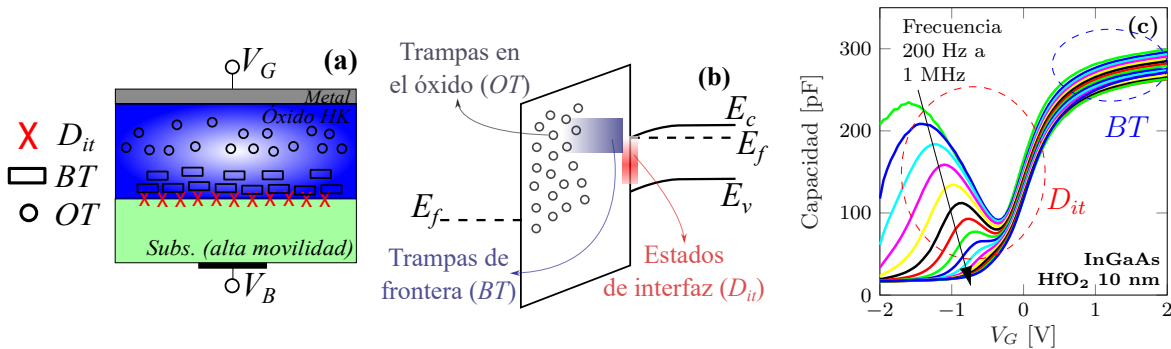


Figura 2.3: (a) Representación básica de los defectos en la estructura MOS de acuerdo a su ubicación física. (b) Representación en el diagrama de bandas de energía de las distintas trampas. (c) Curvas C-V multifrecuencia típicas para una estructura MOS basada en InGaAs y  $\text{HfO}_2$ , mostrando los efectos de estados de interfaz y las trampas de frontera.

vista del modelado y de la caracterización de estos dispositivos novedosos, si se pretende obtener indicadores confiables del desempeño a partir de mediciones eléctricas.

Entre los aspectos fundamentales, la presencia de un alto número de BTs suele ser característico de este tipo de dispositivos. Sin embargo, el estudio de los estados de interfaz también ha recibido destacada atención en la literatura, ya que el desplazamiento ineficiente del nivel de Fermi sobre la interfaz óxido-semiconductor o la distribución asimétrica de estados en la banda de conducción de semiconductores compuestos, entre otras no idealidades [28], puede alterar las conclusiones obtenidas alrededor del comportamiento de los capacitores MOS MG/HK/III-V.

Por esta razón, el relevamiento de curvas C-V parametrizadas en frecuencia (usualmente llamadas "multifrecuencia") es una de las herramientas que, combinadas con la variación de la temperatura de la muestra, permiten cuantificar el impacto de las no idealidades en estructuras MOS y que ha sido ampliamente utilizada sobre dispositivos basados en semiconductores III-V. Una curva C-V multifrecuencia típica, a frecuencias entre 200 Hz y 1 MHz, para una estructura MOS de compuerta metálica, óxido de alta constante dieléctrica y sustrato semiconductor de alta movilidad tipo N, se muestra en la Fig. 2.3c. El incremento de la capacidad en la zona de inversión débil y el corrimiento de la curva para distintas frecuencias en la zona de vaciamiento pueden atribuirse a una fuerte respuesta de  $D_{it}$  típica de este tipo de dispositivos, y ha sido objeto de profundas investigaciones para su correcta cuantificación [28]. Por su parte, una marcada reducción de la capacidad en la zona de acumulación  $C_{acc}$  puede observarse a tensiones positivas. Idealmente, como se discutiera en la Fig. 2.2, este valor se espera constante con la

frecuencia y asociado al espesor y permitividad dieléctrica del óxido. Este fenómeno, conocido como dispersión con la frecuencia de la capacidad de acumulación y característico en estructuras MOS basadas en sustratos de alta movilidad, ha sido asociado a la presencia de trampas de frontera, cuya interacción con los portadores del semiconductor es fuertemente dependiente de la distancia del defecto respecto a la interfaz y de la frecuencia de la señal de medición [64–66]. El análisis pormenorizado este efecto se aborda en la sección 4.2.

## 2.2 Transistor MOSFET

El Transistor de Efecto de Campo Metal-Óxido Semiconductor ("*MOS Field Effect Transistor*", MOSFET) es el dispositivo electrónico fundamental de los circuitos integrados. La estructura general de corte transversal se observa en la Fig. 2.4, en donde se observa que es un dispositivo de 4 terminales: compuerta o "*gate*" (G), drenaje o "*drain*", fuente o "*source*" y cuerpo o "*bulk/body*" (B). Su principio de funcionamiento se basa en la generación de un canal de inversión debajo del terminal de compuerta, apoyado sobre los mecanismos de la estructura MOS. Las zonas altamente dopadas que definen los terminales de fuente y drenaje permiten, una vez formado el canal, observar una circulación de corriente por el mismo. De este modo, la corriente de salida (drenaje) del MOSFET será función tanto del nivel de inversión, controlado por el terminal de compuerta ( $V_{GS}$ ), como del potencial aplicado entre los extremos del canal ( $V_{DS}$ ), conectando el terminal de cuerpo o sustrato junto al terminal de fuente, de modo que  $V_{BS} = 0$ . Por su relativa simplicidad tecnológica, la ausencia de corriente de DC circulando por el terminal de entrada y su capacidad para funcionar como llave a partir del control del canal, su uso se popularizó inicialmente para circuitos lógicos de alta escala de integración. Sin embargo, por conveniencia de fabricación, rápidamente se volvió indispensable el aprovechamiento de sus características para operación analógica, a pesar de su menor desempeño en comparación con tecnologías bipolares. A continuación, repasaremos las nociones fundamentales del modelado de las características I-V de transistores MOSFET ideales y algunas consideraciones de dispositivos reales.

### 2.2.1 Modelos y curvas corriente-tensión

La derivación de la corriente de drenaje en un MOSFET puede conceptualizarse con la doble integral de Pao y Sah [61], reproducida en la ecuación (2.2.1). En términos

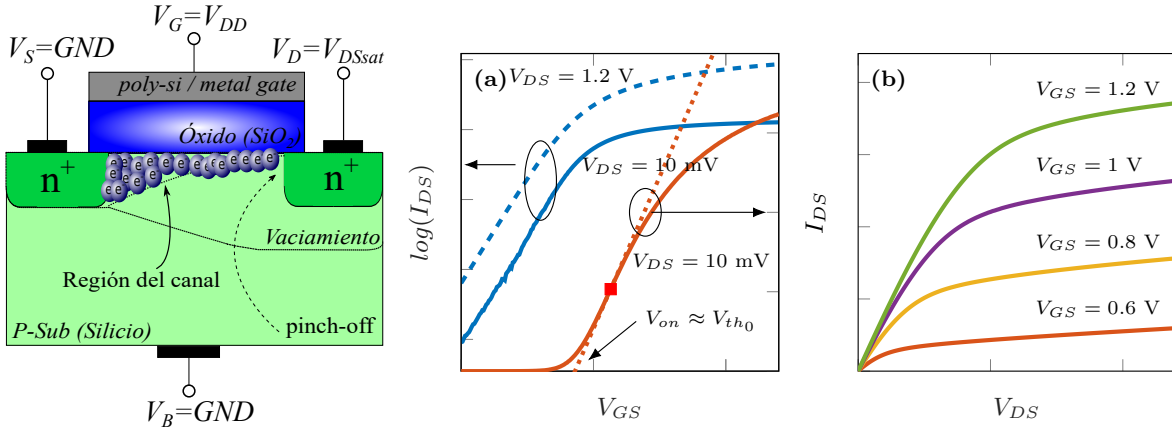


Figura 2.4: Estructura básica de un MOSFET en corte transversal. (a) Curvas experimentales  $I_{DS}$ - $V_{GS}$  para un MOSFET de  $L = 130$  nm en escala logarítmica (eje izq.) y lineal (eje der.), mostrando la extracción  $V_{on} \approx V_{th0}$ . (b) Curvas de salida  $I_{DS}$ - $V_{DS}$  para distintas tensiones  $V_{GS}$ .

generales, corriente total  $I_{ds}$  se obtiene de integrar a lo largo del potencial del canal, el total de la carga de inversión resultante de la curvatura del potencial de superficie  $\Psi_s$ . Bajo la aproximación de carga laminar ("Charge sheet"), la corriente puede reescribirse en términos del potencial de superficie según la ecuación (2.2.2).

$$(2.2.1) \quad I_{DS} = q\mu_{eff} \frac{W}{L} \int_0^{V_{DS}} \left( \int_{\delta}^{\Psi_s} \frac{(n_i^2/N_a) e^{q(\Psi-V)/KT}}{\mathcal{E}_S(\Psi, V)} d\Psi \right) dV$$

$$(2.2.2) \quad I_{DS} = \mu_{eff} \frac{W}{L} \left[ C_{ox} \left( V_{GS} - V_{FB} + \frac{kT}{q} \right) \Psi_s - \frac{1}{2} C_{ox} \Psi_s^2 - \frac{2}{3} \sqrt{2\epsilon_S q N_a} \Psi_s^{\frac{3}{2}} + \frac{kT}{q} \sqrt{2\epsilon_S q N_a} \Psi_s \right] \Big|_{\Psi_{s,s}}^{\Psi_{s,d}}$$

En estas expresiones,  $\mu_{eff}$  es la movilidad efectiva de los portadores en el canal,  $W$  es el ancho del canal y  $L$  es el largo del canal. El modelo basado en el potencial de superficie de la ecuación (2.2.2) es un solución continua, para todas las regiones de operación del transistor en cualquier condición de inversión. Separando las condiciones de operación acorde a la condición de inversión en condición sub-umbral o inversión fuerte, y considerando el efecto del estrangulamiento del canal  $Q_i(y) \approx 0$  para separar las zonas de triodo y saturación, para transistores de canales largos la corriente puede expresarse por tramos según:

$$(2.2.3) \quad I_{D_{triado}} = \mu_{eff} C_{ox} \frac{W}{L} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{m}{2} V_{DS}^2 \right] \quad \text{si } V_{GS} > V_{th}, V_{DS} < V_{GS} - V_{th}$$

$$(2.2.4) \quad I_{D_{sat}} = \mu_{eff} C_{ox} \frac{W}{2L} (V_{GS} - V_{th})^2 [1 + \lambda(V_{DS} - V_{DS_{sat}})] \quad \text{si } V_{GS} > V_{th}, V_{DS} \geq V_{GS} - V_{th}$$

(2.2.5)

$$I_{D_{subthreshold}} = \mu_{eff} C_{ox} \frac{W}{L} (m-1) \left( \frac{kT}{q} \right)^2 e^{q(V_{GS}-V_{th})/mKT} \left( 1 - e^{-qV_{DS}/kT} \right) \quad \text{si } V_{GS} < V_{th},$$

donde  $V_{th}$  es la tensión de umbral,  $V_{DS_{sat}} = V_{GS} - V_{th}$  es la tensión de saturación o "pinch-off" del canal,  $\lambda$  es el coeficiente de modulación de longitud del canal  $m = 1 + (C_{min} + C_{it})/C_{ox}$  es el parámetro de idealidad del dispositivo. Cabe destacar que, en la deducción de estas expresiones, el potencial del terminal de fuente  $V_S$  se mantiene a 0 V y que el terminal de sustrato se conecta al mismo potencial, resultando en  $V_{BS} = 0$  V. Sin embargo, especialmente en tecnologías CMOS estándar, varios dispositivos pueden compartir el mismo terminal de *bulk*, pudiendo resultar imposible mantener la condición antedicha (por ejemplo, en transistores n-MOSFET en serie). En estos casos, el potencial  $V_{BS} < 0$  resulta en la reducción del nivel de inversión del canal, que puede traducirse como un incremento de la tensión de umbral  $V_{th}$  [61].

El modelo lineal-cuadrático de las ecuaciones (2.2.3) y (2.2.4) y el modelo exponencial de conducción sub-umbral de la ecuación (2.2.5) son ampliamente utilizados de forma didáctica y para cálculos simples en circuitos en los cuales las condiciones de trabajo presentan un modo de operación perfectamente definido. Las curvas I-V generales para un transistor MOSFET típico de canal largo se resumen en las Figs. 2.4a y 2.4b. Algunos parámetros fundamentales pueden extraerse bajo aproximaciones de la condición de trabajo, como es el caso de la tensión de umbral  $V_{th}$ . Manteniendo una tensión  $V_{DS} \leq 0.01$  V, la extrapolación lineal desde el punto de máxima pendiente en la curva I-V de la Fig. 2.4a permite estimar la tensión de encendido  $V_{on}$ , que resulta una buena aproximación ligeramente superior al valor de  $V_{th}$  debido a efectos de capacidad de la capa de inversión, entre otros [61]. Asimismo, ignorando los efectos de degradación de la movilidad por los campos eléctricos lateral y vertical [61], la pendiente de la curva  $I_{DS}$  vs.  $V_{GS}$  será proporcional a la movilidad efectiva de los portadores en el canal.

### 2.2.2 Efectos de canal corto y de segundo orden

Frente a la disminución de las dimensiones de los dispositivos, debe considerarse el efecto del terminal de drenaje sobre la respuesta real del canal, especialmente en tecnologías CMOS estándar. Esto es generalmente conocido como efectos de canal corto, y la literatura es vasta en su análisis [61]. Entre los principales efectos presentes, quizás los más característicos sean la dependencia de la tensión de umbral, la saturación de velocidad de los portadores del canal y el aumento de la corriente sub-umbral por efecto de la tensión de drenaje [61]. Por lo complejo de estas interacciones, la mayoría de los

modelos más difundidos para simulaciones basadas en SPICE (como BSIM o PSP) se han basado, apoyándose en soluciones numéricas para la ecuación implícita que relaciona  $\Psi_s$  con  $V_{GS}$  y  $V_{DS}$ , en el modelo de potencial de superficie de la ecuación (2.2.2) e introducido numerosos parámetros semi-empíricos de ajuste de los efectos de segundo orden. Por esta razón, el análisis de diseño llevado a cabo en el capítulo 6 se basa en la extracción del espacio de las curvas  $I_{DS}(V_{GS}, V_{DS})$  completas a partir del simulador, que con un bajo costo computacional permiten realizar estimaciones de diseño más acertadas que con las aproximaciones de las ecuaciones (2.2.3)-(2.2.5).

## 2.3 Modelos de degradación en tecnologías CMOS

El estudio de la ruptura dieléctrica fue durante muchos años y continúa siendo al día de hoy, un aspecto crucial de la confiabilidad a nivel tecnológico en la microelectrónica. Sin embargo, como consecuencia de la renovación de los materiales involucrados [31] y el profundo escalamiento de las dimensiones físicas, mecanismos de degradación conocidos con anterioridad pero que eran considerados de menor impacto, se han convertido en serias amenazas a la confiabilidad de un circuito completo. Puntualmente, en tecnologías CMOS sub-micrón y con la introducción de los dieléctricos de alta constante, además de la ruptura dieléctrica dependiente del tiempo ("*Time Dependent Dielectric Breakdown*", TDDB)[12] se exacerbaron mecanismos ya conocidos como "*Bias Temperature Instability*", tanto bajo tensiones positivas (PBTI) como negativas (NBTI) [5, 43, 67–69], o la inyección de portadores calientes ("*Hot Carrier Injection*", HCI) [70], que se presentan como severas amenazas al correcto funcionamiento de los dispositivos a lo largo de su vida útil. En este capítulo se revisan los conceptos y modelos utilizados para cuantificar los mecanismos de degradación de los transistores en el marco de un circuito más complejo. Por su rol central en el envejecimiento de los dispositivos y circuitos analizados en capítulos posteriores, se centra la atención en TDDB y HCI.

### 2.3.1 TDDB

La ruptura dieléctrica dependiente del tiempo es el proceso por el cual un material pierde sus propiedades de aislación eléctrica cuando es estresado bajo un campo eléctrico de cierta intensidad por un período de tiempo suficientemente extenso. Si bien el fenómeno es ampliamente conocido, en los últimos 15 años se desarrollaron enormes avances en la comprensión del mecanismo físico en la ruptura de dispositivos nanoelectrónicos

[23, 32, 33]. La introducción de técnicas experimentales avanzadas de microscopía electrónica y de fuerza atómica, sumada a las técnicas tradicionales y a la enorme diversidad de dispositivos y materiales estudiados a la fecha, permiten continuar expandiendo el conocimiento en esta temática [23, 32, 33].

Desde el punto de vista experimental, el fenómeno de ruptura en dispositivos MOS o MIM suele estudiarse a partir de una muestra suficientemente grande de dispositivos idénticamente fabricados, sometidos a condiciones de estrés aceleradas. Estas condiciones pueden ser incrementales, como es el caso del estrés por rampa de tensión (RVS por sus siglas en inglés, "*Ramped Voltage Stress*") hasta un valor crítico de potencial  $V_{BD}$  o campo eléctrico  $E_{BD}$  al cual se produce la ruptura. Otra alternativa consiste en aplicar un campo eléctrico o potencial elevado constante (CVS, por sus siglas en inglés "*Constant Voltage Stress*") pero por debajo de sus valores críticos y adquirir la corriente en función del tiempo hasta el momento en que se produce la ruptura conocida como TDDB. Más allá del método utilizado, la ruptura es un fenómeno estocástico y por ende es representado utilizando herramientas estadísticas.

Durante muchos años, el modelo percolativo [12, 71, 72] ha representado el comportamiento del TDDB con el avance tecnológico de la nanoelectrónica. Este modelo se apoya en el concepto esquematizado en la Fig. 2.5a: a lo largo del tiempo, el campo eléctrico aplicado induce defectos (esferas en el diagrama) aleatoriamente distribuidos en el aislante hasta que un camino de percolación conecta los dos terminales que el aislante separa. Este camino, al ser de elevada conductividad, resulta en la pérdida parcial o total de las propiedades dieléctricas, impactando negativamente en el desempeño o quitando de funcionamiento al dispositivo en cuestión. Bajo esta teoría, la distribución de los tiempos de ruptura para una muestra de dispositivos idénticos sigue una distribución de Weibull [12], caracterizada por una pendiente  $\beta$ . Por el escalamiento directo con el área del dispositivo bajo estudio, la industria encontró en este modelo una herramienta poderosa para extrapolar las condiciones de trabajo (es decir, la tensión nominal de alimentación) para garantizar una tasa de falla determinada en el tiempo de vida esperado del producto, como lo representa la gráfica de Weibit de la Fig. 2.5b. Los detalles analíticos de este modelo serán de utilidad en el desarrollo de los resultados del capítulo 6.

Analíticamente, la función densidad de probabilidad (PDF) de Weibull se caracteriza por la Ec. (2.3.1), donde  $\beta$  es el parámetro de forma o pendiente y  $t_{63\%}$  es el tiempo de vida característico o parámetro de escala. La Fig. 2.5b representa el denominado *weibit* que, calculado como  $\ln(-\ln(1 - F))$ , permite representar la distribución de Weibull en



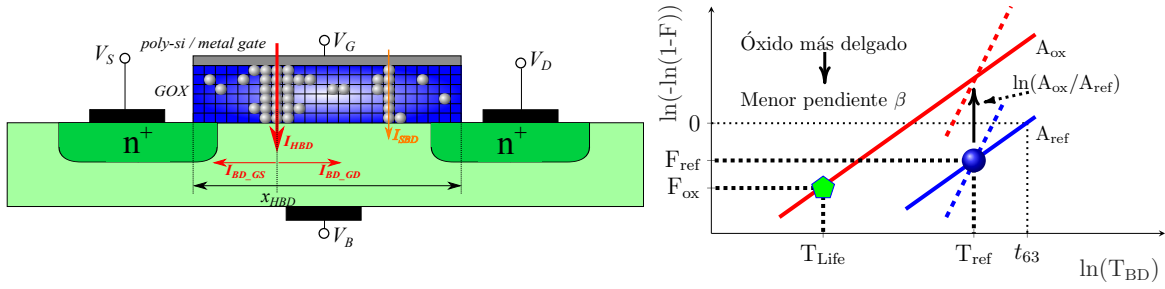


Figura 2.5: (a) Modelo esquemático de la teoría de percolación: las esferas (defectos) se generan aleatoriamente hasta formar un camino percolativo entre los electrodos, atravesando dieléctrico. (b) Confiabilidad de óxidos delgados representada en un diagrama de Weibit, en términos de la teoría de percolación.

función de  $\ln(T_{BD})$  como una recta de pendiente  $\beta$ , en donde  $T_{BD}$  es el tiempo  $t$  al cual se observa la ruptura dieléctrica para cada elemento de la distribución, es decir para cada dispositivo caracterizado. El cruce por el Weibit "0"  $\ln(-\ln(1-F)) = 0$  se corresponde con el tiempo característico  $t_{63}$  de la distribución.

$$(2.3.1) \quad F = \frac{\beta}{t_{63\%}} \left( \frac{t}{t_l} \right)^{\beta-1} e^{-\left( \frac{t}{t_{63\%}} \right)^\beta}$$

Tecnológicamente, la pendiente  $\beta$  en la distribución de TDDB se volvió más baja a medida que los óxidos de compuerta de los dispositivos se hicieron más delgados. Considerando que los percentiles más bajos de la distribución son los de interés para garantizar una baja tasa de fallas, una pendiente más baja (o distribución más ancha) supone un tiempo de vida más corto para una tasa determinada, como muestra la Fig. 2.5b. Otra propiedad tecnológicamente importante es el escalamiento de la distribución con el área del óxido bajo estudio [72]. Este efecto es observable como desplazamiento vertical (a un tiempo  $T_{ref}$  constante) u horizontal en  $\ln(T_{BD})$  de la curva de Weibit, es decir hacia tiempos de vida menores (a un valor constante  $F_{ref}$ ). Esta propiedad fundamental permite extrapolar desde un área de dispositivos de referencia  $A_{ref}$  utilizados para el estudio estadístico, al área eficaz de óxidos de compuerta en un producto final  $A_{ox}$  (en electrónica de consumo, ésta área puede alcanzar algunos milímetros cuadrados). De este modo, el tiempo de vida  $T_{Life}$  esperado para el producto considerando una tasa de fallas  $F_{ox}$  puede ser extrapolado a partir de la información disponible. Finalmente, TDDB se caracteriza por una fuerte aceleración con la tensión aplicada, que puede modelarse como una dependencia tipo ley de potencias (de la forma  $V^m$ ) o bien con una función exponencial exponencial [73].

Teniendo en cuenta estas consideraciones y conociendo algunos parámetros característicos de la tecnología bajo estudio, es posible estimar el tiempo medio transcurrido para una cantidad de fallas de determinada en un dispositivo o circuito puntual. Puntualmente,  $t_{63}$  puede obtenerse, incluyendo escalamiento con el área y aceleración por tensión de la forma de ley de potencias, como muestra la ecuación (2.3.2). Este es el tiempo para el cual se estima que un 63 % de los dispositivos bajo prueba reportará una falla, pero puede ser extrapolado a un tiempo medio para una proporción de fallas determinada aplicando la inversa de la distribución de Weibull, como indica la ecuación (2.3.3). En este caso se muestra el cálculo para una tasa de 100 fallas por cada millón de dispositivos ( $t_{100ppm}$ ), utilizado como valor de referencia a lo largo de este trabajo. Al igual que en la Fig. 2.5, en estas ecuaciones  $t_0$  es un tiempo característico o desplazamiento,  $A_{ox}$  es el área del óxido del dispositivo o producto bajo estudio,  $A_{ref}$  es el área de referencia a partir de la cual se obtuvieron los datos de la distribución,  $V$  es la tensión aplicada y  $m$  es el factor de aceleración por ley de potencias.

$$(2.3.2) \quad t_{63} = \frac{t_0}{\left(\frac{A_{ox}}{A_{ref}}\right)^{1/\beta} V^m}$$

$$(2.3.3) \quad t_{100ppm} = t_{63}(-\ln(1 - 10^{-4}))^{1/\beta}$$

Es importante mencionar en este punto que, si bien la estadística de Weibull es una importante herramienta de estudio y toma de decisiones en lo pertinente a TDDB, el proceso de ruptura no necesariamente es catastrófico, sino que la condición de falla depende de la corriente a través del óxido que puede ser soportada por un dispositivo para que el sistema en el que se desempeña pueda seguir cumpliendo su función. De este modo, y en la búsqueda de una representación eléctrica válida del impacto de la ruptura dieléctrica sobre el correcto funcionamiento de un transistor, diversos modelos fueron propuestos, algunos mucho más elaborados que otros [74].

Una representación ampliamente utilizada en la literatura para analizar el impacto de la ruptura en transistores MOSFET en circuitos es la de considerar un camino resistivo en el punto de ruptura sobre el óxido [75–78], vinculando 2 o más terminales del dispositivo. Esta interpretación ha sido ampliamente utilizada en el estudio de TDDB sobre circuitos CMOS por su simplicidad para aplicarlo en simuladores basados en SPICE. Cabe destacar que el valor asociado a estas resistencias en la literatura fue abordado desde muchas perspectivas. En algunos casos, la resistencia efectiva de el camino de

ruptura fue medida experimentalmente y asociada a la posición del punto de ruptura a lo largo del canal, con valores entre decenas y cientos de  $k\Omega$  [79]. Otra alternativa considerada en la literatura es la aplicación del modelo de conducción mesoscópica [76–78], que será discutido en la sección 3.1.2, por su éxito para representar las características conductivas del filamento de ruptura [80]. Más allá del valor de la resistencia de ruptura, dependiendo del circuito en el cual se desempeña el dispositivo, esta representación del efecto de la ruptura puede tener resultados muy diferentes, pudiendo sacar al circuito de funcionamiento o pasando virtualmente desapercibido. Esto se abordará para los circuitos de interés en la sección 6.3.

### 2.3.2 HCI

El mecanismo de *Hot Carrier Injection* ha sido vinculado, en tecnologías CMOS comerciales, a la ruptura de uniones Si-H en la interfaz óxido/semiconductor de, principalmente, transistores n-MOSFET [70]. Ante la presencia de elevados campos eléctricos en el canal, especialmente en la vecindad del terminal de drenaje, los portadores adquieren suficiente energía para producir ionización por impacto de pares electrón-hueco, como muestra la representación gráfica de la Fig. 2.6. El hueco generado es colectado a través del terminal de sustrato, generando un incremento de la corriente de sustrato en el dispositivo. Por su parte, los electrones generados por este proceso, usualmente llamados "*hot carriers*", poseen suficiente energía como para superar la barrera de potencial óxido/semiconductor y ser inyectados en el aislante de compuerta. Este proceso puede derivar en ruptura de enlaces silicio-hidrógeno (Si-H), generando defectos en la interfaz entre el dieléctrico y el semiconductor ( $D_{it}$ ). La interacción de estos defectos con los portadores del canal resulta en dos consecuencias directas sobre los parámetros característicos del MOSFET: el incremento  $\Delta V_{thHCI}$  de la tensión de umbral respecto a su valor en el estado prístino, que denominaremos  $V_{th0}$ , y la reducción de movilidad efectiva de los portadores a un valor  $\mu_{HCI}$ , respecto a su valor inicial que denominaremos  $\mu_0$ .

Mediciones experimentales reportadas en la literatura para transistores de diferentes longitudes de canal han mostrado una fuerte dependencia exponencial de este mecanismo de degradación con los campos eléctricos vertical (vinculado a  $V_{GS}$ ) y lateral (vinculado a  $V_{DS}$ ). A su vez, la dependencia temporal de la degradación paramétrica sigue una ley de potencias de la forma  $t^n$ . Un modelo compacto ampliamente usado en la literatura para introducir efectos de HCI en circuitos complejos, es el propuesto por Wang *et al.* [81]. Por conveniencia para los análisis del capítulo 6, el mismo se encuentra resumido en las ecuaciones (2.3.4)-(2.3.7), donde  $q$  es la carga del electrón,  $C_{ox}$  es la capacidad

del óxido de compuerta por unidad de área,  $K_{HCI}$  es una constante de ajuste,  $Q_i$  es la carga de inversión en el canal,  $E_{ox}$  es el campo vertical y  $E_m$  el lateral. En la ec. (2.3.4),  $E_0$  es la energía de activación de los defectos vinculados a los enlaces Si-H,  $\Phi_{it}$  es la mínima energía necesaria para generar un defecto de interfaz,  $\lambda$  es el camino libre medio y  $n_{HCI}$  es el factor de aceleración temporal de la degradación por HCI. En la Ec. (2.3.5),  $\alpha_{HCI}$  es una constante de proporcionalidad y  $m_\mu$  es un exponente de aceleración con densidad de defectos de la degradación de movilidad. En la Ec. (2.3.6),  $V_{dsat}$  es la tensión de saturación y  $l$  es la longitud media de la región de estrangulamiento del canal (región de alta probabilidad de ionización por impacto). En la Ec. (2.3.7),  $t_{ox}$  es el espesor del óxido. Cabe destacar que los parámetros tecnológicos y de ajuste en estas expresiones son fuertemente dependientes del nodo tecnológico y del fabricante.

$$(2.3.4) \quad \Delta V_{th_{HCI}} = \frac{q}{C_{ox}} K_{HCI} \sqrt{Q_i} e^{\frac{E_{ox}}{E_0}} e^{\frac{-\Phi_{it}}{q\lambda E_m}} t^{n_{HCI}}$$

$$(2.3.5) \quad \mu_{HCI} = \frac{\mu_0}{\left( \frac{\Delta V_{th_{HCI}} C_{ox}}{q} \alpha_{HCI} + 1 \right)^{m_\mu}}$$

$$(2.3.6) \quad E_m = \frac{V_{ds} - V_{dsat}}{l}$$

$$(2.3.7) \quad E_{ox} = \frac{V_{gs} - V_{th}}{t_{ox}}$$

$$(2.3.8) \quad Q_{i_{SI}} = C_{ox}(V_{gs} - V_{th}) \quad \text{para} \quad V_{gs} > V_{th}$$

$$(2.3.9) \quad Q_{i_{WI}} = \sqrt{\frac{\epsilon_0 \epsilon_S q N_b}{2\psi_s}} V_t e^{(\psi_s - 2\psi_f)/V_t} \quad \text{para} \quad V_{gs} < V_{th}$$

Por último, las ecuaciones (2.3.8) y (2.3.9) se utilizan para calcular la carga de inversión  $Q_i$  de acuerdo al régimen de inversión fuerte ("*Strong Inversion*", SI) o débil ("*Weak Inversion*", WI), respectivamente. En estas expresiones,  $\psi_s$  es el potencial de superficie (sobre la interfaz óxido semiconductor),  $\psi_f$  el nivel de Fermi en el semiconductor,  $V_t$  la tensión térmica,  $N_b$  el nivel de dopaje del sustrato y  $\epsilon_0$  y  $\epsilon_S$  las permitividades dieléctricas del vacío y el semiconductor, respectivamente. Cabe destacar que existen modelos físicos más representativos de la dinámica de degradación por HCI, como la inclusión de HCI no conductivo (es decir, sin la presencia de canal) [82] o el modelo basado en la energía o

"energy driven model" [83, 84], recientemente introducido en herramientas comerciales de simulación para circuitos de radiofrecuencia [51]. Si bien estas alternativas pueden ser menos compactas para su introducción en circuitos complejos, en cualquier caso la selección del modelo pertinente debe estar basada en una caracterización experimental acorde para cada tecnología. En las secciones subsiguientes, el uso de los modelos aplicados en este trabajo serán justificados mediante experimentos bajo condiciones de estrés acelerado, pero los métodos propuestos pueden ser migrados hacia otras tecnologías y modelos siempre que se realice la caracterización y ajuste pertinentes.

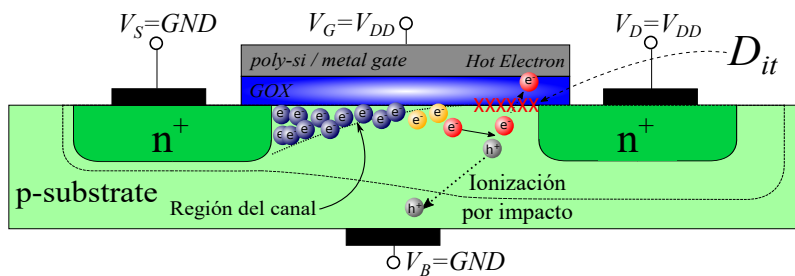


Figura 2.6: Representación gráfica del proceso de generación de defectos de interfaz por HCEI.

### 2.3.3 Confiabilidad de MOSFETs bajo operación en RF

Como se discutió en las secciones 2.3.1 y 2.3.2, los mecanismos de degradación en función del tiempo en transistores MOSFETs se caracterizan por una fuerte aceleración con los campos eléctricos a los cuales está sometido el dispositivo, tanto verticales (a través del óxido) como laterales (a lo largo del canal). Durante muchos años, una parte considerable de los modelos de degradación fueron derivados para condiciones de estrés constante, con ciertas consideraciones para el funcionamiento de los transistores en circuitos digitales, donde el ciclo de actividad de cada sector del circuito puede variar considerablemente según la operación, y por ende el estrés puede ser visiblemente menor que para condiciones de tensión aplicada constante. Con la mejora en el desempeño de las tecnologías CMOS para aplicaciones de RF e impulsado por la severidad de los efectos de degradación con el rápido escalamiento tecnológico, la degradación bajo estrés de RF o DC+RF obtuvo una atención considerable por parte de la comunidad, especialmente en la última década [48–51, 57, 82, 85–87]. Ante la exigencia que sufren ciertos circuitos de RF frente a grandes excursiones de tensión variable en el tiempo, el estudio de la dinámica de degradación bajo señales de alta frecuencia es fundamental para realizar una estimación acorde en diseños fundamentales del RF *front-end*.

Algunos autores reportaron resultados experimentales de TDDB bajo estrés de RF que mostraron buenos ajustes de los modelos típicos de DC pero utilizando el valor RMS de la señal de estrés [88]. Otra alternativa para encarar el modelado de la dinámica de degradación bajo estrés de DC+RF que ha tenido considerable aceptación entre la comunidad científica es la aproximación por señales de DC cuasi-estacionarias equivalentes (QSDC, "Quasi-Stationary DC signals")[89]. Bajo esta aproximación, las señales variantes en el tiempo son aproximadas como una secuencia de condiciones de estrés de DC. De esta forma, se puede generalizar la degradación de un parámetro determinado del transistor a cualquier función para la dinámica de degradación temporal de la forma  $g(f(V) \cdot t)$ . De este modo, modelos conocidos para la degradación temporal en DC pueden ser extendidos a la operación en condiciones de DC+RF. Por la característica de aceleración tipo ley de potencias con el tiempo que caracteriza a efectos como HCI, BTI y TDDB, la derivación propuesta por Scholten *et al.* en la Ref. [89] es de particular interés para esta tesis y su generalización recibió buena aceptación por parte de otros autores que utilizaron esta metodología para el análisis de la confiabilidad en circuitos de RF [46, 86, 87]. En resumidas cuentas, la propuesta considera para una ley de degradación general de la forma:

$$(2.3.10) \quad \Delta P(t) = C \cdot (f(V_i) \cdot t),$$

donde  $\Delta P(t)$  es la degradación de un parámetro de un dispositivo (como ser tensión de umbral, corriente de saturación, transconductancia, etc),  $t$  es la variable tiempo, mientras que  $n$  y  $C$  son constantes características del mecanismo de degradación y  $f(V_i)$  una función no lineal dependiente de las tensiones de operación del dispositivo. La estrategia consta en obtener la tasa de variación del parámetro  $d\Delta P(t)/dt$  bajo condiciones de tensión aplicada constante (es decir, para tensiones de DC), aplicar esta tasa de degradación "punto a punto" para las señales de estrés de AC/RF  $V_i(\hat{t})$  y luego integrar en el tiempo esta tasa de degradación para obtener una degradación equivalente bajo condiciones de estrés variables. Los detalles de esta derivación pueden obtenerse en la Ref. [89], pero a los fines prácticos, la generalización del método de QSDC para una ley de potencias puede resumirse en la Ec. (2.3.11). Bajo esta generalización, para simplificar el modelo bajo señales de estrés periódicas, el parámetro de cuantificación del envejecimiento  $AGE(t)$  facilita la aplicación del modelo de QSDC. Este parámetro tiene la propiedad de que el envejecimiento total puede calcularse como la extrapolación lineal en  $t$  de la integral de  $AGE$  a lo largo de un ciclo de operación  $AGE(T)$ , como indica la Ec. (2.3.12), a tiempos mayores en donde la degradación es apreciable, es decir tras varios ciclos  $N$  de la señal estacionaria. La multiplicación lineal de  $AGE(T)$  con el tiempo de

operación es sólo válida si el tiempo  $t$  en el que se evalúa el envejecimiento es mucho mayor a un ciclo de la señal de RF estacionaria, es decir  $t \gg T$  [76], condición que se cumple para los mecanismos de degradación aquí estudiados. Esta propiedad es esencial para implementar el método de QSDC en el marco de un simulador de circuitos. Esta generalización puede extenderse a diversos modelos de aceleración de envejecimiento según el mecanismo [89].

$$(2.3.11) \quad \Delta P(t) = C \cdot (f(V_i) \cdot t) \quad \longrightarrow \quad \Delta P(t) = C \cdot \left[ \int_0^t f(V_i(\hat{t})) \cdot d\hat{t} \right]$$

$$(2.3.12) \quad AGE(T) = \int_0^T f(V_i(t)) \cdot dt \quad \longrightarrow \quad AGE(N \cdot T) \approx t \cdot AGE(T) \quad \text{para} \quad t \gg T$$

$$(2.3.13) \quad \frac{1}{\tau_{RF}} = \frac{1}{T} \int_0^T \frac{1}{\tau_{DC} f(V_i(t))} \cdot dt$$

Otra importante propiedad que se desprende de la ecuación (2.3.11) es la relación entre el tiempo de vida estimado bajo estrés de DC y RF [89], que puede resumirse en la ecuación (2.3.13), en donde el tiempo de vida estimado bajo condiciones ciclo-estacionarias  $\tau_{RF}$  se condice con un tiempo de vida  $\tau_{DC}$  bajo estrés de DC correspondiente al valor medio de la señal ciclo-estacionaria. Considerando los modelos que se abordaron en las secciones 2.3.1 y 2.3.2 para TDDB y HCI, bajo operación en RF y régimen periódico, podemos reescribir los modelos de las ecuaciones (2.3.2) y (2.3.4) utilizando la aproximación de QSDC utilizando el valor medio de las tensiones ciclo-estacionarias de estrés, como indican las ecuaciones (2.3.14) y (2.3.15) [76, 89], en donde los términos integrales representan el parámetro  $AGE(T)$  sobre un período de operación de la señal. Podríamos escribir entonces que, para TDDB,  $AGE_{TDDB}(T) = \int_0^T |v_{G(S/D)}(t)|^m dt$  y que, para HCI,  $AGE_{HCI}(T) = \frac{1}{T} \int_0^T \sqrt{Q_i(t)} e^{\frac{E_{ox}(t)}{E_0}} e^{-\frac{\Phi_{it}}{q\lambda E_m(t)}} dt$ . En la ecuación (2.3.14),  $v_{G(S/D)}$  hace referencia a la tensión instantánea  $v_{gs}(t)$  o  $v_{gd}(t)$ , ya que el estrés sobre el óxido en circuitos de RF de gran señal no sólo está determinado por la señal de entrada sobre el terminal de compuerta sino también por la señal sobre el terminal de drenaje, resultando en diferentes amplitudes de tensión (y campo eléctrico) sobre el óxido hacia cada terminal. En condiciones típicas de operación, el mayor potencial de estrés se da sobre las zonas de solapamiento entre G y S y entre G y D, como se analizará en detalle en el capítulo 6.

$$(2.3.14) \quad t_{63} = \frac{T \cdot t_0}{\left( \frac{A_{ox}}{A_{ref}} \right)^{1/\beta} \int_0^T |v_{G(S/D)}(t)|^m dt}$$

$$(2.3.15) \quad \Delta V_{th_{HCl}} = \frac{q}{C_{ox}} K_{HCl} \frac{1}{T} \left[ \int_0^T \sqrt{Q_i(t)} e^{\frac{E_{ox}(t)}{E_0}} e^{\frac{-\Phi_{it}}{q\lambda E_m(t)}} dt \right] \cdot t^n_{HCl}$$

Para clarificar la implementación del modelo de QSDC y el impacto de las señales de RF sobre el envejecimiento esperado de los dispositivos, la Fig. 2.7 representa el comportamiento del parámetro  $AGE(T)$  en función de los valores pico  $V_{G_{RF}}$  (Fig. 2.7a) y  $V_{D_{RF}}$  (Fig. 2.7b) de señales de radiofrecuencia montadas sobre tensiones de polarización  $V_{G_{DC}} = 0.6$  V y  $V_{D_{DC}} = 1.2$  V. Los parámetros tecnológicos en los modelos adoptan valores típicos para una tecnología de 130 nm de longitud de canal, detallados en el anexo B. Las líneas punteadas horizontales muestran el valor del parámetro AGE para el caso de considerar únicamente la señal de DC estresando al dispositivo. El eje derecho de cada gráfico muestra la evolución del parámetro de confiabilidad asociado a cada caso, (a)  $t_{100ppm}$  y (b)  $\Delta V_{th_{HCl}}$ , este último considerando su valor a un tiempo  $t$  de 10 años de operación. En ambos casos, la señal de RF montada sobre la tensión DC de polarización acelera el envejecimiento del dispositivo frente al caso de la tensión DC únicamente [76, 89]. Es interesante notar la diferencia entre la variación de los parámetros frente a una tensión DC de valor  $V_{DC} + V_{RF}$  (líneas rojas a trazos) frente al uso de la aproximación QSDC para una señal  $V_{DC} + V_{RF} \cos(2\pi f \cdot t)$ , con  $f$  la frecuencia de la señal de RF (líneas rojas llenas). Esta estrategia se ha aplicado con éxito para representar la degradación de transistores a frecuencias de trabajo en el rango de algunos GHz [76, 85, 89] y continúa siendo, a la fecha, aceptada para frecuencias en el rango de la onda milimétrica (decenas de GHz)[50, 51, 55]. El uso de esta metodología frente a, por ejemplo, los valores eficaces [88] de las señales de estrés, será justificado en el análisis de la confiabilidad de circuitos de RF en la sección 6.3.5.

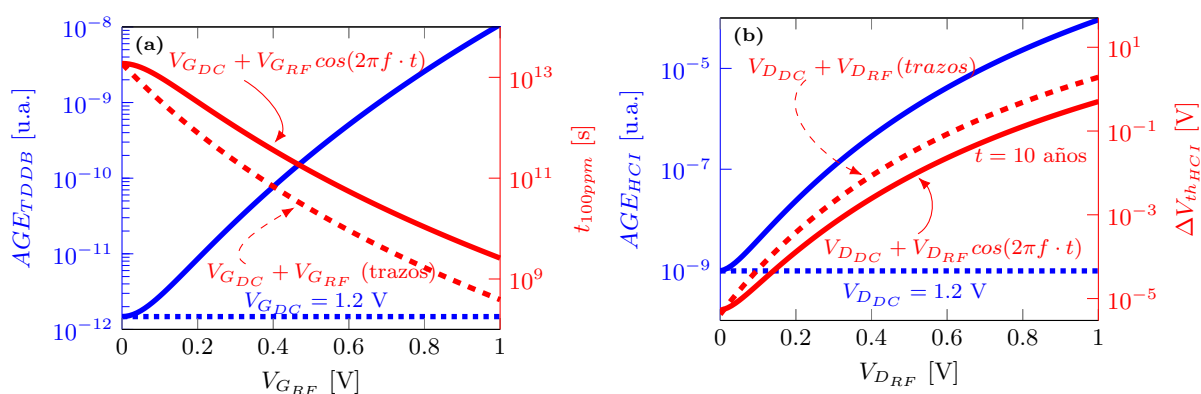


Figura 2.7: Valores que adoptan el parámetro  $AGE(T)$  (ejes izq.) y su parámetro de confiabilidad asociado (ejes der.) en función de la amplitud de la señal cuasiestacionaria de estrés principal para los mecanismos de (a) TDDB y (b) HCl.



## RUPTURA PROGRESIVA

Las capas dieléctricas delgadas son, como se discutiera en el capítulo 1, componentes fundamentales en los dispositivos nanoelectrónicos. Tal es así que la degradación y ruptura de los aislantes involucrados bajo condiciones normales de operación de los dispositivos cobra una importancia tecnológica enorme, siendo tópico de vastas investigaciones en dieléctricos tradicionales como  $\text{SiO}_2$ ,  $\text{SiO}_x$  o  $\text{SiON}$  [32], óxidos HK como  $\text{HfO}_2$  o  $\text{Al}_2\text{O}_3$  [33, 90], e incluso en materiales novedosos en 2 dimensiones, como el h-BN [23]. Comprender el proceso de ruptura de las capas dieléctricas, particularmente su naturaleza progresiva, es fundamental para predecir y mejorar la confiabilidad de tecnologías modernas y futuras. En este capítulo se aborda el rol de las propiedades térmicas de los dieléctricos de alta permitividad en la ruptura progresiva. Se analizará el rol de los electrodos y se evaluará el impacto de óxidos de dos capas de materiales distintos en la tasa de degradación.

### 3.1 Ruptura dieléctrica progresiva en óxidos HK

#### 3.1.1 Estado del arte y modelo compacto

La ruptura dieléctrica ha sido caracterizada como suave (SBD, "*Soft Breakdown*") o severa (HBD, "*Hard Breakdown*") dependiendo de la magnitud de la corriente post ruptura [79, 91–93]. Sin embargo, este criterio es fuertemente dependiente del circuito en el cual se desempeña el dispositivo: en algunos casos, un nivel prohibitivo de corriente

a través del óxido para un circuito puede pasar completamente desapercibido en el funcionamiento de un circuito diferente (algunas implicancias de esta observación se discuten en el capítulo 6). A su vez, como indicaran Monsieur et al. [94], la impresión de una ruptura fuerte y abrupta puede ser consecuencia de la resolución temporal del sistema de adquisición utilizado para capturar el evento transitorio.

Hacia inicios de los 2000, el profundo escalamiento de los óxidos de compuerta en tecnologías CMOS llevó a una nueva interpretación de la condición de falla en estos dieléctricos. La ruptura era generalmente caracterizada por ser un fenómeno aparentemente abrupto en el tiempo en óxidos gruesos, en línea con la teoría de percolación. La Fig. 3.1a muestra un claro ejemplo en dispositivos MOS con compuerta de SiO<sub>2</sub> de 7 nm de espesor, en donde las curvas I-t muestra un salto abrupto al momento de la ruptura. Con el adelgazamiento de los espesores, la ruptura comenzó a evidenciarse como un proceso de evolución progresiva, en donde el dieléctrico pierde sus propiedades aislantes paulatinamente con el tiempo bajo estrés, como muestra la Fig. 3.1b para SiO<sub>2</sub> de 1.5 nm de espesor. Por su naturaleza, este fenómeno recibe el nombre de ruptura progresiva (PBD, "*Progressive Breakdown*") y resultó en un nuevo criterio de falla determinado por el nivel de corriente a través del dieléctrico que se considere inaceptable para el funcionamiento de un transistor. De esta manera, la extrapolación a condiciones de trabajo del tiempo de vida de una tecnología determinada se basa en el parámetro conocido como tasa de degradación (DR, "*Degradation Rate*"), representado como la velocidad de cambio de la corriente respecto al tiempo [95] en la Ec. ((3.1.1)) y extraído en un rango de corrientes como representa la Fig. 3.1b. Esta interpretación resulta fundamental para la correcta extrapolación de la confiabilidad ya que la duración del incremento progresivo de la corriente de ruptura puede llegar a ser del mismo orden que el tiempo necesario para ver el inicio de este comportamiento, es decir el momento de la ruptura, como se observa en las mediciones de la Fig. 3.1c [96] de la ruptura en transistores n-MOSFET de 1.1 nm de espesor equivalente de óxido .

$$(3.1.1) \quad DR = dI_{BD}/dt$$

De esta manera, el concepto de PBD se ajusta mucho mejor a una descripción general de la ruptura, siendo la caracterización a través de la tasa de degradación perfectamente definida para cada condición experimental. PBD es un proceso universal que ha sido experimentalmente verificado para una gran variedad de sistema de materiales, desde el clásico Si/SiO<sub>2</sub>, pasando por óxidos HK e incluso en dieléctricos 2D como h-BN[23]. Una

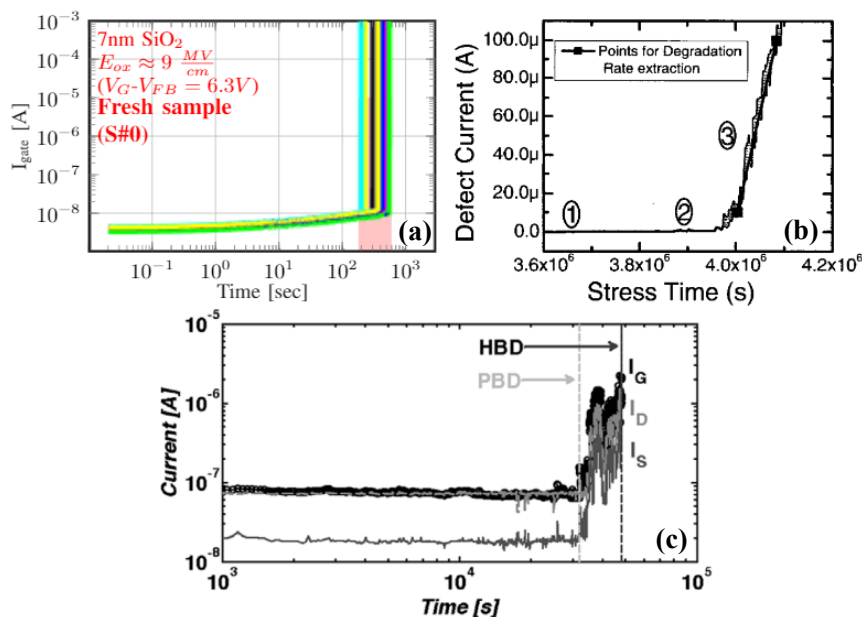


Figura 3.1: (a) Ruptura abrupta en 7 nm de SiO<sub>2</sub> sobre silicio y con compuerta metálica. (b) Representación de la extracción del DR sobre una curva I-t de 1.5 nm de SiO<sub>2</sub>. Reproducido de [95]. (c) Curvas I-t de la ruptura en un n-MOSFET de 1.1 nm de espesor equivalente de SiO<sub>2</sub>, mostrando duraciones similares para el PBD y para su inicio. Reproducido de [96].

multitud de resultados del valor de  $dI_{BD}/dt$  extraído para dispositivos construidos con diferentes materiales se reproduce en la Fig. 3.2[23] en función de la tensión de estrés.

Un aspecto común en distintos sistemas de materiales que ha sido ampliamente reportado en la literatura es la similar característica estructural del camino conductivo post ruptura. Numerosos experimentos de microscopía en dispositivos MOS y MIM [23, 32, 33] han mostrado con claridad la presencia de un camino conductivo compuesto por una alta densidad de átomos de los electrodos migrando hacia el aislante, representado en tres dimensiones en el esquema de la Fig. 3.2. En muestras Poly-Si/SiO<sub>x</sub>/Si eso se conoce como epitaxia inducida por ruptura, en donde se observa crecimiento epitaxial de silicio en el cuerpo del aislante a corrientes de ruptura limitadas a algunos  $\mu$ A [32]. Con la introducción de los terminales metálicos de compuerta, como titanio, imágenes de EELS (espectroscopía por pérdida de energía de electrones) muestran la clara presencia de Ti en la zona del filamento tras la ruptura en dispositivos Ti/HfO<sub>2</sub>/Ti [97, 98].

Recientemente, y a raíz de la evidencia expuesta respecto a la estructura del filamento conductor tras la ruptura, los resultados que se reproducen en la Fig. 3.2 fueron interpretados en el marco de un modelo del mecanismo físico que controla la velocidad de la ruptura progresiva. Es de destacar cómo, en óxidos HK como HfO<sub>2</sub> y Al<sub>2</sub>O<sub>3</sub>, el valor de  $dI_{BD}/dt$  muestra diferencias de hasta 6 ordenes de magnitud mayor para HfO<sub>2</sub> incluso

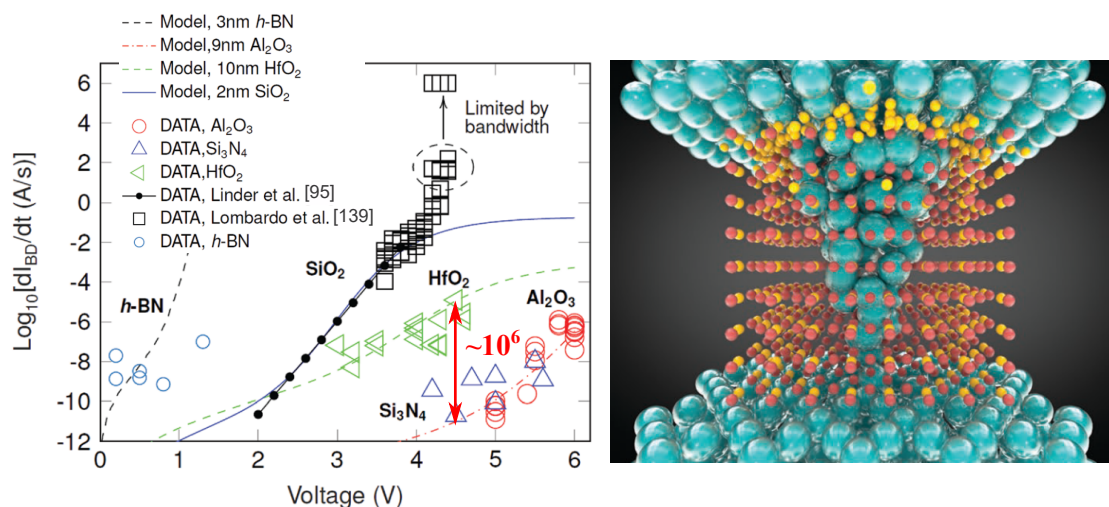


Figura 3.2: Resultados de  $dI_{BD}/dt$  en función de la tensión para un amplio universo de dieléctricos y representación en 3 dimensiones de la migración de los átomos del electrodo hacia el dieléctrico durante la ruptura. Reproducido de [23].

para tensiones de estrés considerablemente inferiores, como está indicado por la flecha roja alrededor de 4.5 V. En este sentido, el modelo propuesto por Palumbo y Lombardo et al. [34] representa el fenómeno de PBD en términos de la transferencia de energía desde el camino conductivo de ruptura hacia el material que lo rodea. Considerando que la sección del filamento de ruptura ronda un diámetro de los 1~100 nm, corrientes de ruptura en el orden del  $\mu\text{A}$  resultan en densidades de corriente tan elevadas como  $0.1 \sim 10 \text{ A}\cdot\text{cm}^2$ , un régimen de intensa electromigración. Siguiendo un modelo de electromigración [99], es posible cuantificar el flujo de átomos que migran desde los electrodos como sugiere la Ec. (3.1.2):

$$(3.1.2) \quad J_{EM} = q^2 \frac{N_{at} D}{k_b T} f_1 E,$$

donde  $q$  es la carga del electrón,  $N_{at}$  es la densidad atómica de la especie que migra desde los electrodos,  $D$  es la difusividad de la especie atómica hacia el óxido,  $k_b$  es la constante de Boltzmann,  $T$  es la temperatura absoluta,  $E$  es el campo eléctrico y  $f_1 = n_e \lambda_e \sigma_e$  es una constante para la colisión electrón-átomo calculada según Fiks [99, 100] a partir de la transferencia total de momento por unidad de tiempo, donde  $n_e$  es la densidad de electrones de la especie responsable por la electromigración,  $\lambda_e$  es el camino libre medio y  $\sigma_e$  es la sección efectiva para la colisión electrón-átomo. A partir del flujo de electromigración, el área  $A$  del punto de ruptura se incrementa, siguiendo el principio

de conservación de la masa, a un ritmo  $dA/dt$  proporcional a  $J_{EM}$ , pudiendo calcularse como:

$$(3.1.3) \quad dA/dt = \frac{J_{EM}A}{qt_{ox}N_{at}}$$

donde  $t_{ox}$  es el espesor total del óxido. Bajo estas condiciones, el cálculo de la tasa de incremento de la corriente o tasa de degradación  $DR = dI_{BD}/dt$  puede calcularse utilizando las ecuaciones (3.1.4) a (3.1.6).

$$(3.1.4) \quad \frac{dI_{BD}}{dt} = \frac{qV_G f_1}{k_B T t_{ox}^2} I_{BD}$$

$$(3.1.5) \quad D = D_0 e^{\frac{-E_{act}}{k_B T}}$$

$$(3.1.6) \quad T = \frac{f_2 V_G I_{BD}}{2\pi t_{ox} k_{th}} + T_0,$$

En la Ec. (3.1.4),  $V_G$  es la tensión aplicada sobre el aislante e  $I_{BD}$  es la corriente de ruptura que circula a través del filamento. La Ec. (3.1.5) representa la dependencia con la temperatura de la difusividad de la especie migrante, donde  $D_0$  es la difusividad característica y  $E_{act}$  es la energía de activación del proceso de Arrhenius. Con esta formulación, resta calcular la temperatura, que se muestra en la Ec. (3.1.6) calculada bajo la fuerte aproximación de simetría esférica alrededor del centro del punto de ruptura. Aquí,  $T_0$  es la temperatura inicial del dispositivo (asumida 300 K) y  $k_{th}$  es la constante de conductividad térmica propia del material aislante. Por su parte,  $f_2$  es una constante con valor entre 0 y 1 que representa la proporción de la energía que los portadores transfieren en su paso por el filamento para promover la electromigración [101]. Este parámetro es fundamental ya que caracteriza la disipación de la energía de los electrones que circulan por el filamento, siendo fuertemente dependiente de la temperatura, el espesor del óxido y la tensión aplicada [101]. Finalmente, para completar el modelo, debe tenerse en cuenta que la corriente de ruptura  $I_{BD}$  depende de la tensión  $V_G$  aplicada. Esta corriente puede ser representada con distintos modelos de conducción como túnel asistido por trampas (TAT, "Trap Assisted Tunneling") [33], conducción mesoscópica [80] o bien a través de un modelo empírico, con fines prácticos [34].

Cabe destacar que, como se muestra en la Ec. (3.1.6), el incremento de temperatura depende inversamente de la conductividad térmica del óxido  $k_{th}$ . De este modo, gran

parte de los resultados reproducidos en la Fig. 3.2 han sido explicados por la considerable diferencia entre las conductividades térmicas de distintos materiales dieléctricos. Frente a esta interpretación, la investigación sistemática de la ruptura en distintos tipos de dispositivos puede ayudar a aclarar el alcance del impacto de las propiedades térmicas de los materiales en la ruptura progresiva de las futuras tecnologías de integración. Las siguientes secciones se embarcan en responder algunos de los interrogantes abiertos detrás de este fenómeno.

### 3.1.2 Impacto de la conductividad térmica del óxido

Gran cantidad de resultados experimentales han destacado la influencia de la capacidad del óxido de disipar el calor generado en el filamento en la velocidad de crecimiento de la ruptura. Sin embargo, el rol de los electrodos en la ruptura dieléctrica progresiva no estaba claro aún. Los electrodos metálicos, de alta conductividad térmica, podrían jugar un rol en la disipación del calor generado durante la ruptura. Por esta razón, el estudio de PBD en dispositivos MIM resulta de particular interés para verificar las diferencias entre distintos aislantes HK con los mismos electrodos metálicos entre sí.

Los dispositivos utilizados para este estudio fueron estructuras MIM con electrodos de Pt y Ti/Au y un aislante crecido por deposición de capas atómicas (ALD, "*Atomic Layer Deposition*") para un espesor total de 7 nm. Un juego de muestras fue fabricado con HfO<sub>2</sub> como aislante mientras que para un segundo juego de muestras se utilizó Al<sub>2</sub>O<sub>3</sub>.<sup>1</sup> El estudio experimental consistió en ciclos de estrés a tensión constante con dos bancos de prueba. El primero consta de una unidad de fuente y medida (SMU, de sus siglas en inglés "*Source-Measurement Unit*") Keithley 2636B, con una limitación de corriente configurada en 100 mA, de modo de permitir la ruptura sin control del óxido. Si bien la SMU permite capturar todo el transitorio de ruptura desde corrientes tan bajas como 100 fA hasta los mA, la resolución temporal en las curvas I-t adquiridas con esta configuración ronda los 20 ms. El segundo banco de pruebas involucró un amplificador de transimpedancia (TIA, "*Transimpedance Amplifier*") de gran ancho de banda y ganancia configurable y un osciloscopio de captura digital. La resolución temporal alcanzada es del orden de los  $\mu$ s, con la limitación del rango dinámico a 2 órdenes de magnitud entre los niveles de 0.1  $\mu$ A y 1 mA según el nivel de ganancia utilizado.

Resultados típicos para los transitorios de ruptura capturados mediante el osciloscopio y el TIA son observados, para los dos juegos de muestras y a distintas tensiones, en la Fig.

---

<sup>1</sup>Muestras provistas por Eilam Yalon y Moshe Eizenberg. TECHNION Israel Institute of Technology.

3.3 (fila superior para muestras con  $\text{Al}_2\text{O}_3$ , fila inferior para  $\text{HfO}_2$ ). Todas las mediciones fueron llevadas a cabo con una resolución temporal de  $10 \mu\text{s}$  a una ganancia de  $10^6 \text{ V/A}$ , a excepción de la Fig. 3.3(c), capturada a una ganancia de  $10^4 \text{ V/A}$ . En todos los casos, las flechas indican la duración aproximada del transitorio de ruptura, observando tiempos desde los  $900 \mu\text{s}$  para las tensiones más bajas y reduciéndose hasta decenas de  $\mu\text{s}$  para tensiones más altas. En el caso de la Fig. 3.3(c) se muestran las curvas I-t para 3 tensiones distintas, observando que a  $5.4 \text{ V}$  se alcanza el límite del tiempo de subida de la salida del amplificador.

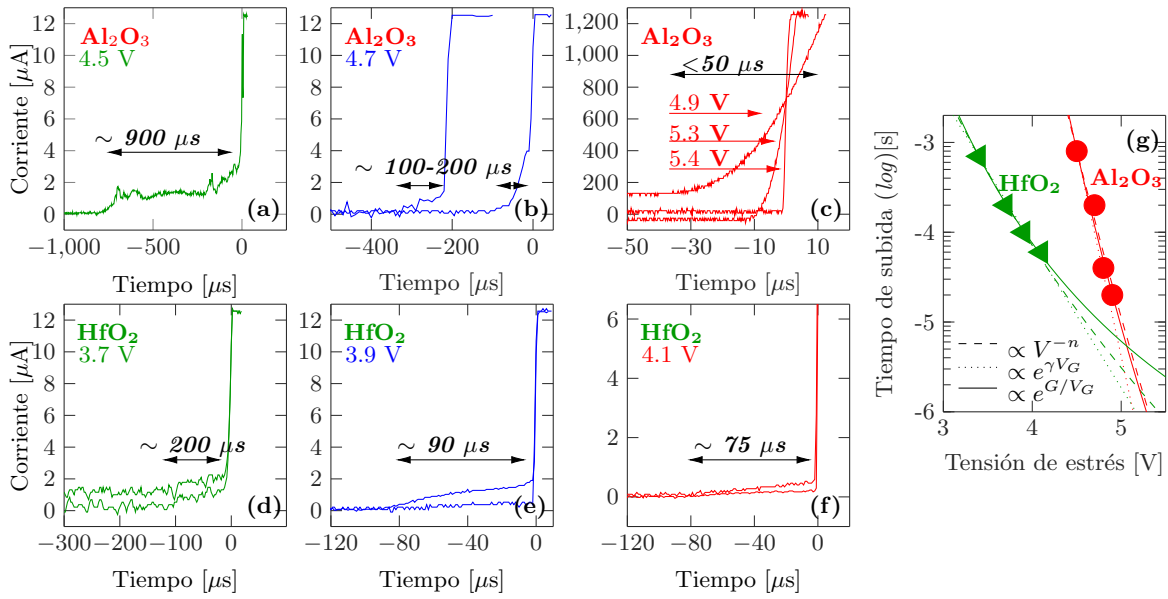


Figura 3.3: Transitorios de ruptura capturados mediante osciloscopio y amplificador de transimpedancia (TIA) para las muestras MIM con ambos óxidos, a distintas tensiones de estrés.

Para facilitar la comparación entre materiales, la duración del transitorio es cuantificada como un tiempo de subida  $t_r$  para cada experimento se considera el intervalo entre el instante en que la corriente se encuentra levemente por encima del nivel de corriente estática a través del óxido más el ruido de fondo del sistema de medición hasta el instante en que se observa un salto abrupto en la corriente hasta el límite del rango dinámico del amplificador. Estos datos de  $t_r$  se representan en la Fig. 3.3g, donde puede apreciarse la fuerte dependencia en la velocidad del transitorio de ruptura con la tensión de estrés. Las líneas incluidas en la gráfica son ajustes de distintos modelos de aceleración discutidos en la literatura [73]. Las líneas completas representan el modelo de aceleración tipo ley de potencias, es decir  $t_r \propto V_G^{-n}$ , las curvas a trazos corresponden a un modelo exponencial del tipo  $t_r \propto e^{\gamma V_G}$  y las punteadas también a una ley exponencial

pero de la forma  $t_r \propto e^{G/V_G}$ . Las tendencias permiten destacar que si bien las muestras con  $\text{HfO}_2$  evidencian una menor aceleración con la tensión que aquellas con  $\text{Al}_2\text{O}_3$ , los valores observados para las últimas se dan a tensiones considerablemente mayores. De este modo, una extrapolación hacia tensiones inferiores, más similares a las condiciones reales de trabajo, muestran una potencial ventaja del  $\text{Al}_2\text{O}_3$  ya que resulta en valores de  $t_r$  considerablemente mayores que para  $\text{HfO}_2$ .

Las mediciones utilizando el TIA muestran en detalle la velocidad del transitorio de ruptura, pero la limitación del rango dinámico solo muestra un entorno limitado de niveles de corriente, por encima de los  $0.1 \mu\text{A}$ . Mediciones con menor ancho de banda realizadas con la SMU permiten obtener las características de la ruptura a lo largo de todo el rango de corrientes, iniciando en pA para las muestras sin degradar y alcanzando algunos  $\mu\text{A}$ , antes de un salto abrupto de corriente. Las Figs. 3.4a y 3.4b muestran curvas I-t típicas a 3 tensiones de estrés para las muestras de  $\text{HfO}_2$  y  $\text{Al}_2\text{O}_3$ , respectivamente. Estas curvas muestran las mismas características generales que aquellas reportadas en la literatura para estructuras MOS [34, 96, 102–104], caracterizadas por 3 estadios diferentes. Primero, la corriente se reduce lentamente con el tiempo, comportamiento vinculado a la acumulación de defectos en el aislante (atrapamiento de electrones como causa probable [35, 61]). Esta reducción de corriente se detiene cuando se forma el primer camino percolativo a través del óxido. Desde este instante se considera iniciado el PBD, la pendiente se torna positiva y muestra considerables fluctuaciones (ruido eléctrico) hasta que se alcanza la tercer etapa, caracterizada por un abrupto salto de corriente (FBD, "*Fast Breakdown runaway*") que no puede ser resuelto por la SMU en el dominio temporal.

Para poder comparar cuantitativamente las características del PBD, el tasa de degradación es extraída para decenas de mediciones de cada tipo de muestra. Los resultados se muestran en la Fig. 3.4c para ambos juegos de muestras, en función de la tensión aplicada. A pesar de la gran dispersión de datos, los resultados son consistentes con lo expuesto en la literatura [34, 103, 104], mostrando una fuerte dependencia de DR con la tensión aplicada. Pero el punto interesante a destacar es la clara diferencia entre ambos óxidos: para valores similares de DR, los dispositivos MIM con  $\text{Al}_2\text{O}_3$  requieren tensiones alrededor de 1 V mayores que aquellos fabricados con  $\text{HfO}_2$ .

Estos resultados pueden vincularse con las propiedades térmicas de los materiales, que tienen gran influencia en el modelo de electromigración para PBD, discutido en la sección 3.1. La mayor conductividad térmica del  $\text{Al}_2\text{O}_3$ , de entre  $20 \text{ W/m}\Delta\text{K}$  y  $35 \text{ W/m}\Delta\text{K}$  según composición y fabricación [105, 106], comparada con la del  $\text{HfO}_2$ , alrededor



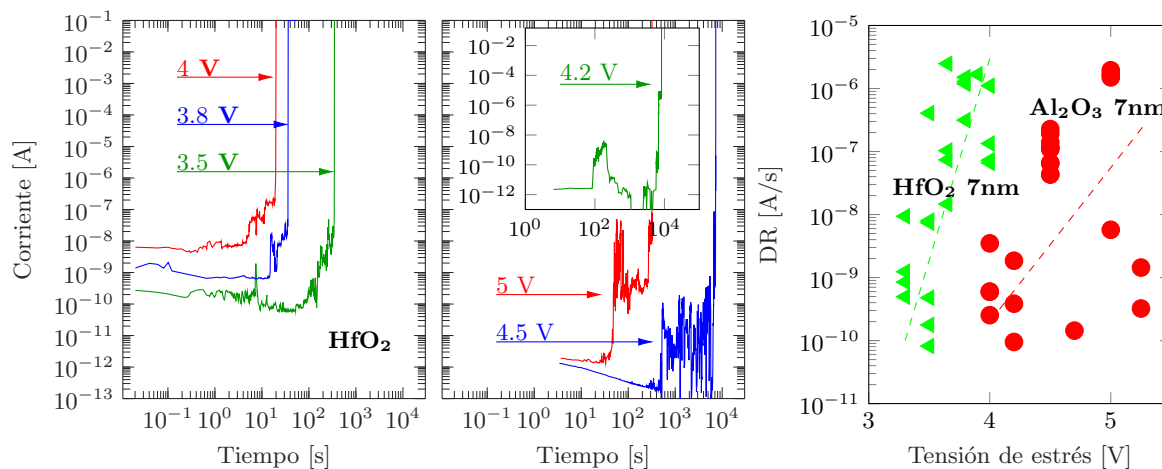


Figura 3.4: Resultados de experimentos de estrés a tensión constante (CVS). Transientes de ruptura (I-t) adquiridos mediante SMU a distintas tensiones de estrés para muestras MIM con (a) 7 nm  $\text{HfO}_2$  y (b) 7 nm  $\text{Al}_2\text{O}_3$ . (c) Tasa de degradación (DR) extraída de estas mediciones en función del estrés para cada juego de muestras.

de  $1 \text{ W/m}^2\text{K}$  [106–108], parece jugar un rol fundamental en el PBD incluso ante la presencia de dos electrodos metálicos de alta conductividad térmica, como es el caso de los dispositivos MIM. Esta fundamental diferencia permite al  $\text{Al}_2\text{O}_3$  mantener la temperatura del filamento de ruptura por debajo del punto de fusión del material, de alrededor de 2300 K. El  $\text{HfO}_2$ , si bien posee un punto de fusión superior de unos 3000 K, su menor conductividad térmica dificulta la disipación del calor generado en el filamento hacia el resto del óxido, acelerando el proceso de ruptura.[34, 102, 104]

Para obtener información que ayude a descartar la posibilidad de diferencias estructurales en el camino de ruptura en ambos óxidos, el análisis detallado del mecanismo de conducción post-ruptura es una herramienta útil. Considerando que el camino de ruptura formado en el óxido posee dimensiones nanométricas, principalmente en lo que se conoce como la constricción del filamento, modelos derivados del formalismo de Landauer-Buttiker de conducción mesoscópica, puntualmente el modelo de QPC (del inglés "*Quantum Point Contact*") [80, 109], han mostrado excelentes resultados para describir la conducción filamentaria en el régimen de PBD en muestras similares a la estudiadas aquí [110–112]. De forma general, este modelo considera una barrera de potencial cuadrática en el punto de constricción del filamento, representado esquemáticamente en la Fig. 3.5a, de ancho  $t_b$  y altura  $\Phi$ , que son los parámetros de ajuste del modelo. La corriente circulante estará determinada por la probabilidad de transmisión  $T$  de los electrones del cátodo a través de la barrera.

Para evaluar el ajuste de este modelo, se realizaron mediciones I-V y V-I sobre ambos juegos de muestras. Curvas típicas V-I sucesivas se muestran en las Figs. 3.5b y 3.5c, en donde para cada curva consecutiva el barrido de corriente se detiene a valores preestablecidos ( $100 \mu\text{A}$ ,  $1 \text{ mA}$ ,  $10 \text{ mA}$ ,  $100 \text{ mA}$ ) y se reanuda, resultando en un estrés por rampas sucesivas de corriente. Limitando el nivel de corriente máxima a través del filamento es posible controlar el daño total que sufre el dieléctrico, como fue reportado en la literatura a través de microscopía de transmisión electrónica (TEM, "Transmission Electron Microscopy") para el sistema  $\text{SiO}_2/\text{Si}$ . A simple vista, las curvas de la Fig. 3.5 muestran claras similitudes. Las curvas a trazos en las Fig. 3.5b y 3.5c representan el ajuste del modelo QPC a cada curva, utilizando  $\Phi_b$  y  $t_b$  como parámetros (valores enunciados en la gráfica para cada curva).

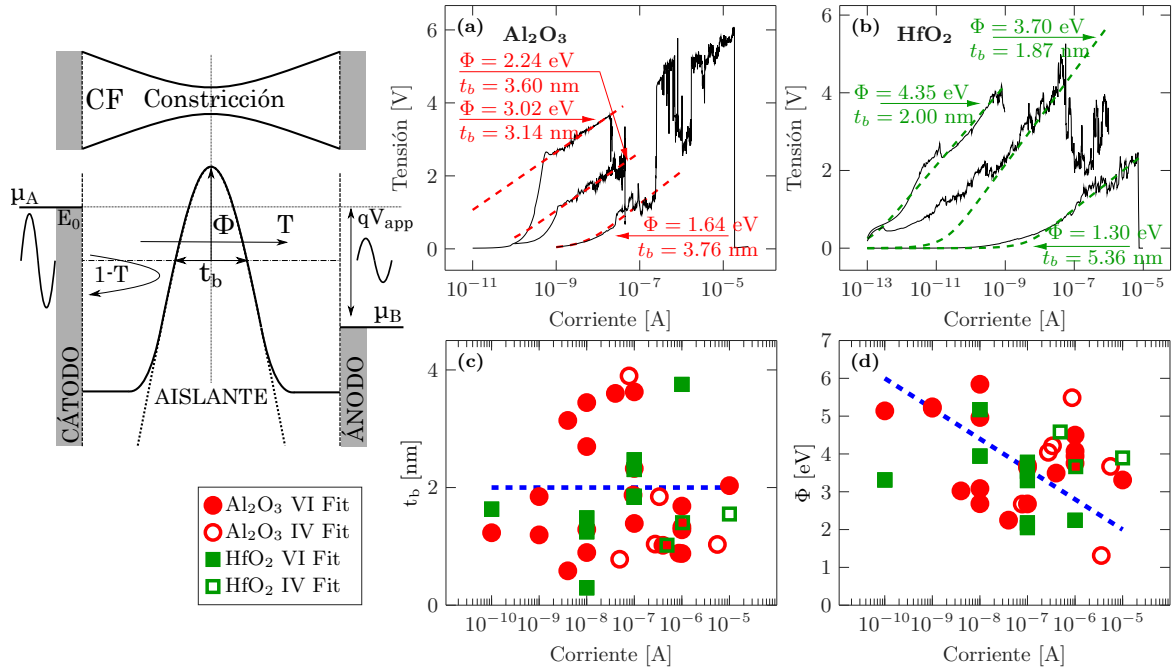


Figura 3.5: Curvas experimentales V-I en distintas condiciones de ruptura para las muestras MIM de (a)  $\text{Al}_2\text{O}_3$  y (b)  $\text{HfO}_2$ , junto con los ajustes del modelo de conducción mesoscópica QPC, mostrando buena superposición. (c) y (d) muestran los parámetros de ajuste del modelo  $t_b$  y  $\Phi$  extraídos para un gran número de mediciones, observando que las características eléctricas del camino de ruptura son virtualmente idénticas para ambos óxidos.

Este procedimiento se repitió para un gran número de muestras. Los valores de los parámetros en función de la corriente máxima de cada barrido se reportan en las Figs. 3.5e y 3.5d para barridos I-V (símbolos rellenos) y V-I (símbolos vacíos), para los dispositivos de  $\text{Al}_2\text{O}_3$  (verdes) y de  $\text{HfO}_2$  (rojos). Esta información permite analizar como

evolucionan las características de la barrera de potencial con el daño inducido en el óxido, es decir con el ensanchamiento del filamento de ruptura. Las líneas azules a trazos son simples guías de tendencia para el lector. Los valores observados y la dispersión en los parámetros muestran buena coincidencia con resultados reportados para muestras similares [110–112]. Es destacable que, para ambos óxidos, la corriente en condiciones de ruptura puede ser representada por el mismo rango de parámetros característicos de la barrera de potencial en el marco del modelo QPC. La disminución de la altura de la barrera con el incremento de corriente máxima puede vincularse con la cantidad de material que migra desde los electrodos hacia el camino de ruptura por electromigración, en concordancia con análisis de espectroscopía de fotoelectrones de rayos X (XPS, "*X-Ray Photoelectron Spectroscopy*") reportados en la Ref. [113]. Estos resultados permiten concluir que no hay diferencias evidentes en la estructura del filamento de conducción bajo condiciones de ruptura para estructuras MIM con los diferentes aislantes utilizados en este estudio, apoyando el análisis comparativo realizado de la dinámica del PBD: a pesar de que el mecanismo de conducción es virtualmente idéntico en ambos juegos de muestras, las diferencias en la dinámica del PBD son evidentes y pueden relacionarse con las propiedades térmicas de los óxidos involucrados [114].

Mediante este análisis, se descartó la influencia de los electrodos metálicos en la dinámica del PBD, siendo fundamentalmente dominada por los dieléctricos [114] (notar que este comportamiento puede variar en el caso de mono-capas de dieléctricos 2D [23]). En vistas de esto, surge plantearse cual sería la contribución relativa de óxidos con propiedades térmicas tan diferentes en aislantes complejos que involucren ambos materiales en un mismo dispositivo. La combinación de múltiples aislantes estructuras MOS y MIM es de enorme importancia tecnológica tanto en tecnologías CMOS comerciales actuales que combinan  $\text{HfO}_2$  y  $\text{SiO}_x$ , como para tecnologías futuras basadas en sustratos de alta movilidad. La importancia de estas tecnologías será discutida en la próxima sección 3.1.3 y se abordará esta problemática desde un punto de vista experimental.

#### 3.1.3 Ruptura progresiva en óxidos bicapa

En tecnologías CMOS modernas, a partir del nodo de 65 nm, la estructura bicapa en el óxido de compuerta es un requerimiento fundamental debido a las dificultades que presenta la incompatibilidad de la interfaz  $\text{HfO}_2$ -silicio. Usualmente referidas como pasivación de interfaz (IPL, "*Interface Passivation Layer*"), capas de óxido nativo como  $\text{SiO}_x$  o  $\text{SiON}$  en tecnologías estándar, o el  $\text{Al}_2\text{O}_3$  para tecnologías basadas en semiconductores III-V [10, 30], ayudan a mejorar la calidad de la interfaz óxido-semiconductor en el

sistema MOS pero introducen nuevos desafíos para la comprensión de los mecanismos que amenazan la confiabilidad de los dispositivos.

El caso de la ruptura en óxidos bicapa ha acaparado mucha atención en la comunidad científica e industrial: diversos estudios se han centrado en la dinámica de la creación de defectos en las capas de óxido HK, involucrando nuevas explicaciones estadísticas y nuevos modelos computacionales del fenómeno [33, 115, 116]. A pesar de claros esfuerzos, no hay un acuerdo general sobre el rol que desempeña la IPL en la dinámica del BD. Por muchos años, la investigación se centró en qué capa sufre la ruptura primero, con resultados muy debatidos. En algunos casos, la capa HK se reportó como la primera en el orden de ruptura [117–120], mientras que en otros se identifica a la IPL como la ruptura inicial [33, 121–125]. También, en estructuras bicapa con óxidos HK policristalinos, el rol de los bordes de grano fue profundamente estudiado por su efecto de alteración de las condiciones de estrés de la IPL, acelerando la ruptura de esta última [116, 124, 126–128].

Como se discutiera en secciones previas, el PBD es el mecanismo fundamental de ruptura en óxidos high-k. Sea que la interpretación del PBD esté asociada a un modelo de electromigración (arrastre-difusión) [33, 115, 116, 129] o por el mecanismo dependiente de la temperatura y la tensión de creación y desplazamiento de vacancias [130–134], la temperatura en el punto de ruptura juega un papel fundamental en la aceleración del fenómeno y el incremento de la corriente de BD. De hecho, en el caso de los óxidos amorfos, experimentos de microscopía TEM han mostrado la cristalización del material en las zonas de ruptura, proceso asociado al calentamiento intenso por efecto Joule en el camino conductivo [135]. Considerando este rol predominante de la temperatura, las propiedades térmicas de los materiales para disipar el calor generado en el camino de ruptura hacia el óxido circundante son fundamentales para definir la temperatura del punto de BD. En este contexto, no estaba claro aún el impacto del carácter bicapa de los óxidos en el comportamiento del PBD bajo condiciones de estrés constante de tensión y, más allá de algunos estudios exploratorios en estructuras MOS con óxidos bicapa HK/IPL, un análisis sistemático del rol del óxido bicapa en la dinámica del PBD no se encuentra disponible.

Para responder estos interrogantes, se propone un abordaje experimental sobre estructuras MOS MG/HK bicapa/InGaAs,<sup>2</sup> cuya importancia tecnológica como potencial reemplazo del MOS basado en silicio para CMOS se discutirá en profundidad en la sección 4.1. Los óxidos bicapa se componen con HfO<sub>2</sub> y una IPL de Al<sub>2</sub>O<sub>3</sub>, no solo por sus resultados prometedores para electrónica basada en semiconductores III-V sino que

---

<sup>2</sup>Muestras provistas por Igor Krylov y Moshe Eizenberg. TECHNION Israel Institute of Technology.

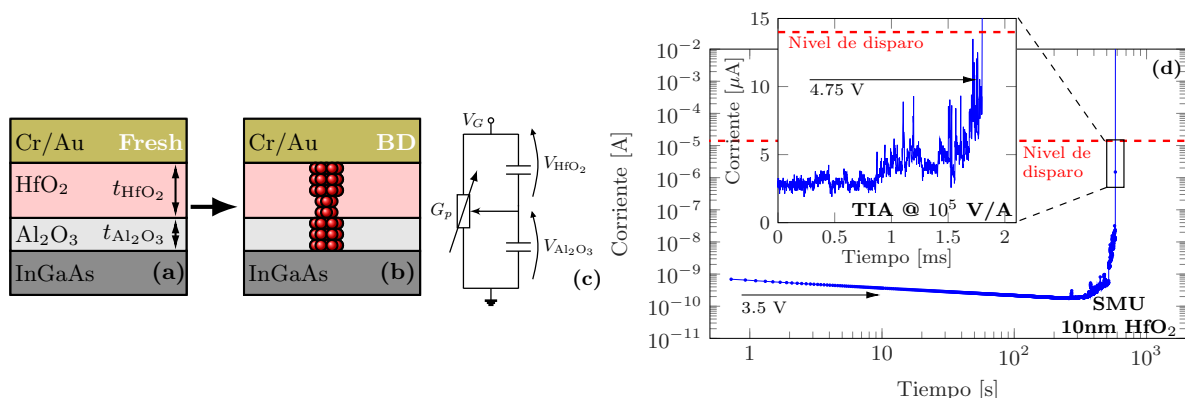


Figura 3.6: (a) Estructura general de las muestras MOS bajo estudio. (b) Representación esquemática de ambos óxidos en condición de ruptura. (c) Esquemático de un circuito equivalente para la estructura en condición de ruptura. (d) Curva I-t típica de ruptura adquirida utilizando una SMU para las muestras de 100 Å de HfO<sub>2</sub> y por medio de un TIA (inset).

además nos permiten involucrar dos óxidos con conductividades térmicas sensiblemente diferentes. Varios juegos de muestras se fabricaron utilizando diferentes espesores de la IPL manteniendo constante en 100 Å el espesor total  $t_{ox}$  del aislante. La estructura de las muestras utilizadas en este estudio se muestra en la Fig. 3.6a, donde el espesor de la IPL se diseñó para tener desde 5 Å hasta 40 Å, restando 95 Å hasta 60 Å de HfO<sub>2</sub> para completar el aislante de las estructuras MOS. A su vez, se fabricaron muestras de referencia con 100 Å de HfO<sub>2</sub> o 100 Å de Al<sub>2</sub>O<sub>3</sub>, para propósitos de comparación. Para referenciar cada juego de muestras en este trabajo, se identificarán a partir de sus espesores de Al<sub>2</sub>O<sub>3</sub>-HfO<sub>2</sub>, de modo que 100-0 y 0-100 serán las muestras con óxidos de Al<sub>2</sub>O<sub>3</sub> y de HfO<sub>2</sub>, respectivamente. Por su parte, 5-95, 10-90, 15-65, 30-70 y 40-60 son las combinaciones disponibles de óxidos bicapa. En todas las muestras, los óxidos son depositados utilizando la técnica de ALD y el sustrato son 500 nm de n-In<sub>0.53</sub>Ga<sub>0.47</sub>As (dopaje de  $5 \times 10^{16} \text{ cm}^{-3}$ ) epitaxial crecidos sobre obleas de InP altamente dopadas. Los detalles experimentales y de microscopía que validan la estructura de las muestra se encuentran reportados en la literatura [30].

La Fig. 3.6b es una representación del camino de ruptura a través de la estructura bicapa, y la Fig. 3.6c es un modelo circuital equivalente que representa el comportamiento eléctrico de la estructura durante el PBD, que será discutido en detalle a lo largo de esta sección. El estudio propuesto se centra en la captura de los transitorios de ruptura I-t utilizando arreglos experimentales similares a los descritos en la sección 3.1.2: por un lado mediciones bajo CVS con SMU, de bajo ancho de banda pero gran rango dinámico, y por el otro la utilización de un TIA de gran ancho de banda para la captura de la sección

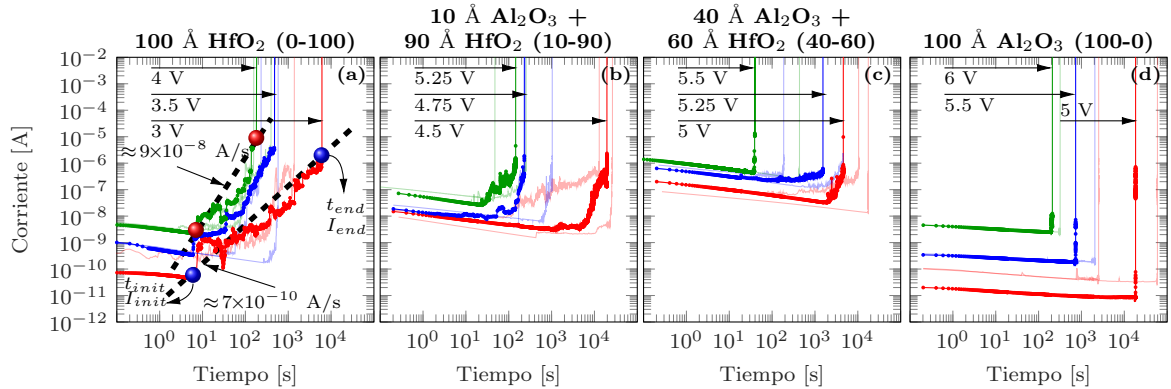


Figura 3.7: Mediciones I-t realizadas con SMU sobre los MOS con óxido bicapa disponibles. La subfigura (a) muestra la extracción de  $dI_{BD}/dt$  sobre estas mediciones.

final de la ruptura. Estas mediciones arrojan resultados como los representados en la Fig. 3.6d, donde se muestra una captura I-t típica con la SMU bajo CVS de 3.5 V para una muestra de referencia 0-100 (10 nm HfO<sub>2</sub>). El *inset* muestra una curva I-t típica sobre el mismo tipo de muestra, para una tensión de CVS de 4.75 V utilizando el TIA configurado a una ganancia de 10<sup>5</sup> V/A. La sección remarcada sobre la curva obtenida mediante la SMU hace referencia al rango de corriente resuelto por el TIA, con una resolución temporal en el orden de los  $\mu$ s, en una zona de la ruptura progresiva donde claramente las limitaciones de la SMU enmascaran la naturaleza real de la corriente de ruptura.

La Fig. 3.7 muestra los resultados de las mediciones I-t de ruptura para las muestras a) 0-100, b) 10-90, c) 40-60 y d) 100-0, a tres tensiones distintas para cada una. Las características generales de las curvas son consistentes con lo reportado en la literatura y en la sección 3.1.2. Las tensiones de estrés fueron elegidas para obtener tiempos de ruptura similares y viables para la cantidad de experimentos deseados (no más que  $\sim 2 \times 10^4$  segundos, es decir no más de unas 6 horas continuas de adquisición). Es importante destacar que para todos los casos, el campo eléctrico sobre cada capa del dieléctrico se mantienen por debajo del campo de ruptura reportado para HfO<sub>2</sub> ( $\approx 5.5$  MV/cm [136, 137]) y para Al<sub>2</sub>O<sub>3</sub> (en el rango de 5 ~ 30 MV/cm, dependiendo del espesor depositado [138]).

De forma similar, la Fig. 3.8 reporta los resultados típicos de las mediciones realizadas con el TIA de gran ancho de banda configurado a una ganancia de 10<sup>6</sup> V/A, organizadas a) a d) de la misma forma que las mediciones en la SMU. Por claridad, sólo se muestra 1 curva por tensión, para tensiones en el rango de 4.75 V a 6.75 V, incrementando las

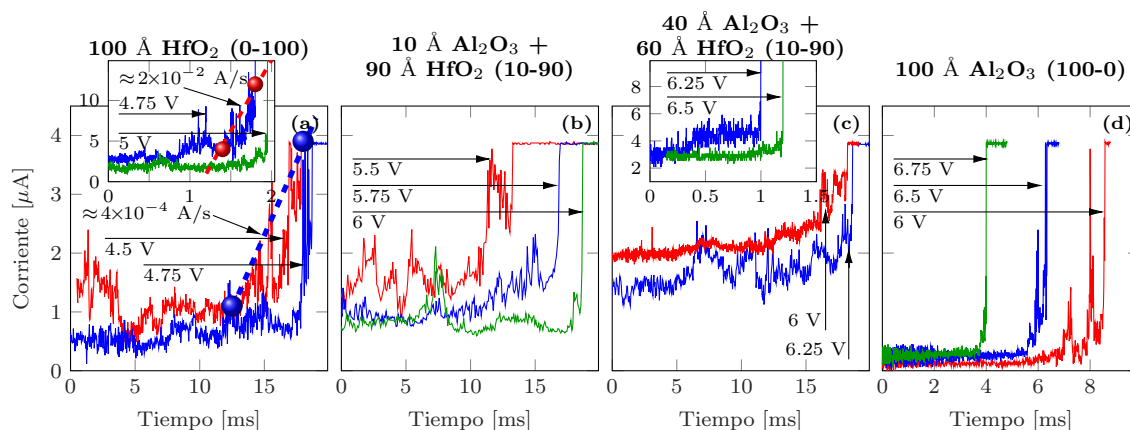


Figura 3.8: Mediciones I-t realizadas con TIA sobre los MOS con óxido bicapa disponibles. La subfigura (a) muestra la extracción de  $dI_{BD}/dt$  sobre estas mediciones.

tensiones para las muestras con mayor espesor de  $\text{Al}_2\text{O}_3$ . Con un resolución en el orden de los  $\mu\text{s}$ , el comportamiento progresivo es evidente, con transitorios de ruptura con duraciones de milisegundos, con una visible aceleración con la tensión, consistente con lo reportado en la literatura [102, 139]. El incremento de la corriente se observa como una señal ruidosa hasta alcanzar la saturación de la salida del amplificador. Los *insets* en las figuras 3.8d y 3.8c muestra mediciones realizadas a una ganancia de  $10^5$  V/A.

Puesto que el interés de este trabajo es la velocidad de incremento de la corriente de ruptura bajo CVS, la razón de crecimiento de la corriente  $dI_{BD}/dt$  se extrajo para cada medición I-t realizada sobre los dispositivos, con ambos sistemas de medición, totalizando más de 100 mediciones. La metodología de extracción se muestra sobre las curvas de las figuras 3.7a y 3.8a: las esferas marcan los pares ordenados de inicio ( $t_{init}, I_{init}$ ) y final ( $t_{end}, I_{end}$ ) del transitorio, y la recta a trazos representa una aproximación lineal de la forma  $dI_{BD}/dt = (I_{end} - I_{init}) / (t_{end} - t_{init})$ , en unidades de A/s. Los resultados de tal extracción se observan en el diagrama de la Fig. 3.9a para todas las muestras disponibles para este estudio, en función de la tensión de estrés aplicada. En primer lugar, se pueden distinguir dos claras agrupaciones de datos, una correspondiente a las mediciones realizadas con la SMU ( $dI_{BD}/dt$  en el rango  $10^{-10} \sim 10^{-6}$  A/s, símbolos huecos) y otra asociada a las mediciones con el TIA ( $dI_{BD}/dt$  en el rango  $10^{-4} \sim 10^{-1}$  A/s, símbolos llenos). Esta clara distinción es esperada debido a los diferentes rangos de tensión sobre los cuales cada sistema de medición resuelve la ruptura [140]. En segundo lugar, los puntos de mediciones con el TIA agrupados alrededor del nivel  $10^0$  A/s son mediciones realizadas a niveles de tensión más elevados en los cuales la limitación del tiempo de subida del amplificador no permiten caracterizar la velocidad de la ruptura.

En tercer lugar, es destacable que, si bien la dispersión es grande (esperable por la fuerte variabilidad de parámetros involucrados en el PBD [101]), la aceleración con la tensión puede ser observada entre mediciones de los mismos juegos de muestras.

Para los objetivos puntuales de estos experimentos, resta destacar un aspecto fundamental de los datos experimentales de la Fig. 3.9a: para ambos sistemas de medición, se observa que al incrementar el espesor de la IPL, se requieren tensiones más elevadas para obtener  $dI_{BD}/dt$  en los mismos rangos. Los resultados extraídos de las mediciones realizadas con el TIA muestran un comportamiento similar: para  $t_{Al_2O_3}$  tan delgado como 5 Å (comparar cuadrados llenos con asteriscos), los datos se desplazan claramente hacia tensiones mayores, al igual que el límite de tensión para el cual el TIA puede capturar el transitorio. A su vez, para  $t_{Al_2O_3} \geq 10$ , los datos parecen seguir una tendencia de aceleración unificada, a pesar de los distintos espesores de IPL, y un claro agrupamiento para los datos obtenidos para las muestras con  $t_{Al_2O_3} \geq 30$ , reforzando lo observado en los datos obtenidos con la SMU.

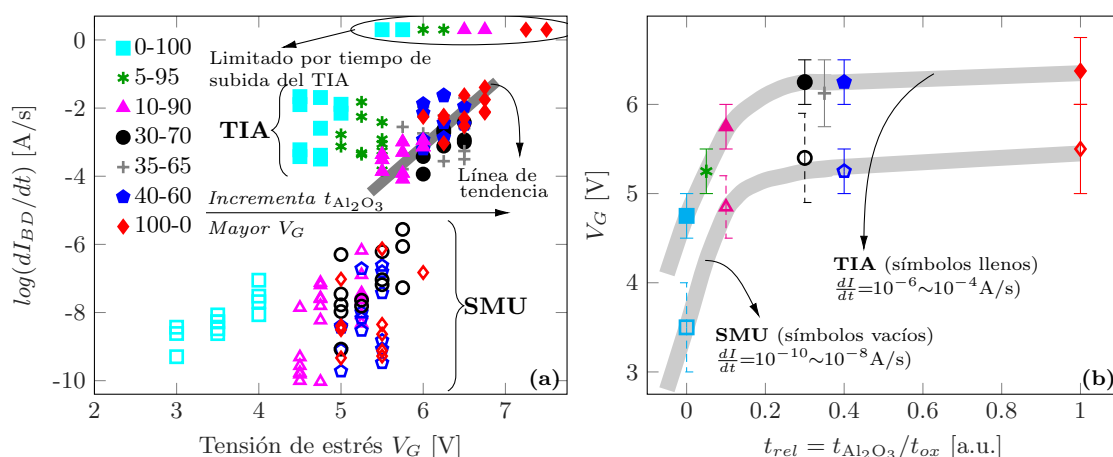


Figura 3.9: (a) Resultados experimentales de  $dI_{BD}/dt$  en función de la tensión de estrés para todos los juegos de muestras disponibles, extraídos de mediciones con SMU (símbolos vacíos) y TIA (símbolos llenos). (b) Rangos de las tensiones utilizadas durante los experimentos en función del espesor relativo (al espesor total) de la capa de  $Al_2O_3$  en el óxido bicapa. Notar una clara saturación de rangos para valores de  $t_{rel} > 0.15$ .

Este efecto se representa con más claridad reorganizando los datos experimentales de la forma que sugiere la Fig. 3.9b, en donde se representa la tensión de CVS  $V_G$  en función del espesor relativo de la IPL respecto al espesor total del óxido  $t_{rel} = t_{Al_2O_3}/t_{ox}$ . Cada marcador con las barras de error representa los rangos de tensión utilizados durante los experimentos CVS con ambos sistemas de medición y para todos los juegos de muestras disponibles para este estudio. De este modo se evidencia una saturación para



las muestras 30-70, 35-65, 40-60 y 100-0, comportamiento aproximado por las líneas de tendencia grises como guías visuales. En vistas de este resultado, podría discutirse que en el caso de las mediciones realizadas con la SMU, el incremento del espesor de óxido equivalente (EOT, "Equivalent Oxide Thickness") que resulta de agregar  $\text{Al}_2\text{O}_3$  a la estructura esté jugando un papel central a través de la disminución del campo eléctrico eficaz en cada capa del óxido, como se discutirá en las secciones subsiguientes. Sin embargo, este fenómeno no puede explicar el mismo comportamiento observado en las mediciones realizadas con el TIA, en donde la corriente a través del camino de ruptura es elevada y se puede atribuir a la temperatura del filamento un rol fundamental en el PBD.

La corriente de ruptura se visualiza en forma gráfica en la Fig. 3.10, que muestra las corrientes de ruptura  $I_{BD}$  en función de tensiones bajas (hasta 3 V) para las muestras disponibles (símbolos sobre el eje izquierdo) junto con un ajuste empírico de  $I_{BD} - V$  como el sugerido en la Ref. [34], caracterizado por la expresión reproducida en la Ec. (3.1.7). En esta expresión,  $(V_1; I_1)$  y  $(V_2; I_2)$  son pares de datos a tensiones bajas ( $V < 3$  V) y altas ( $V > 3$  V), respectivamente. Para el caso de estos últimos, los valores son extraídos para las corrientes  $I_2 = I_{end}$  de todas las mediciones disponibles, es decir la máxima corriente que los sistemas de medición pueden resolver antes del FBD al valor de tensión de estrés, de modo que  $V_2 = V_G$ . Sobre el eje derecho, y utilizando el modelo de PBD de la Ec. (3.1.6), se muestran los incrementos de temperatura  $\Delta T$  estimadas del punto de ruptura para los óxidos de referencia 0-100 y 100-0. Podemos observar que, para corrientes de ruptura  $I_{BD} \geq 1 \mu\text{A}$ , el incremento de temperatura puede superar los 400 K en las muestras 0-100 y los 100 K en las muestras 100-0. Estas condiciones requieren entonces una explicación física de las observaciones experimentales del PBD en función del espesor de la IPL.

$$(3.1.7) \quad I_{BD} = I_1 \exp \left[ \log \left( \frac{I_2}{I_1} \right) \left( \frac{V - V_1}{V_2 - V_1} \right)^\alpha \right],$$

En el marco del modelo de PBD presentado brevemente en la sección 3.1.1, y considerando su capacidad para representar los resultados experimentales en un gran número de sistemas de materiales MIM y MOS, se propone utilizar la interpretación general de electromigración de este modelo para comprender el comportamiento observado en las muestras con óxidos HK bicapa. Sin embargo, este modelo de PBD fue derivado para óxidos que involucraban sólo un tipo de material. La presencia de materiales con grandes diferencias en sus propiedades eléctricas ( $\kappa_{\text{HfO}_2} \approx 17$  y  $\kappa_{\text{Al}_2\text{O}_3} \approx 7$ ) y térmicas ( $k_{\text{Al}_2\text{O}_3} \approx 20 \sim 30 \text{ W/m}\Delta\text{K}$  para  $\text{Al}_2\text{O}_3$  [105, 106] y  $k_{\text{HfO}_2} \approx 1 \text{ W/m}\Delta\text{K}$  para  $\text{HfO}_2$  [106–108])

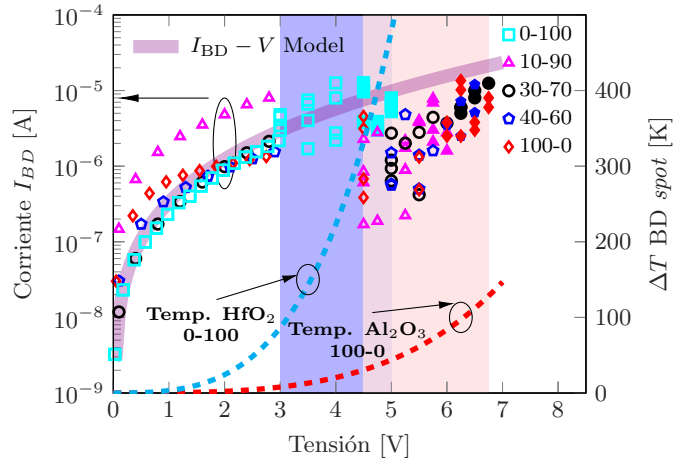


Figura 3.10: Eje izq., datos experimentales de la corriente de ruptura en función de la tensión aplicada (para mediciones I-V hasta 3 V e I-t hasta 7 V) para las muestras estudiadas y ajuste empírico (curva gruesa). Eje der., temperatura de referencia de las muestras 0-100 y 100-0 extraída del modelo de PBD.

llevan a reconsiderar las condiciones de análisis en el modelo de PBD para tener en cuenta estas diferencias. En este contexto, se proponen dos modificaciones a realizar sobre el modelo:

1. El flujo de electromigración  $J_{EM}$  es controlado por el estrés equivalente en una de las capas de la estructura, siguiendo el circuito equivalente de la Fig. 3.6c donde la caída de tensión sobre cada sección del filamento conductivo que atraviesa toda la estructura del óxido (representado por la conductancia  $G_p$ ) está definida por el divisor capacitivo formado por las dos capas apiladas de óxidos, bajo una aproximación de baja corriente  $I_{BD}$  circulando.
2. La disipación térmica del calor producido en el camino de ruptura depende de las propiedades térmicas de ambos materiales en vez de una de las dos capas que componen el óxido.

En cuanto al primer punto, la caída de potencia en cada capacitor (cada capa) puede calcularse utilizando la ley de Gauss, como se muestra en las ecuaciones (3.1.8) y (3.1.9), en donde se calcula la caída de potencial relativa al potencial total aplicado. Este cálculo también nos permite verificar la condición de que el campo eléctrico en cada capa del óxido se encuentra por debajo del campo de ruptura para todos los experimentos [141, 142]. Aunque esta es una fuerte aproximación, a corrientes de ruptura relativamente bajas (por debajo de los 10  $\mu$ A) podemos asumir que la distribución del potencial en la estructura

bicapa depende únicamente de la característica capacitiva de los óxidos, despreciando efectos de atrapamiento y dipolos en la estructura que puedan alterar la curvatura de bandas). Esta condición se mantiene hasta que la característica conductiva del filamento de ruptura domina en el circuito equivalente por su alta conductividad (es decir, a altas corrientes), opacando el comportamiento del divisor capacitivo.

$$(3.1.8) \quad \frac{V_{\text{HfO}_2}}{V_G} = \frac{t_{\text{HfO}_2} \kappa_{\text{Al}_2\text{O}_3}}{t_{\text{Al}_2\text{O}_3} \kappa_{\text{HfO}_2} + t_{\text{HfO}_2} \kappa_{\text{Al}_2\text{O}_3}}$$

$$(3.1.9) \quad \frac{V_{\text{Al}_2\text{O}_3}}{V_G} = \frac{t_{\text{Al}_2\text{O}_3} \kappa_{\text{HfO}_2}}{t_{\text{Al}_2\text{O}_3} \kappa_{\text{HfO}_2} + t_{\text{HfO}_2} \kappa_{\text{Al}_2\text{O}_3}.$$

Con respecto al segundo punto propuesto en la adecuación del modelo de PBD, nos basamos en el impacto esperado de la temperatura según la Fig. 3.10 y en que las constantes térmicas de los materiales involucrados en los resultados de la Fig. 3.9b poseen un rol en la saturación observada. Del mismo modo que en otros modelos del impacto de la temperatura en la conducción filamentaria [115, 129, 133, 134], el aumento de temperatura en el punto de ruptura es proporcional a la potencia eléctrica disipada como expresa la Ec. (3.1.10), en donde  $R_{CF}$  es la conductividad del filamento. Luego esta potencia disipada se distribuye en la estructura a través de una resistencia térmica efectiva  $R_{th}$ , de modo que la variación de temperatura puede expresarse linealmente en la forma  $\Delta T = R_{th}P$ . Para el modelo bajo estudio, revisitando la Ec. (3.1.6), la potencia disipada se encuentra dada por  $P = f_2 I_{BD} V$ , mientras que la resistencia térmica, bajo la aproximación de simetría esférica, resulta como en la Ec. (3.1.11). Para el óxido bicapa, es entonces fundamental definir la  $k_{th}$  involucrada para poder realizar un cálculo de la temperatura en el marco del modelo de PBD.

$$(3.1.10) \quad P = I_{BD} V = V^2 / R_{CF}$$

$$(3.1.11) \quad R_{th} = 1 / (2\pi t_{ox} k_{th})$$

De este modo, consideramos la contribución de la conductividad térmica de la  $\text{Al}_2\text{O}_3$ , a medida que  $t_{rel}$  se incrementa en la estructura, a través del cálculo de una resistencia térmica equivalente  $R_{th_{eq}}$  que permita representar la facilidad con la cual el sistema disipa el calor producido en el filamento hacia sus alrededores. Para realizar un cálculo compacto, se considera como simplificación a primer orden el caso equivalente de una pared compuesta de dos materiales [143], en donde la temperatura a cada lado de la pared se calcula a través del paralelo de las resistencias térmicas de cada componente de

la pared. El cálculo se reproduce para este caso en la Ec. (3.1.12). Reescribiendo la Ec. (3.1.12) en términos de la definición de la Ec. (3.1.11) y resolviendo para una conductividad térmica equivalente  $k_{eq}$ , obtenemos la Ec. (3.1.13). Reemplazando  $t_{rel} = t_{Al_2O_3}/t_{ox}$  y  $(1 - t_{rel}) = t_{HfO_2}/t_{ox}$ , se observa un aumento proporcional del  $k_{eq}$  con  $t_{rel}$ . Conceptualmente, esto se puede interpretar como la IPL comportándose como un disipador, generando una reducción de la resistencia térmica del sistema a medida que el espesor relativo de esta capa, de alta conductividad térmica, se incrementa, ayudando a mantener más baja la temperatura del punto de ruptura.

$$(3.1.12) \quad \frac{1}{R_{th_{eq}}} = \frac{1}{R_{th_{Al_2O_3}}} + \frac{1}{R_{th_{HfO_2}}}$$

$$(3.1.13) \quad k_{eq} = \frac{k_{Al_2O_3} t_{Al_2O_3} + k_{HfO_2} t_{HfO_2}}{t_{ox}}$$

Para poner a prueba estas modificaciones propuestas, evaluamos el comportamiento de los resultados experimentales considerando diversos escenarios para el sistema bicapa bajo condiciones de ruptura. Por el papel central de la temperatura, este análisis se lleva a cabo sobre las mediciones realizadas con el TIA, donde la corriente es elevada y se espera un rol preponderante de la temperatura en la dinámica del PBD. Se representan entonces los distintos escenarios en una forma similar a la Fig. 3.9b, pero considerando la tensión ingresada al modelo  $V_{G_{model}}$  para un valor de  $dI_{BD}/dt = 1$  mA/s, en función de  $t_{rel}$ , resultando en la Fig. 3.11a. Los datos de los rangos de medición con el TIA se encuentran representados por los marcadores con su barra de error y una línea de tendencia.

En un primer escenario, y teniendo en cuenta que el modelo de PBD de electromigración fue originalmente derivado para óxidos simples (un único material dieléctrico), uno podría considerar la interpretación de las Refs. [33, 144, 145] sobre la ruptura dieléctrica de óxidos bicapa. En este análisis, una de las capas dieléctricas sufre la ruptura primero, reconfigurando la caída de potencial en la estructura y resultando en todo el potencial aplicado sobre la capa remanente. Bajo esta condición, podemos aplicar el modelo original de PBD sobre cada una de las capas, bajo la fuerte aproximación de que todo el potencial cae en la capa que no sufrió la ruptura primero. La curva **(A)** (línea negra) muestra el caso en donde se asume la capa de  $HfO_2$  como rota, cayendo todo el potencial sobre el remanente de  $t_{Al_2O_3}$  y la conductividad térmica fijada por este material en  $k_{Al_2O_3} = 20$  W/mΔK. Si bien el valor de conductividad puede ser considerablemente menor para óxidos de naturaleza amorfa [106], la tendencia general observada

del modelo no puede explicar los resultados experimentales para las delgadas capas de  $\text{Al}_2\text{O}_3$  presentes en estas muestras, siendo los valores de  $V_{G_{model}}$  demasiado bajos (se interpretará el impacto sobre el  $dI_{BD}/dt$  en la siguiente figura). Un escenario de ruptura con la IPL como primer capa en fallar se representa por la curva **(B)** (línea azul), en donde el potencial  $V_G$  se aplica sobre el  $t_{\text{HfO}_2}$  y la constante térmica es fijada por este óxido en  $k_{\text{HfO}_2} = 1.1 \text{ W/m}\Delta\text{K}$ . En este caso, la tendencia es completamente contraria a la de los datos experimentales, mostrando una caída abrupta de  $V_{G_{model}}$  con  $t_{rel}$ .

Dadas estas inconsistencias, se infiere que durante el PBD, el incremento de corriente no está dado como resultado de una capa rompiéndose antes que la otra, sino por el agrandamiento del filamento de ruptura que atraviesa ambos óxidos, en base a las condiciones impuestas por el sistema de materiales [146]. En línea con esta idea, un segundo escenario evalúa los resultados de introducir la primer modificación sugerida al modelo de PBD, es decir la distribución de las tensiones en cada óxido presente. Considerar las tensiones sobre cada capa y la constante térmica de cada óxido resulta en las curvas a trazos **(C)** (cyan) para la capa de  $\text{HfO}_2$  y **(D)** (roja) para la capa de  $\text{Al}_2\text{O}_3$ . Es importante destacar que, para todas las condiciones de estrés utilizadas, el campo eléctrico  $E$  se mantiene por debajo del valor de ruptura  $E_{BD}$  para cada óxido (5.5 MV/cm para  $\text{HfO}_2$  y 15 MV/cm para  $\text{Al}_2\text{O}_3$ , como se reporta en la 3.11b para una tensión  $V_G = 5V$ , manteniendo para todas las configuraciones de  $t_{rel}$  de las muestras un valor  $E < 0.8E_{BD}$ . Aunque se distingue una mejora en el comportamiento del modelo, los valores observados parecen tener un desplazamiento hacia menores tensiones y, más importante aún, la curva **(C)** presenta un cambio de pendiente para el caso de  $t_{rel} = 0.05$  (equivalente a las muestras 5-95, asterisco verde) que no respeta la monotonía del incremento de la tensión con la presencia de una IPL tan delgada como 5 Å. Otro punto a destacar es que la curva **(C)** correspondiente al  $\text{HfO}_2$ , diverge de los datos para  $t_{rel} > 0.2$ , mientras que la curva **(D)** correspondiente a  $\text{Al}_2\text{O}_3$  se comporta del mismo modo pero para  $t_{rel} < 0.2$ . Esto parece indicar que el estrés en una de las dos capas está manejando la velocidad de crecimiento del PBD.

Para reforzar esta interpretación, si se introduce también la segunda modificación propuesta la modelo de PBD, las curvas **(E)** y **(F)** utilizan las mismas consideraciones que las **(C)** y **(D)** pero utilizando el valor calculado de  $k_{eq}$  mediante la Ec. 3.1.13. De todos los escenarios evaluados, el escenario con las dos modificaciones sugeridas es el que mejor se aproxima a los datos experimentales, por tramos: para espesores delgados de IPL,  $t_{rel} < 0.2$ , la capa de  $\text{HfO}_2$  sufre un gran estrés que es paulatinamente reducido por la presencia del  $\text{Al}_2\text{O}_3$ , y la alta conductividad térmica de esta capa ayuda a mantener el punto de

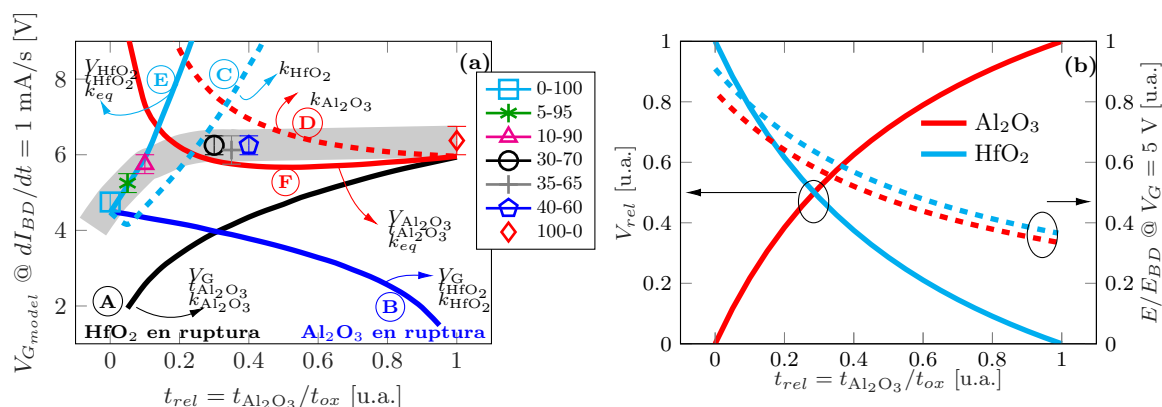


Figura 3.11: Representación de los rangos de tensión de estrés obtenidos a través del modelo de PBD  $V_{G\_model}$  en función del espesor relativo de la capa de Al<sub>2</sub>O<sub>3</sub> en la estructura del aislante. Las aproximaciones utilizadas sobre el modelo de PBD se ajustan considerablemente mejor a la tendencia observada en los experimentos.

ruptura a una menor temperatura, desacelerando el PBD (curva **E**). Sin embargo, para  $t_{rel} > 0.2$ , el incremento del estrés sobre la IPL resulta en que los beneficios de su inclusión no se aprecien con claridad, observando una saturación en el comportamiento del PBD (curva **F**), dominada por la capa de Al<sub>2</sub>O<sub>3</sub>.

En vistas de estos resultados, la saturación observada para  $t_{rel} > 0.2$  puede ser explicada a partir de dos conceptos fundamentales. Primero, y como muestra la Fig. 3.11b, la distribución de la tensión en cada capa de la estructura muestra un punto de cruce alrededor de  $t_{rel} \approx 0.28$ . Esto resulta en una mayor disipación de potencia en la IPL, pudiendo explicar que esta condición esté manejando el comportamiento general de la dinámica de PBD para estos espesores. En segundo lugar, Lombardo *et al.*[101] han demostrado que la fracción de la energía perdida en el óxido se incrementa rápidamente con el espesor del mismo. Es esperable entonces que, al aumentar  $t_{Al_2O_3}$ , la potencia total en esta capa tome un peso mayor en la energía total transferida por los portadores en el filamento conductivo para promover la electromigración [146].

Este estudio experimental provee explicaciones para el fenómeno de PBD en estructuras complejas bicapa, de gran relevancia tecnológica. Sin embargo, la discusión debe estar cuidadosamente enfocada en etapas específicas (es decir, en rangos de corriente determinados) de la ruptura para su correcto análisis. Si bien la fase inicial de degradación (como en las mediciones con SMU de la Fig. 3.7, a corrientes por debajo de  $1 \mu\text{A}$ ) puede estar fuertemente influenciada por el espesor equivalente de la estructura para definir el tiempo a la falla, las implicancias de la temperatura presentes en todo modelo de ruptura (o incluso de conmutación resistiva) vuelven imperativo observar en detalle la influencia

de las propiedades térmicas de los materiales. Para generar las condiciones experimentales que centren al proceso de ruptura en un régimen fuertemente influenciado por la temperatura, el diseño del experimento es crucial: utilizando amplificadores de gran ancho de banda, es posible obtener información experimental de la ruptura progresiva en rangos de corriente (mayores a  $1 \mu\text{A}$ ) en los cuales la temperatura cumple un rol central en el proceso. Junto a los resultados experimentales, el modelo de electromigración de PBD, bajo aproximaciones de primer orden adecuadas, puede ser una buena herramienta para entender la dinámica de la ruptura progresiva de sistemas complejos de materiales como los MOS bicapa, un problema ampliamente debatido en la comunidad [146].

## 3.2 Conclusiones

A lo largo de este capítulo se discutieron aspectos de la ruptura dieléctrica progresiva en óxidos de alta constante dieléctrica como parte de estructuras MIM y MOS de potencial aplicación en tecnologías futuras. Por ser el mecanismo principal que controla la ruptura, la naturaleza progresiva requiere de particular atención. Mediante resultados experimentales en estructuras MIM, se demostró que, en óxidos delgados, las propiedades térmicas de los aislantes pueden contribuir a extender el tiempo de falla del óxido, manteniendo la temperatura, y por ende la corriente, del camino de ruptura en niveles bajos por más tiempo, descartando para estos espesores el rol de los electrodos en la disipación de potencia. Finalmente, a partir de mediciones de las señales de corriente durante la ruptura progresiva, se demostró el rol de la estructura bicapa de óxidos de alta constante dieléctrica en la velocidad de la ruptura de aislantes en tecnologías MOS sobre InGaAs. Se propusieron adecuaciones al modelo de ruptura progresiva por electromigración para que esclarecer el rol de cada capa en el proceso, demostrando que la inclusión de óxidos de alta conductividad térmica puede contribuir a reducir la velocidad del comportamiento progresivo con capas tan delgadas como 0.5 nm. Estos resultados contribuyen al diseño de los óxidos de compuerta en estructuras MOS sobre sustratos de alta movilidad, buscando el intercambio óptimo entre desempeño y confiabilidad.





## ESTRUCTURAS MOS SOBRE SEMICONDUCTORES III-V

Entre los semiconductores compuestos III-V, InGaAs e InP son alternativas atractivas para reemplazar al silicio en las tecnologías CMOS, dada una elevada velocidad de inyección de portadores [10, 19]. Sin embargo, la baja calidad de interfaz cuando se los empareja con óxidos HK [37, 147–149] y las dificultades para caracterizarla con las metodologías tradicionales [28] se presentaron como una gran dificultad para su implementación masiva: defectos de interfaz como resultado de ligaduras rotas [150], trampas de frontera vinculadas a vacancias de oxígeno [151] en óxidos HK que se distribuyen hacia el cuerpo del óxido desde la interfaz [29, 64, 66], e inestabilidad bajo tensión aplicada constante debido al atrapamiento de carga [152, 153] amenazan el desempeño de los dispositivos. En este capítulo se discuten los resultados respecto al origen de estas inestabilidades en estructuras representativas para la tecnología MOS/HK/III-V.

### 4.1 Dispersión e histéresis en curvas C-V MOS

Uno de los indicadores más reportados en la literatura es la dispersión de la capacidad en acumulación ( $C_{acc}$ ) de la estructura MOS al variar la frecuencia de la señal AC utilizada para la medición de impedancia. Una reducción de la capacidad medida al aumentar la frecuencia se atribuye a trampas de frontera distribuidas en la vecindad de la interfaz [64–66, 154], como se introdujera en la sección 2.1.3. Por su parte, los defectos en el óxido son marcados como responsables de la histéresis observada en barridos de

tensión C-V, con especial atención centrada en la distribución espacial y energética de los defectos involucrados [29, 152, 154–156]. Para comprender el origen de cada tipo de defecto y su impacto en el desempeño de los dispositivos, muchos autores se han abocado a analizar la influencia de los materiales involucrados, tanto aislantes [66], metales de compuerta [157] y semiconductores (III-V [158], Ge [159], etc), las estructuras de los óxidos [29, 30, 64, 152] y los detalles de los métodos de fabricación [154, 160]. A continuación, se revisan los métodos de caracterización utilizados para calificar a estas estructuras y se presentan resultados respecto al impacto del origen y la distribución de defectos en estructuras MOS MG/HK/III-V.

El primer fenómeno al que haremos referencia es la dispersión de la capacidad en acumulación con la variación de la frecuencia de prueba. Las curvas C-V parametrizadas en frecuencia (usualmente llamadas multifrecuencia) típicas para los dispositivos MOS high-k/III-V con óxidos bicapa utilizados en la sección 3.1.3 se muestran en la Fig. 4.1. Todas las mediciones se realizaron a frecuencias entre 200 Hz y 1 MHz, iniciando el barrido C-V en tensiones negativas, es decir en inversión de los sustratos tipo N, a la misma tensión relativa al flatband  $V_{FB}$  de cada muestra. Este valor, marcado mediante la recta a trazos vertical en cada gráfica, fue calculado mediante el método del punto de inflexión [63], mostrando una leve dependencia con el espesor de la IPL. La línea horizontal a trazos representa la capacidad mínima teórica de inversión en alta frecuencia, relacionada con el dopaje del sustrato [61, 62], para verificar que la densidad de trampas de interfaz  $D_{it}$  no es tan alta como para limitar el vaciamiento máximo del semiconductor [28], acorde al modelo de capacidades de la Fig. 2.2a discutido en el capítulo 2. Resulta notorio que el valor de la capacidad en acumulación presenta un marcado decremento con el aumento de la frecuencia, característica muy dependiente del óxido y el material del sustrato [30, 158]. Este fenómeno es conocido como dispersión de capacidad con la frecuencia y ha sido interpretado a través de la respuesta de las BT distribuidas físicamente desde la interfaz y hacia el cuerpo del óxido [65].

El segundo indicador de defectos que se suele estudiar mediante curvas C-V de estructuras MOS es la histéresis. En forma similar al concepto de histéresis magnética, en el caso de las estructuras MOS un barrido de tensión continuo en ambos sentidos (iniciando y terminando en la misma tensión) da lugar a dos curvas de capacidad que no son coincidentes. Éste fenómeno está vinculado al atrapamiento de carga en el óxido que se produce durante el barrido, modificando la curvatura de bandas esperada y observándose como un desplazamiento horizontal de la curva y, en algunos casos, como un cambio de pendiente ("*stretch-out*") en la evolución de la curva C-V en cada sentido.

#### 4.1. DISPERSIÓN E HISTÉRESIS EN CURVAS C-V MOS

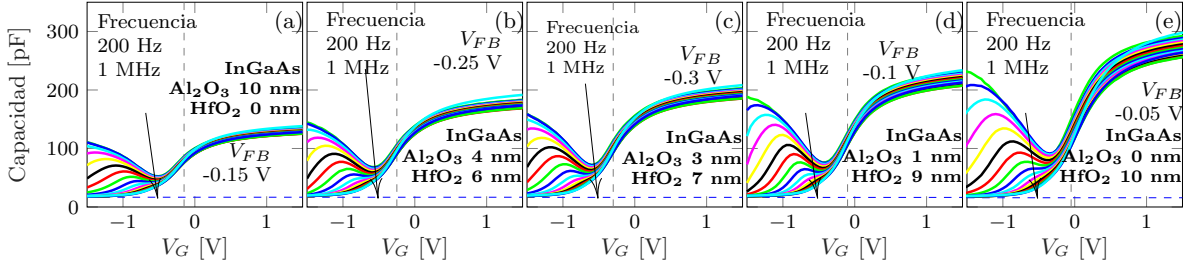


Figura 4.1: Curvas C-V multifrecuencia para los dispositivos MOS con óxidos simples (a) y (e) (de referencia) y bicapas (b), (c) y (d).

Considerando que este desplazamiento se relaciona con carga atrapada, el ancho de la histéresis o diferencia de tensión puede relacionarse con la cantidad de carga atrapada durante el barrido, mediante la Ec. 4.1.1, donde  $C_{ox}$  es la capacidad del óxido calculada como  $\epsilon_0\epsilon_r/t_{ox}$ .

$$(4.1.1) \quad Q_{trapped} = \frac{V_{hys}C_{ox}}{q}$$

La metodología detrás de esta técnica de caracterización es la siguiente:

- Se fija una tensión de inicio  $V_{start}$  respecto a  $V_{FB}$  para el barrido C-V, es decir el punto inicial de la curvatura de bandas, como se indica la flecha en las Fig. 4.2a y 4.2b.
- Se fija una tensión máxima en acumulación  $V_{stress}$  para el barrido respecto a  $V_{FB}$ , es decir el punto final de la curvatura de bandas. Se inicia el barrido de tensión a una frecuencia de interés para la señal de AC.
- Una vez que se alcanza la tensión  $V_{stress}$  la rampa de tensión invierte el sentido y se continúa el barrido hacia  $V_{start}$ , sin interrupción del barrido. Si la curva del barrido de retorno no coincide con la curva inicial, se está en presencia de histéresis.
- Una práctica usual es, una vez completado un ciclo de histéresis, se repite el barrido desde la misma  $V_{start}$  pero incrementando  $V_{stress}$  en un valor constante respecto al barrido anterior (como en el caso indicado en la Fig. 4.2b). Así se pueden anidar  $n$  barridos con curvaturas máximas incrementándose.
- La histéresis se cuantifica a partir del ancho del lazo descrito por las curvas de ida y vuelta. Se selecciona la capacidad de *flatband*  $C_{FB_0}$  como valor de referencia

en la primer curva y se interpola para todos los barridos la tensión a la cual se produce este valor de capacidad, resultando en un valor de  $V_{FB_n}$  para cada curva de ida y un valor de  $V_{Hys_n}$  calculado como la diferencia entre  $V_{FB_n}$  y la tensión a la cual el barrido de retorno acusa un valor de capacidad igual a  $C_{FB_0}$ .

- El mismo procedimiento se puede repetir en sentido contrario del barrido, para curvaturas iniciales distintas, es decir variando  $V_{start}$  (como en el caso de la Fig. 4.2a) en cada barrido.
- Cada barrido puede caracterizarse por una variación de tensión de flatband  $\Delta V_{FB}$  y una variación del ancho de histéresis respecto al primer ciclo  $\Delta V_{hys_n} = V_{hys_n} - V_{hys_0}$ .

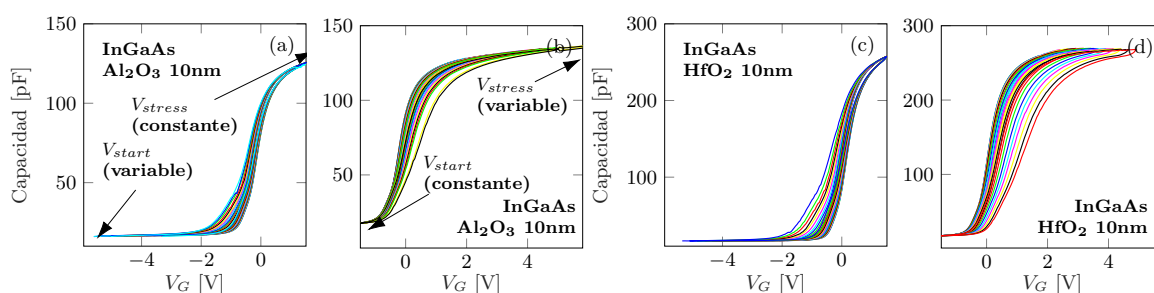


Figura 4.2: Curvas C-V de histéresis para dispositivos MOS sobre sustrato de InGaAs. (a) y (b) corresponden a stress negativo y positivo, respectivamente, con óxido de  $Al_2O_3$ , mientras (c) y (d) son las equivalentes para muestras con  $HfO_2$ .

Las curvas características para este tipo de mediciones sobre muestras MOS high- $k$ /III-V se muestran en la Fig. 4.2: (a) y (b) para las muestras de referencia 100-0 y (c) y (d) para las muestras 0-100 sobre sustratos de InGaAs. En los barridos de las subfiguras (a) y (c) se muestran los barridos con  $V_{stress}$  constante y  $V_{start}$  variable, es decir, incrementando la curvatura hacia inversión en sustratos tipo N. En todos los casos se completaron 12 ciclos en total para cada caso, variando la tensión inicial o final en 0.25 V en cada barrido. Por su parte, las subfiguras (b) y (d) muestran los ciclos de histéresis incrementando  $V_{stress}$  entre ciclos para una  $V_{start}$  constante. La característica común entre estas gráficas es la visiblemente menor histéresis hacia tensiones negativas con respecto a tensiones positivas, como así también la menor histéresis para las muestras basadas en  $Al_2O_3$  con respecto a las muestras con aislante de  $HfO_2$ . Sin embargo, esto puede relacionarse con una mayor capacidad por la elevada  $\kappa_r$  para el  $HfO_2$ , con lo cual el ancho absoluto de la histéresis no debe utilizarse como punto de comparación.

## 4.2 Temperatura y distribución trampas de frontera

El mecanismo responsable de la dispersión de la capacidad en frecuencia es la interacción por efecto túnel entre los portadores en el canal y las trampas de frontera. Esta interacción es fuertemente dependiente de la distancia: los defectos más lejanos solo responden a estímulos "lentos" (bajas frecuencias) y los defectos cercanos responden incluso a las frecuencias más elevadas (cientos de KHz), como se representa en el diagrama de bandas de la Fig. 4.3a. Esta interpretación puede relacionarse con el término de "profundidad de sondeo" ( $X_p$ , "Probing Depth") que refiere a la idea general de que la máxima distancia desde la interfaz a la que una señal de AC puede interactuar con un defecto. En el marco del modelo propuesto por Dou *et al.* [65],  $X_p$  puede calcularse como indica la Ec. (4.2.1), donde  $\tau_0$  es la constante de tiempo del defecto analizado,  $f$  la frecuencia de la señal de AC de prueba y  $K(E_c^{ox} - E)$  es el coeficiente de atenuación de la función de onda de los electrones que interactúan con el defecto por efecto túnel, a través de la barrera de potencial de altura  $E_c^{ox} - E$ .

$$(4.2.1) \quad X_p = \frac{1}{2K(E_c^{ox} - E)} \ln \left( \frac{1}{2\pi f \tau_0} \right)$$

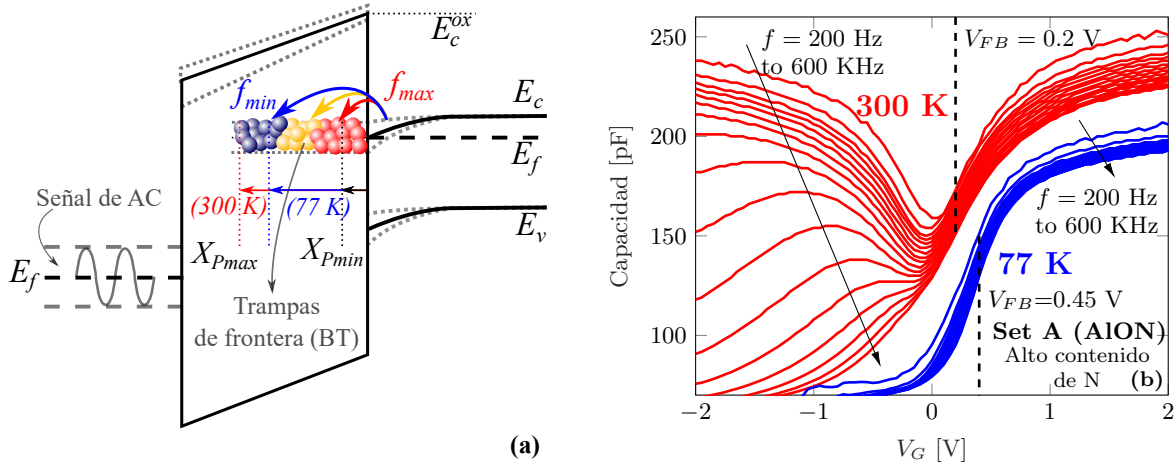


Figura 4.3: (a) Representación del mecanismo físico de la dispersión sobre el diagrama de bandas de energía. (b) Curvas C-V multi-frecuencia (200 Hz a 600 KHz) para muestras MOS MG/AlON/InGaAs del set A, con alto contenido de N en el óxido, a 300 K (rojo) y 77 K (azul).<sup>2</sup>Mediciones realizadas por el Dr. Félix Palumbo en el Technion Israel Institute of Technology.

Para experimentos de caracterización eléctrica, el control de la temperatura a la cual se lleva a cabo la medición puede proveer gran cantidad de información respecto a la

física detrás de los fenómenos observados, por ejemplo en un curva C-V. Si observamos el caso de las BT en la Ec. (4.2.1), la temperatura tiene un impacto directo en la dinámica de emisión y captura de portadores en las trampas, contemplado a partir de la constante de tiempo  $\tau_0$ , que puede calcularse como:

$$(4.2.2) \quad \tau_0 = \left[ N_{C_0} \left( \frac{T}{T_0} \right)^{\frac{3}{2}} v_{th_0} \left( \frac{T}{T_0} \right)^{\frac{1}{2}} \sigma_0 e^{\left( \frac{E_b}{kT} \right)} \right],$$

en donde  $N_{C_0}$  es la densidad de electrones sobre la superficie del semiconductor,  $\sigma_0$  es la sección transversal eficaz de captura de las BT,  $v_{th_0}$  es la velocidad térmica de los electrones a temperatura ambiente,  $k$  es la constante de Boltzmann,  $T_0$  es la temperatura ambiente,  $T$  la temperatura a la cual se conduce el experimento y  $E_b$  es la energía de activación del proceso de Arrhenius. Conceptualmente, la variación de la temperatura permite modular el tiempo característico de la respuesta de los defectos, impactando en la profundidad de sondeo de una señal de AC sobre el óxido bajo estudio, esperando como resultado una modificación visible en la dispersión de la  $C_{acc}$  con el aumento de la frecuencia de la señal AC de prueba. De esta forma, es posible extraer información pertinente a la profundidad de las BT distribuidas en el cuerpo del óxido utilizando la temperatura como variable de control en el experimento [65].

Sin embargo, como reza la Ec. (4.2.1), la respuesta de estas trampas también está condicionada por la altura de la barrera de potencia  $E_c^{ox} - E$ , razón por la cual puede ser dificultoso comparar resultados para distintos óxidos y semiconductores [66]. Con esto en mente, disponer de dispositivos con barreras de potencial relativamente similares pero densidades de defectos considerablemente distintas, puede ayudar a separar las contribuciones de cada factor a la dispersión observada. Una forma de controlar el nivel de defectos y la altura de la barrera de potencial es la introducción de nitrógeno (N) en un óxido de aluminio ( $Al_2O_3$ ), actuando como precursor de defectos en el AlON (*alumina-oxynitride*) resultante. En base a esta estrategia, tres juegos de muestras fueron fabricadas<sup>1</sup>, una de referencia con 20 nm de  $Al_2O_3$  como óxido, uno con baja concentración de N denominado *set B* (AlON -N) y uno con alto contenido de N denominado *set C* (AlON +N). Esta selección de muestras provee tres densidades de defectos distintas con una interfaz de  $AlO_x$  de espesor no mayor a 1 nm común a todas las muestras [161], y permitiendo separar la contribución de la densidad de defectos y la barrera de potencial sobre la dispersión en acumulación. Los detalles del proceso de fabricación pueden encontrarse reportados en la literatura [161–163]. Se realizaron mediciones C-V

<sup>1</sup>Muestras provistas por Igor Krylov y Moshe Eizenberg. TECHNION Israel Institute of Technology.

multifrecuencia a bajas temperaturas (77 K)<sup>2</sup> y temperatura ambiente (300 K) sobre capacitores MOS sobre InGaAs y óxidos de 20 nm de AlON .

La Fig. 4.3 muestra curvas C-V multifrecuencia típicas para las muestras del *set A* (AlON con alta concentración de N) para dos temperaturas: 300 K (rojas) y 77 K, para frecuencias de AC comprendidas entre 200 Hz y 600 KHz. Las características generales observadas son similares a las de dispositivos MOS sobre sustratos III-V discutidas hasta el momento. Centrándonos en el particular interés de este experimento, se aprecia una reducción significativa de la dispersión de la  $C_{acc}$  con la frecuencia de la medición al disminuir la temperatura.

Por su parte, la Fig. 4.4a muestra curvas J-V típicas a 300 K (lineas continuas) y 77 K (lineas a trazos) para los tres juegos de muestras bajo estudio. Mientras los *set B* y *C* muestran una dependencia poco perceptible con la temperatura (la variación a corrientes elevadas se asocia a resistencia serie del sustrato y los contactos en condiciones criogénicas), las muestras del *set A*, con gran concentración de N, indican claras diferencias con la temperatura. Además, un aumento consistente de corriente/reducción de tensión puede observarse a medida que la concentración de N aumenta. Para 20 nm de espesor de óxido, la conducción por túnel de Fowler-Nordheim (FN) suele ser representativa de la corriente a través del aislante ( $J_{FN}$ ). El mecanismo se representa esquemáticamente en el diagrama de bandas de la Fig. 4.4c [61], en donde los portadores atraviesan una barrera trapezoidal, curvada por el potencial aplicado. Analíticamente, puede describirse como indica la Ec. (4.2.3), en donde  $\hbar$  es la constante de Plank normalizada,  $q$  es la carga del electrón,  $m_{ox}^*$  es la masa efectiva de los electrones que transitan el óxido por efecto túnel,  $E_{ox}$  es el campo eléctrico aplicado al óxido,  $k$  es la constante de Boltzmann y  $\Phi_b$  es la altura máxima de la barrera de potencial.

$$(4.2.3) \quad J_{FN} = \frac{q^3}{16\pi^2 \hbar \Phi_b} E_{ox} e^{\left( -\frac{4\sqrt{2m_{ox}^*} \Phi_b^2}{3E_{ox}\hbar} \right)}$$

La Fig. 4.4b muestra una gráfica de FN, en donde la relación  $J_G/E_{ox}^2$  se representa en función de la inversa de  $E_{ox}$ . En estas coordenadas, la corriente bajo el mecanismo de FN es una recta de pendiente negativa. Los símbolos representan los datos de  $J_G$  de la Fig. 4.4a y las líneas a trazos representan los ajustes de las corrientes a baja temperatura para los 3 juegos de muestras, mostrando buena coincidencia con los datos experimentales. Las barreras de potencial resultantes de este ajuste fueron de 1.94 eV

<sup>2</sup>Mediciones realizadas por el Dr. Félix Palumbo en el Technion Israel Institute of Technology.

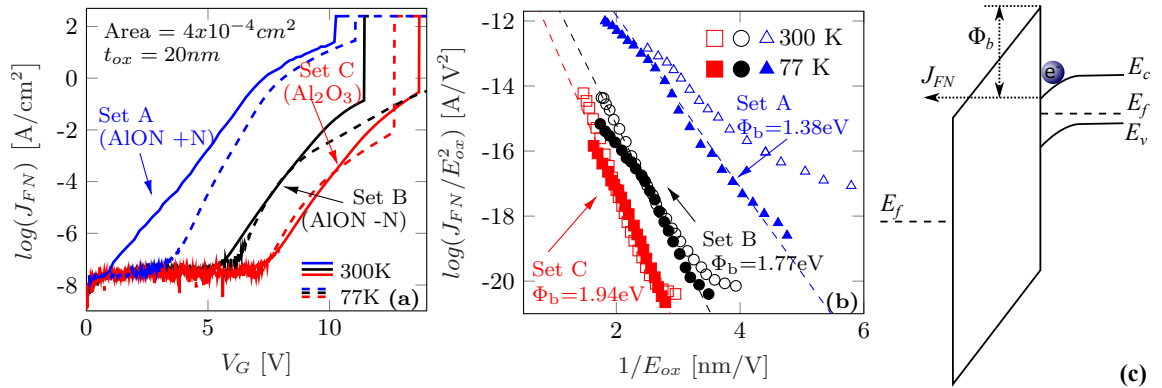


Figura 4.4: (a) Curvas I-V típicas a 300 K y 77 K para los tres juegos de muestras. (b) Gráfica de FN y ajuste de la barrera de FN para los datos de (a). (c) Representación en diagrama de bandas del mecanismo de Fowler-Nordheim.

para el *set C*, 1.77 eV para el *set B* y 1.38 eV para el *set A*, consistente con la reducción del desfase de bandas esperado por la concentración de N en el óxido. Cabe destacar que, si bien la corriente a temperatura ambiente en el *set A* se aleja considerablemente de este mecanismo de conducción, esta diferencia es esperable ya que mecanismos de túnel asistido por trampas pueden contribuir a un aumento de la corriente a través del óxido altamente defectuoso con altas concentraciones de N. Sin embargo, la reducción de la temperatura a 77 K permite reducir la contribución de estos defectos, con lo cual su presencia no afecta a la estimación de la altura de la barrera de potencial.

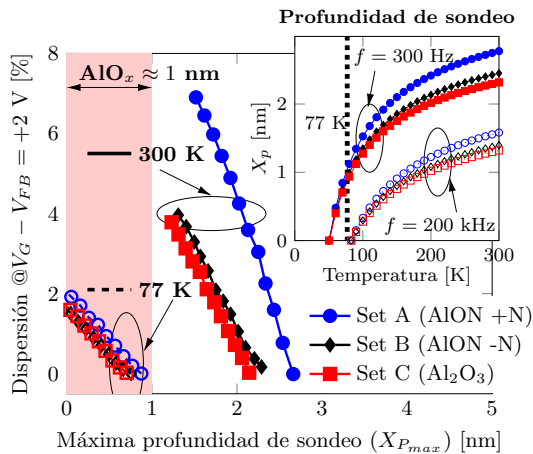


Figura 4.5: (a) Visualización de la dispersión en acumulación de  $C_p$  con la frecuencia pero en función de la máxima "probing depth". (b)  $X_p$  en función de la temperatura a frecuencias límites del barrido.

Con una estimación disponible de la barrera de potencial, podemos comparar la



influencia de la distribución de defectos en la dispersión de  $C_{acc}$  con la frecuencia. El *inset* de la Fig. 4.5 muestra la profundidad de sondeo  $X_p$  de la señal de AC calculada según el modelo de las ecuaciones (4.2.1) y (4.2.2), en función de la temperatura a 300 Hz y 200 KHz. Podemos ver que, para las muestras bajo estudio, mientras a temperatura ambiente el rango de frecuencias involucra defectos entre 1.5 nm y 2.8 nm desde la interfaz (con leves diferencias de no más de 0.4 nm entre juegos de muestras), a 77 K (línea punteada vertical) las mediciones sólo involucran defectos hasta una profundidad de 0.91 nm según la concentración de N. El impacto que esta observación se representa en la Fig. 4.5, en donde la dispersión se representa en función de la máxima profundidad de sondeo  $X_{p_{max}}$  que resulta de cada frecuencia de la señal de AC, calculada a partir de la Ec. 4.2.1. La zona sombreada hasta 1 nm representa la capa de  $AlO_x$  en la interfaz, común a todos los juegos de muestras. Puede observarse que a 77 K, las mediciones realizadas sobre las muestras sondean, en todos los casos, la capa de interfaz de  $AlO_x$ , a pesar de las diferencias en la barrera de potencial. Esto explica que la dispersión reportada a baja temperatura sea muy similar entre todos los juegos de muestras. Por otro lado, a 300 K, la región del óxido evaluada se encuentra lejos de la capa de interfaz común a todas las muestras, en donde puede apreciarse fuertemente el impacto de la alta densidad de defectos del *set* A frente al resto de las muestras. Estos resultados permiten separar con claridad la contribución de la densidad total de trampas en el dieléctrico y la profundidad final que se sondea debido al impacto de la barrera de potencial (a través del cálculo de  $X_p$ ), pudiendo extender este análisis a la comparación de estructuras MOS con dieléctricos sensiblemente diferentes, como  $HfO_2$  y  $Al_2O_3$  [162].

### 4.3 Temperatura e histéresis

En cuanto al impacto de la temperatura en la histéresis de las curvas C-V, ya que el mecanismo fundamental detrás del fenómeno experimental es el proceso de emisión-captura de carga en las trampas presentes en el óxido [156], las bajas temperaturas también evidencian un claro impacto en su comportamiento. En la Fig. 4.6 se muestran mediciones de histéresis bajo estrés dinámico para muestras MG/ $Al_2O_3$ /n-InGaAs a 77 K y 300 K [164]. La principal diferencia a destacar entre estas mediciones es la dinámica de emisión claramente observada para temperatura ambiente en ambos sentidos de estrés: durante la curva de retorno del ciclo de histéresis, casi la totalidad de la carga atrapada durante el ciclo de estrés (sea este hacia tensiones positivas o negativas) es liberada, lo que resulta en una pendiente poco pronunciada y un ciclo de histéresis

angosto. En cambio a 77 K, la pendiente en la curva de retorno es muy pronunciada, y la carga atrapada durante el ciclo de estrés no se libera en su totalidad, evidenciado por el corrimiento del  $V_{FB}$ .

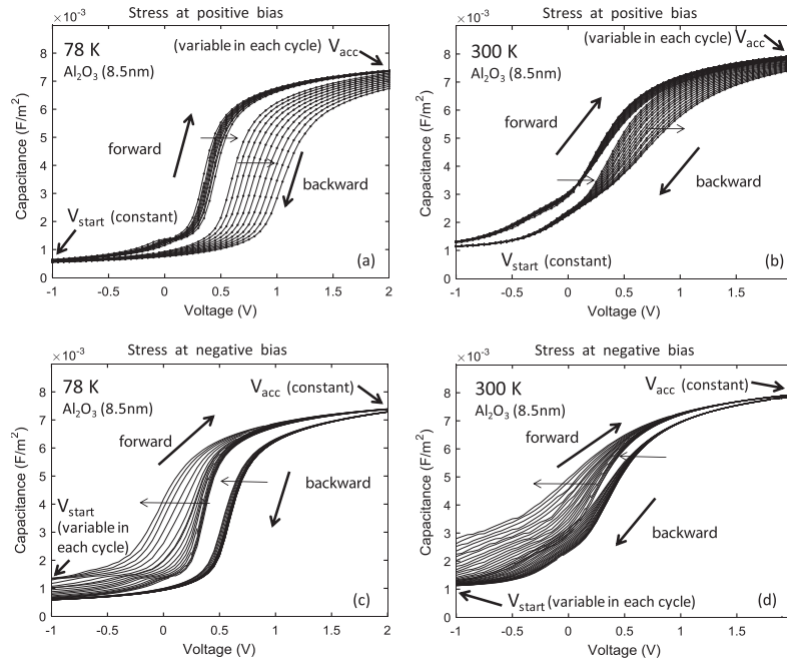


Figura 4.6: Impacto de la temperatura y el sentido de la tensión de estrés sobre la histéresis C-V. (a) y (b) muestran estrés en acumulación a 78 K y 300 K respectivamente. (c) y (d) muestran lo correspondiente con estrés hacia inversión. Reproducido de [164].

Cabe destacar que el carácter dinámico de estos métodos de caracterización no permite discernir con claridad el impacto en el atrapamiento de i) la curvatura de bandas inducida durante el ciclo de estrés y ii) el tiempo de estrés en cada tensión a lo largo del barrido. Con estas últimas consideraciones y en vistas del diferente impacto de la temperatura sobre la dispersión de  $C_{acc}$  con la frecuencia y el ancho de la histéresis  $V_{hys}$  con la tensión de estrés, resulta difícil distinguir la naturaleza o la dinámica de los defectos responsables de cada observación experimental. La siguiente sección intenta esclarecer el panorama de los defectos en estructuras MOS HK/InGaAs, desde un enfoque de caracterización eléctrica que se centra en destacar las claras diferencias entre la dinámica de los defectos involucrados en cada fenómeno.

## 4.4 Origen físico de histéresis y dispersión: ausencia de correlación

En la búsqueda de la optimización de la relación de compromiso entre desempeño y confiabilidad de la estructura HK/III-V, la receta de fabricación fue un aspecto central del estudio por parte de numerosos grupos especializados en ciencia de los materiales. Tratamientos de superficie como pasivación por azufre [160, 165], nitruración [166], capado y decapado mediante  $As_2$  [167, 168] y procesos de conformado y recocido en atmósferas de hidrógeno [169], oxígeno [170] o  $NH_3$ , conocido como *Forming Gas Annealing* (FGA) [154, 160, 171, 172], son algunos de los pasos de fabricación que han sido explorados. Estos estudios mostraron diversos grados de éxito en la pasivación de  $D_{it}$  y BTs, reportando gran cantidad de resultados tanto en términos de la dispersión de  $C_{acc}$  como de la histéresis de las curvas C-V.

Aunque ambos indicadores de defectos han sido asociados con la noción general de  $D_{it}$ , BTs y procesos de emisión-captura, no se ha reportado hasta la fecha una correlación clara entre ambos efectos sobre la curva C-V. Lin *et al.*[172] abordaron esta disquisición a partir de la dependencia de cada indicador con la temperatura a la cual se realiza el FGA en capacitores MOS basados en  $Al_2O_3$ , encontrando una temperatura óptima en términos de dispersión pero sin observar una clara dependencia sobre la histéresis. A su vez, comparan la densidad de BT  $N_{bt}$  extraída a partir de una  $X_P = 1$  nm con la densidad de carga atrapada  $Q_{trapped}$  que resulta en el ciclo de histéresis, pero se ha mostrado en las secciones anteriores que las condiciones de medición de ambos parámetros son muy distintas, con lo cual una comparación de esta índole es difícil de realizar. Por otro lado, Tang *et al.*[154] mostraron que el proceso de FGA, si bien muestra una pasivación eficaz de  $D_{it}$  y reducción de dispersión, resulta en mayor histéresis en la curva C-V y una clara depasivación de defectos bajo estrés de tensión. Contrariamente a estos resultados, Fu *et al.*[160] mostraron una fuerte reducción de la histéresis luego de utilizar FGA sobre capacitores Pt/Au/ $Al_2O_3$ /InGaAs(110), con una reducción marginal de  $D_{it}$  y  $N_{bt}$ . Por su parte, Do *et al.*[157] reportan que el metal de compuerta utilizado puede contribuir a la segregación de oxígeno en la interfaz MG/HK dependiente tanto del material como del proceso de recocido, impactando directamente en la histéresis observada.

Para explicar la desconexión entre dispersión e histéresis se utilizaron 4 juegos de muestras Pd/ $Al_2O_3$ /n-InGaAs fabricadas con diferentes procesos para inducir claras diferencias en la calidad de la interfaz y del óxido de compuerta.<sup>3</sup> Los flujos de fabri-

<sup>3</sup>Muestras provistas por Kechao Tang y Paul McIntyre. Materials Eng. Dept., Stanford University.

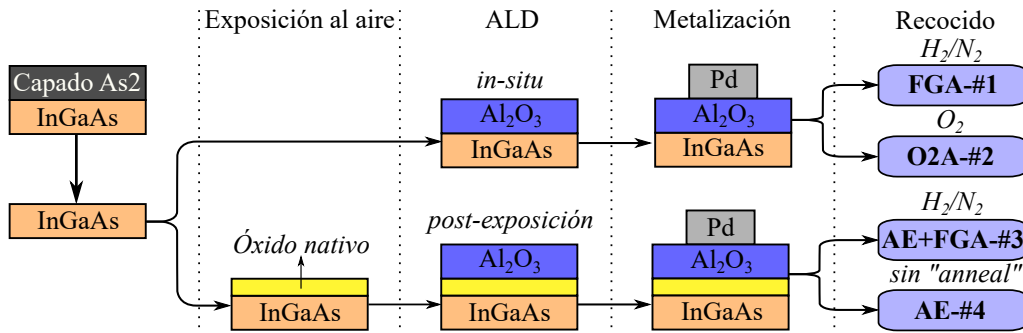


Figura 4.7: Diagrama de flujo simplificado del proceso de fabricación de los 4 juegos de muestras empleados para los experimentos. La exposición al aire genera una capa de óxido nativo en la interfaz óxido-semiconductor.

cación utilizados se representan en el esquema de la Fig. 4.7. Por su diferente impacto en la pasivación de defectos, dos juegos de muestras son recocidas en atmósferas de FGA (de ahora en más denominadas FGA#1) o atmósfera de oxígeno (de ahora en más denominadas O2A-#2). Por otra parte, para introducir una interfaz de óxido nativo conocida por su alta densidad de defectos, dos juegos de muestras fueron expuestas al aire previamente a la introducción en la cámara de ALD. Post-deposición, un conjunto de muestras se pasó por FGA (de ahora en más denominadas AE+FGA-#3) y el otro no fue sometido a un paso de recocido, manteniendo las características que posee al momento del depósito del óxido (de ahora en más denominadas AE-#4). Esta combinación de múltiples procesos de fabricación permite una comparación entre dispositivos que poseen distintas densidades de estados de interfaz pero a su vez pueden mostrar similitudes o diferencias en la dispersión en acumulación o la histéresis de la curva C-V. De este modo, se intenta separar las contribuciones de cada dinámica de defectos respecto a su indicador experimental. Para ello, se realizaron mediciones C-V multifrecuencia y barridos de histéresis hacia tensiones positivas (acumulación) para todos los juegos de muestras fabricados, comparando de forma sistemática ambos indicadores de defectos.

Los resultados de las mediciones típicas se muestran en la Fig. 4.8, donde las subfiguras (a)-(d) corresponden a mediciones multifrecuencia y las (e)-(f) a los ciclos de estrés dinámico hacia acumulación para cuantificar la histéresis. Las características generales de las curvas son consistentes con lo discutido en las secciones previas. Por el lado de la histéresis, a simple vista la subfigura (e) muestra una mayor histéresis para las muestras FGA-#1 respecto al resto de las muestras. Cabe destacar que tanto  $V_{start}$  como los valores dinámicos de  $V_{stress}$  son iguales para todas las muestras respecto a su  $V_{FB}$  extraído previamente y que las leves diferencias de  $C_{ox}$  no pueden explicar las

#### 4.4. ORIGEN FÍSICO DE HISTÉRESIS Y DISPERSIÓN: AUSENCIA DE CORRELACIÓN

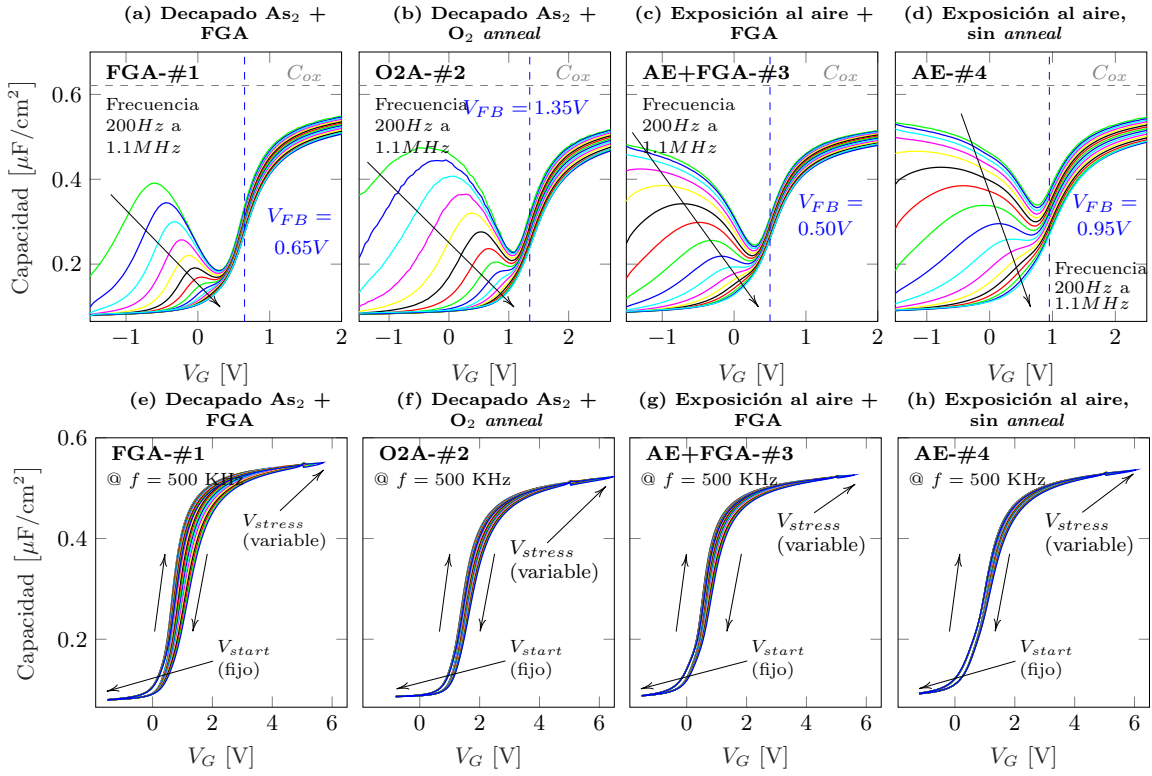


Figura 4.8: (a)-(d) Mediciones C-V multifrecuencia típicas entre 200 Hz y 1.1 MHz y (e)-(h) mediciones típicas de histéresis bajo estrés dinámico en acumulación para los cuatro juegos de muestras.

diferentes magnitudes de histéresis observadas.

Para centrarnos en la comparación entre dispersión e histéresis, la dispersión porcentual extraída a 1.35 V desde el  $V_{FB}$  en acumulación se presenta en función de la frecuencia en la Fig. 4.9a para los 4 juegos de muestras, mientras que el ancho del ciclo de histéresis  $V_{hys}$  se representa para todas las muestras en función de la tensión máxima de cada ciclo de estrés en la Fig. 4.9b para todas las muestras bajo estudio. El *inset* en esta figura muestra los resultados de histéresis en términos de la  $Q_{trapped}$  en función del campo eléctrico equivalente en el óxido, calculado como  $E_{OX} = (V_{stress} - V_{FB})/CET$  donde  $CET$  es el espesor equivalente de capacidad (*capacitance equivalent thickness*)[29]. Comparando estas dos figuras, surge a simple vista que las muestras AE-#4 presentan la mayor dispersión pero la menor histéresis, mientras que las FGA-#1, fabricadas con la receta que resulta en la mejor calidad de interfaz, presenta una dispersión reducida pero una histéresis considerablemente más alta que el resto de las muestras. En segunda instancia, podemos observar que si bien el FGA sobre estas muestras reduce efectivamente

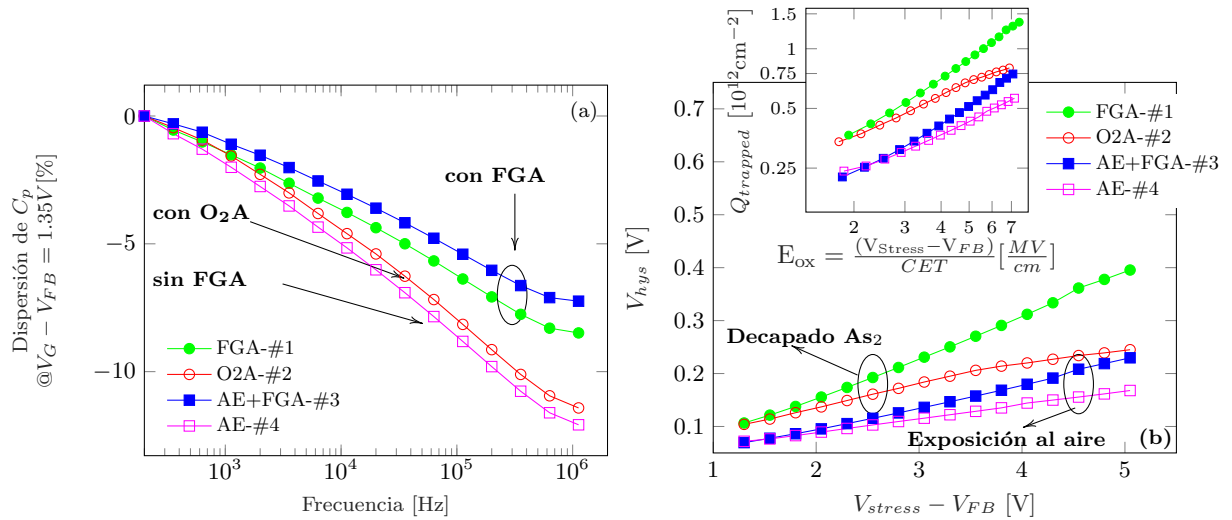


Figura 4.9: (a) Comparación entre muestras de diferentes procesos de la dispersión porcentual relativa en función de la frecuencia. (b) Equivalente comparación pero para el ancho del ciclo de histéresis. El *inset* informa la carga atrapada  $Q_{trapped}$  para cada caso.

la dispersión en todos los casos, con o sin exposición al aire, la histéresis es claramente más elevada para las muestras que no son expuestas al aire y que pasan por algún paso de recocido.

Sin embargo, para ampliar el universo de casos en este análisis, es deseable comparar estos datos con resultados independientes de la literatura. Para simplificar las métricas de comparación, se cuantifica la dispersión a partir de la pendiente que muestra en función de la frecuencia en la Fig. 4.9a, en % por década. Por el lado de la histéresis, se adopta una estrategia similar, en donde se extrae la pendiente  $dV_{hys}/dV_{stress}$ . Estas cifras de mérito se representan en la Fig. 4.10 mediante los marcadores en colores. Resultados reportados en la literatura por otros autores son cuantificados de la forma propuesta e incluidos en los mismos ejes. Las flechas a trazos indican el efecto de FGA sobre muestras de un mismo tipo, observando resultados dispares en el comportamiento: mientras las flechas 1 a 3 muestran una reducción de dispersión y un aumento de la histéresis, la flecha 4 muestra cambios heterogéneos en las métricas según la temperatura del FGA y la flecha 5 muestra una reducción sustancial de la histéresis para valores muy bajos de dispersión.

Se observa claramente una desconexión entre los indicadores de defectos ampliamente aceptados en la comunidad como testigos de la calidad de las muestras. Sin embargo, las condiciones de medición para las cuales se extrae cada métrica no permiten separar con claridad la contribución de distintas dinámicas de atrapamiento en cada caso,

#### 4.4. ORIGEN FÍSICO DE HISTÉRESIS Y DISPERSIÓN: AUSENCIA DE CORRELACIÓN

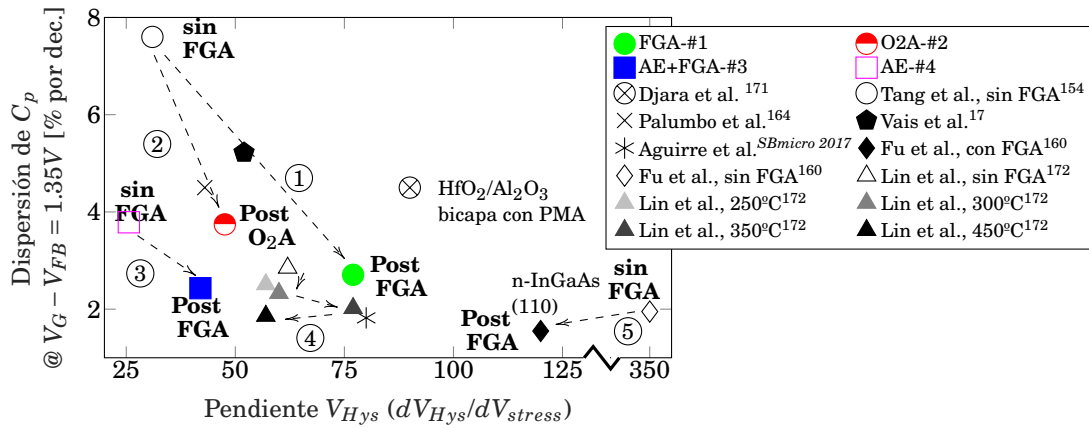


Figura 4.10: Datos experimentales de la literatura, relacionando la dispersión de  $C_p$  con la variación de la histéresis de la curva C-V, representados como diagrama de dispersión. No se puede observar ninguna correlación clara entre ambos indicadores de defectos.

dificultando la separación de ambos efectos. Por esta razón se propone una mecánica de caracterización diferente que permita utilizar al tiempo como variable fundamental de extracción de la histéresis. Por su parte, las mediciones de dispersión suelen reportarse a una curvatura de bandas constante (una tensión aplicada determinada), pero los defectos involucrados poseen constantes de tiempo cortas, capaces de responder a frecuencias entre 200 Hz y 2 MHz por su cercanía a la interfaz, y ante variaciones pequeñas del nivel de tensión alrededor del nivel de Fermi, es decir frente a pequeña señal de AC. Estos tiempos de respuesta son órdenes de magnitud más rápidos que los defectos que pueden intervenir en la histéresis del barrido C-V.

Para poder separar la contribución del tiempo y de la tensión en la histéresis, se propone el estrés a tensión constante en acumulación durante un tiempo determinado antes de realizar el barrido de retorno de la curva de histéresis. Se deja reposar a la muestra (sin tensión aplicada) durante períodos mayores a 30 segundos entre ciclos de estrés, para obtener la relajación de la mayoría de los defectos involucrados en la histéresis [37]. La extracción de la histéresis se realiza de la misma forma propuesta para las mediciones de estrés dinámico, utilizando la  $C_{V_{FB}}$  como valor de referencia. Para demostrar la técnica, se eligen las muestras de los grupos FGA-#1 y AE-#4 por ser el peor y mejor caso, respectivamente, en términos de histéresis entre las muestras disponibles. Los resultados de las mediciones de barridos C-V se muestran en la Fig. 4.11, (a) para las muestras FGA-#1 y (b) para las AE-#4. La tensión en acumulación para el estrés se fijó en 3.4 V por sobre el  $V_{FB}$ , y los tiempos de estrés a tensión constante se incrementan entre ciclos con valores 0, 5, 10, 30, 60, 300 y 1000 segundos. De esta

manera, la curvatura de bandas es muy similar para las dos muestras y sólo las trampas que se encuentren por debajo del nivel de Fermi participan en el atrapamiento de carga. Cabe destacar que, durante el estrés constante, es esperable que si la densidad de carga atrapada es elevada, la curvatura de bandas varíe con el tiempo. Puede observarse que las muestras FGA-#1 se caracterizan por una gran cantidad de carga atrapada con el tiempo, a tensión constante, relacionando el ancho de la histéresis con el tiempo de estrés. Por su parte, las muestras AE-#4 muestran muy poca dependencia del ciclo de histéresis con el tiempo de estrés, resultado que es más fácilmente discutido con las figuras (c) y (d).

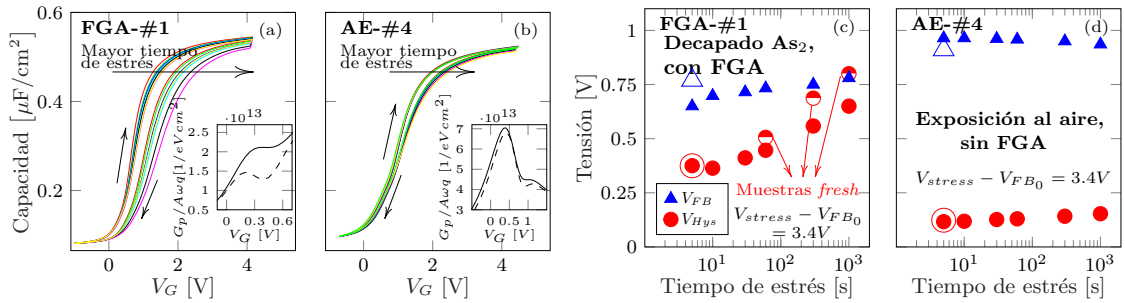


Figura 4.11: (a) y (b) Experimentos de estrés a tensión constante y sus efectos sobre la histéresis en los sets de muestras FGA-#1 y AE-#4. (c) y (d) Extracción del corrimiento de  $V_{FB}$  y el ancho del ciclo de histéresis  $V_{hys}$  con el tiempo acumulado de estrés. Los símbolos vacíos indican una medición del ciclo de histéresis realizada después de completados todos los ciclos de estrés.

Las gráficas (c) y (d) en la Fig. 4.11 muestran la extracción de  $V_{FB}$  y  $V_{hys}$  en función del tiempo de estrés de cada ciclo. Para las muestras FGA-#1, la histéresis muestra un claro incremento entre ciclos, junto con un aumento visible de  $V_{FB}$ . En las muestras AE-#4, en cambio, se observa un incremento muy leve en  $V_{hys}$  mientras  $V_{FB}$  decrece ligeramente con el tiempo de estrés. Esto destaca una clara diferencia en la dinámica de atrapamiento de carga en ambos tipos de muestras. Para separar los procesos de captura-emisión del daño permanente introducido por el estrés, luego del último ciclo de histéresis se realizó una medición más del ciclo completo con tiempo de estrés nulo. Los resultados de esta medición se representan con los símbolos vacíos. Mientras los triángulos azules muestran un corrimiento de  $V_{FB}$  asociado a daño permanente sobre la estructura, los círculos que representan el ancho del ciclo de histéresis muestran que, teniendo en cuenta el desplazamiento del  $V_{FB}$  en cada medición, el ancho del ciclo de histéresis no cambia luego del estrés. Esto indica que los defectos responsables por la captura de carga en largos períodos de tiempo son intrínsecos a la estructura y no son generados durante el estrés. Los defectos permanentes como resultado del estrés pueden



#### 4.4. ORIGEN FÍSICO DE HISTÉRESIS Y DISPERSIÓN: AUSENCIA DE CORRELACIÓN

relacionarse a la depasivación de defectos de interfaz, en línea con los efectos reportados por Tang *et al.*[154].

Para descartar los posibles efectos del estrés acumulado entre ciclos, las mediciones sobre las muestras FGA-#1 se repitieron utilizando dispositivos sin estresar para cada ciclo de estrés. Esto se representa en la Fig. 4.11 (c) mediante los círculos parcialmente llenos. La histéresis observada es mayor en la misma magnitud que la tensión de *flatband* se incrementa para las muestras con estrés acumulado, verificando que los resultados no son afectados por la depasivación de defectos si se tiene en cuenta el incremento de  $V_{FB}$ . Asimismo, la dinámica de la captura de carga bajo tensión de estrés constante también ha sido observada en mediciones I-t en estructuras MOS, como se discutiera en las secciones 3.1.2 y 3.1.3. Curvas I-t típicas para estos dispositivos se muestran en la Fig. 4.12: mientras las muestras FGA-#1 presentan las típicas características de atrapamiento de electrones (pendiente negativa con el tiempo), las muestras AE-#4 muestran un incremento de corriente desde el inicio del experimento, asociado a SILC (del inglés "*Stress Induced Leakage Current*") [117]. De hecho, en resultados de la literatura [35] la pendiente negativa en curvas I-t se relacionó con la presencia de una gran densidad de BTs, pero esto no puede explicar el comportamiento observado en este estudio, ya que las muestras que presentan una mayor densidad de BT (mayor dispersión de  $C_{acc}$ ) no muestran un claro comportamiento de atrapamiento de carga [61]. Esto relaciona al atrapamiento observado en curvas I-t y C-V de histéresis con defectos distribuidos en el óxido que están fuertemente conectados con la utilización de FGA y que incluso pueden estar influenciados por reacciones en la interfaz MG/HK[157].

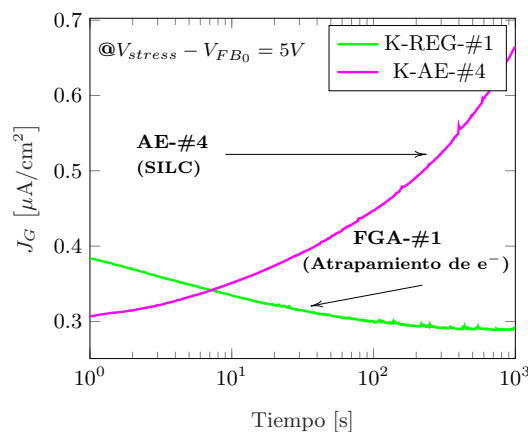


Figura 4.12: Curvas típicas I-t bajo estrés constante para las muestras FGA-#1, mostrando atrapamiento de electrones (pendiente negativa), y AE-#4, evidenciando SILC (pendiente positiva).

En vista de estos resultados, es posible concluir que, si bien dispersión de  $C_{acc}$  con la

frecuencia e histéresis de la curva C-V son dos indicadores ampliamente aceptados de la calidad de las estructuras MOS, deben ser cuidadosamente separados para describir los defectos involucrados en las inestabilidades de la misma. La dispersión es un indicador de AC de la distribución de defectos cercana a la interfaz, que pueden tener interactuar fácilmente con los portadores del canal y degradar virtualmente todos los indicadores de desempeño de los dispositivos [29]. En cambio, la histéresis es un indicador de la inestabilidad de DC del dispositivo, fuertemente dependiente del tiempo de estrés y con un importante efecto de relajación [152]. Si bien la naturaleza del origen de los defectos involucrados puede ser similar en términos físicos, como en el caso de las vacancias de oxígeno en óxidos metálicos de transición, los tiempos de activación son diferentes en órdenes de magnitud, lo cual explica la clara ausencia de correlación entre estas métricas de calidad [173] y sirven como orientación en la relación de compromiso entre estabilidad a largo plazo, confiabilidad y calidad de la interfaz en estructuras MOS MG/HK/III-V.

## 4.5 Conclusiones

A lo largo de este capítulo se centró el análisis en los indicadores de defectos de estructuras MOS que combinan aislantes de alta constante dieléctrica con sustratos semiconductores de alta movilidad. Mediante mediciones de impedancia, utilizando técnicas multifrecuencia y barridos de histéresis sobre la curva C-V, se evaluaron las contribuciones sobre cada efecto de las trampas distribuidas en el óxido. Se mostró que es posible caracterizar únicamente las primeras capas atómicas del óxido realizando mediciones a baja temperatura, demostrando mediante la profundidad de sondeo que la dispersión sólo responde a los defectos más cercanos a la interfaz en estas condiciones. Adicionalmente, se mostraron las diferencias entre los mecanismos de atrapamiento de carga descritos por la dispersión en frecuencia y el ancho de la histéresis. A pesar de haber sido utilizados en la literatura como indicadores de trampas de frontera, se observó en resultados experimentales que no existe una correlación directa entre ambos. Mediante mediciones de histéresis dependiente del tiempo, se demostró que este proceso de atrapamiento de carga es lento y progresivo, a diferencia de la dispersión en frecuencia, que responde a señales de frecuencias mayores a los cientos de Hz. Estos resultados permiten caracterizar con mejor detalle la calidad estas estructuras novedosas, contribuyendo a entender la dinámica de la degradación de estos dispositivos en busca de su implementación en tecnologías futuras.

## RUIDO ELÉCTRICO EN MOSFET Y H-BN COMO AISLANTE 2D

**E**l ruido eléctrico es un fenómeno fundamental que caracteriza dispositivos electrónicos tanto activos como pasivos. A nivel de sistema, el ruido puede condicionar el correcto funcionamiento de una aplicación puntual, enmascarando señales de interés, introduciendo errores en la lectura de información y fijando límites de implementación de sensores, amplificadores e incluso memorias. A nivel de dispositivos individuales, la magnitud y morfología del ruido brinda información respecto al origen y cantidad de defectos presentes en su estructura y por eso ha sido siempre considerado como una preocupación para la confiabilidad [174]. Puntualmente, el comportamiento del ruido eléctrico bajo condiciones de degradación puede alterar el funcionamiento de un circuito complejo en el cual el dispositivo se desempeña o bien brindar información de los defectos resultantes de tal degradación o condición de trabajo. Por estas razones, la posibilidad de medir, acondicionar y adquirir señales de ruido en dispositivos nano-electrónicos resulta de particular interés para el estudio general de la confiabilidad y para el análisis específico de fenómenos físicos en dispositivos y su impacto a nivel de sistema. En este capítulo, se repasan las nociones básicas que fundamentan este tipo de mediciones, se detalla la instrumentación utilizada para la caracterización del ruido en dispositivos electrónicos y se discuten resultados de interés en dispositivos MOSFET y MIM basados en materiales novedosos en 2D bajo condiciones de degradación.

## 5.1 Ruido en dispositivos nanoelectrónicos

El ruido eléctrico en dispositivos de estado sólido, además de poseer una componente de ruido térmico o de Johnson, está íntimamente relacionado con la emisión y captura de portadores en defectos propios de los materiales involucrados y/o inducidos por los procesos de fabricación [175]. La acción discreta de estos defectos puntuales resultan en señales del tipo telegráfico ("*Random Telegraph Noise*", RTN)[174], usualmente caracterizados por un par de valores característicos de tiempo de emisión y captura que, en el espectro frecuencial, presentan una característica de ley de potencia como  $1/f^\gamma$ , con  $\gamma = 2$  [156, 176]. Al promediar el efecto de numerosos estados disponibles de defectos, distribuidos en la estructura física del dispositivo, resultan espectros de potencia de ruido rosa o de "*flicker*" [174, 177] de ley  $1/f$ , es decir inversamente proporcional a la frecuencia. Una representación de este fenómeno se visualiza en la Fig. 5.1, en donde  $S_I$  es la densidad espectral de potencia densidad espectral de potencia (PSD, "*Power Spectral Density*") de ruido de la señal de corriente en función de la frecuencia.

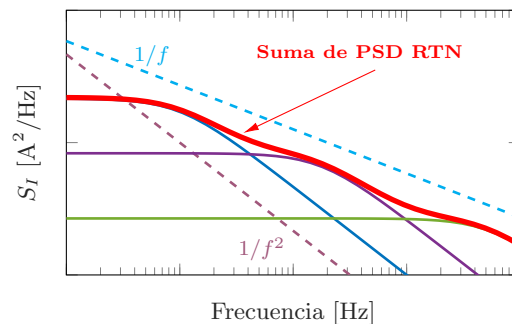


Figura 5.1: Densidad espectral de potencia para procesos de ruido rosa o de *flicker* ( $1/f$ ) y RTN o de Lorentz ( $1/f^2$ ). El solapamiento de constantes de tiempo asociadas a señales de ruido telegráficas  $1/f^2$  resulta en un espectro de  $1/f$ .

Desde el punto de vista de los transistores MOSFET, la caracterización del ruido de los dispositivos son un reflejo útil de los defectos de fabricación inducidos y se vuelve fundamental para el modelado de las características eléctricas de los dispositivos. La disponibilidad de un modelo de bajo nivel que permita introducir parámetros de simulación computacional para los transistores resulta esencial para el correcto diseño de circuitos de alta sensibilidad. Detección de señales débiles provenientes de sensores o señales de microondas con bajo rango dinámico y pobre relación señal-ruido (como los que se discutirán en la sección 6.2.1) son ejemplos de aplicaciones que requieren un cuidadoso diseño de las etapas de adquisición y amplificación para no enmascarar la señal de interés con el ruido en exceso del circuito.

El ruido en MOSFETs suele modelarse a partir de las derivaciones de McWorther [178] y de Hooge [179]. Según estas interpretaciones, el ruido en la corriente de drenaje puede asociarse a una variación estocástica del número de portadores disponibles en el canal ( $\Delta n$ ) o de la movilidad de los mismos ( $\Delta \mu$ ), respectivamente, por su interacción con los defectos presentes en el óxido. En forma general, para transistores operando en la región de triodo, estos modelos asumen un espectro de potencia de ruido rosa, proporcional a la densidad de defectos presentes en la estructura con cierta distribución  $N_T(E_f)$ . Por esta razón, la caracterización de la corriente de ruido ha sido ampliamente utilizada para calificar tecnologías CMOS [180–185]. Para modelos paramétricos computacionales en tecnologías sub-micrón, los modelos BSIM o PSP son los más difundidos en la industria para simulaciones de SPICE. Si bien en términos generales estos modelos siguen las dependencias caracterizadas por McWorther y Hooge, los ajustes semiempíricos incluyen parámetros adicionales que serán utilizados en la sección 6.2.2 y son revisados en el apéndice B, sección B.4.

Por su parte, la corriente de ruido a través de dieléctricos delgados de compuerta también es ampliamente utilizada para la caracterización de defectos en aislantes novedosos [174]. De forma similar a la interacción de los portadores del canal, el flujo de portadores a través del óxido presenta fluctuaciones aleatorias que han sido interpretadas a través del efecto de ocupación y liberación de portadores en defectos situados dentro del cuerpo del aislante. Ya sea en óxidos clásicos como  $\text{SiO}_2$  [177],  $\text{SiON}$  [186], óxidos HK [33] e incluso dieléctricos en dos dimensiones como nitruro de boro hexagonal [187], el ruido a través del dieléctrico puede ser un limitante tecnológico tanto para la implementación de transistores [176] como para dispositivos de memoria emergentes, como memorias resistivas [174, 188, 189].

Desde el punto de vista de la confiabilidad, el ruido también ha sido utilizado como testigo de la degradación de las estructuras bajo estrés eléctrico [174, 190, 191]. Algunos ejemplos directos de ello son el estudio del ruido bajo inyección de portadores calientes en transistores [192–194] y el cambio de la morfología del ruido a través de aislantes bajo campo eléctrico constante o mediante ciclos de estrés [25, 187, 195], en distintas condiciones de ruptura. Este comportamiento tiene múltiples implicancias a nivel de la confiabilidad. En secciones subsiguientes se abordará el análisis del ruido en dispositivos electrónicos con dos objetivos puntuales: en primer lugar, por su importancia en aplicaciones de interés de radiofrecuencia (abordadas en el capítulo 6), se analiza el comportamiento del ruido en transistores MOSFET bajo degradación de HCI; en segundo lugar, se utilizará la caracterización del ruido para analizar el origen y com-

portamiento de los defectos en multi-capas de nitruro de boro hexagonal bajo estrés de tensión constante, en distintas condiciones de degradación.

## 5.2 Acondicionamiento y procesamiento de señales

El análisis del ruido de baja frecuencia en dispositivos semiconductores, usualmente estudiado en el rango 0.1 Hz~10 KHz, puede realizarse mediante un sistema de adquisición que permita obtener la señal temporal de la magnitud de interés. Para adquirir la naturaleza real de la señal en cuestión es necesario el acondicionamiento apropiado de la misma previo a su adquisición, involucrando la amplificación de señales débiles de corriente con la menor densidad de ruido aditivo posible por parte del circuito de acondicionamiento. Una vez capturada, la señal temporal puede ser evaluada en el dominio de la frecuencia aplicando transformada rápida de Fourier (FFT, "*Fast Fourier Transform*") sobre la serie temporal.

Diversos autores han abordado el diseño y optimización de instrumentación para mediciones de ruido [188, 196–198], ya que si bien existen algunas soluciones comerciales éstas no siempre pueden responder a las condiciones de caracterización de dispositivos integrados. Para permitir la caracterización del ruido se abordó una implementación que sigue el diagrama general de bloques de la figura 5.2, basada en el trabajo de Giusi [199] y Magnone [196]. En términos generales, el sistema se compone de:

- i. etapas de polarización filtradas implementadas con amplificadores operacionales de bajo ruido [199] (notar filtros pasa bajos en Fig. 5.2);
- ii. una etapa preamplificadora de transimpedancia de bajo ruido con ganancia configurable para acondicionamiento de ruido de compuerta (alta impedancia);
- iii. una etapa preamplificadora de tensión de bajo ruido de ganancia configurable para acondicionamiento de la señal de ruido de drenaje (baja impedancia);
- iv. etapas de amplificación de tensión acopladas en AC (notar filtros pasa altos entre etapas en Fig. 5.2) para adquisición de señales de compuerta y drenaje;
- v. alimentación de fuente partida a baterías (sin reguladores) de litio recargables;
- vi. circuito regulador de corriente constante para carga de baterías recargables *in-situ*;
- vii. selectores y conectores para conexión de SMU para mediciones de características de DC in situ;
- viii. salidas de monitoreo de DC, saturación de etapas preamplificadoras y de adquisición de señales de compuerta y drenaje.

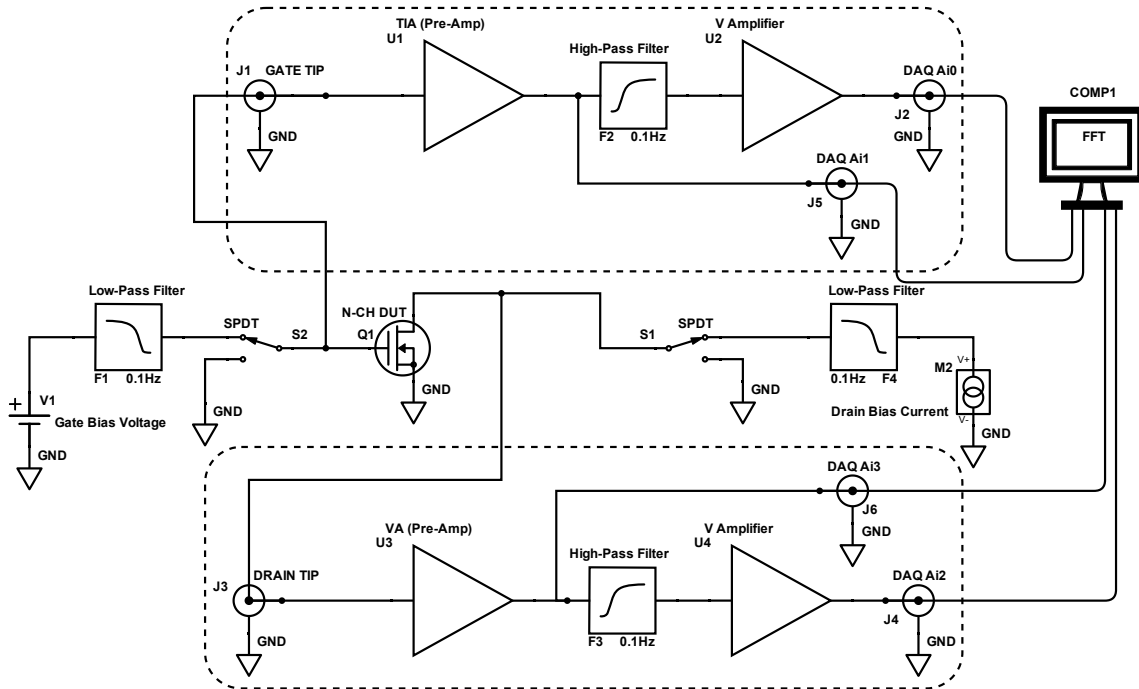


Figura 5.2: Diagrama en bloques del sistema de amplificación de bajo ruido.

El sistema implementado se observa en la Fig. 5.3, en donde se aprecian controles de ganancia, conexiones generales y controles de polarización. El equipo fue calibrado mediante resistores comerciales de película metálica (al 1 % de tolerancia) y contrastada contra simulaciones de ruido basadas en SPICE<sup>1</sup>. La figura 5.4a muestra la forma típica de un intervalo de la señal de ruido de la corriente de drenaje de un dispositivo MOSFET de 130 nm de longitud de canal, adquirida a 2000 muestras por segundo bajo una polarización 100  $\mu$ A en zona triodo. A partir de la adquisición completa, aplicando FFT, es posible obtener una estimación de la PSD asociada a la señal experimental, observado en la figura 5.4b. Se observa que la varianza de la PSD obtenida a partir del periodograma generado por FFT puede afectar la correcta interpretación de los resultados y es por eso que usualmente se recurre al promediado de series temporales en la construcción del espectro.

El periodograma no es una herramienta consistente para estimar la PSD de un proceso estacionario, y por ello surgen otros estimadores para salvar este inconveniente, como el estimador de Bartlett o el estimador de Welch [200]. Este último se basa en un promedio de un número finito de segmentos de igual duración de la adquisición

<sup>1</sup>Calibración detallada en Reporte Técnico ST4754. Pazos, S. *et al.*, "Caracterización de Ruido de baja frecuencia: Solución de medición de ruido eléctrico en dispositivos electrónicos"



Figura 5.3: Imagen de la implementación física del sistema de acondicionamiento y polarización.

completa, pero con un solapamiento mayor a cero. Para cada segmento, se computa un periodograma modificado, siendo estimaciones aproximadamente no correlacionadas de la densidad espectral real de potencia. Esto permite promediar las estimaciones y reducir la variabilidad de la PSD, intercambiando resolución frecuencial en el proceso. El estimador de Welch aplicado a la señal (completa) de la figura 5.4a, sobre ventanas de  $1/64$  veces la longitud  $Long$  total solapadas en un 50 %, resulta en el espectro indicado en línea azul junto con la PSD estimada a partir del periodograma por FFT de la figura 5.4b.

Luego de la calibración de las etapas amplificadoras, se realizaron mediciones sobre transistores MOSFET como evaluación del funcionamiento de la solución propuesta. Se utilizaron transistores de dos procesos de fabricación distintos, uno de longitud de canal de 350 nm y otro de 130 nm. Las figuras 5.5a y 5.5b reportan mediciones de la potencia espectral de ruido de drenaje normalizado contra el área y la corriente de polarización estática del dispositivo, es decir  $S_{I_D norm} = AS_{I_D}/I_D^2$ . Para ambos casos se polarizó el dispositivo a corriente de drenaje constante de  $300 \mu A$ , con el dispositivo en condición de triodo.

La normalización permite, en base a los modelos de McWorther y Hooge revisados



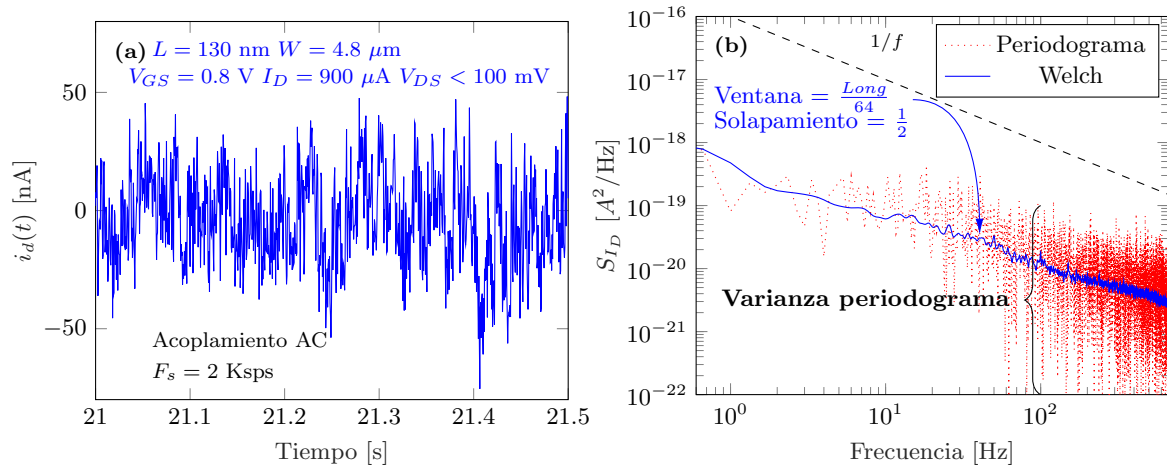


Figura 5.4: (a) Ejemplo de adquisición (0.5 segundos de una sesión de 60) del ruido de corriente de drenaje de un MOSFET a una frecuencia de muestreo de 2 Ksps. (b) Espectro resultante de aplicar periodograma y método de estimación de Welch (ventanas de  $1/64$  veces la longitud total del vector, solapadas al 50 %) a la serie temporal capturada en (a).

en la tabla B.2, independizar la visualización de los resultados tanto de la corriente de polarización como de la dimensión del dispositivo. De esta manera, la dependencia observada con la tensión de polarización de compuerta puede relacionarse directamente con el nivel de inversión del canal y la densidad de defectos  $N_t(E_f)$  que dan origen al ruido. En concordancia con mediciones otras tecnologías CMOS [196], se observa una disminución de la densidad de ruido normalizada con un mayor nivel de inversión de canal, es decir para mayores valores de  $V_{GS}$ . La característica de  $1/f^\gamma$  se evidencia para estos dispositivos, con un exponente  $\gamma$  en el rango de 0.9~1.1, acorde a lo esperado en modelos de ruido para estas tecnologías.

### 5.3 Ruido y ruptura de h-BN multicapa

Entre los materiales más prometedores para la próxima generación de dispositivos nanoelectrónicos, los materiales en 2D como el grafeno se presentan como una alternativa para mejorar la velocidad de conmutación (alta movilidad)[201] junto con otras propiedades deseables como flexibilidad o transparencia [202]. Sin embargo su integración con dieléctricos clásicos presenta numerosas dificultades, principalmente relacionada con una cierta incompatibilidad de interfaces que puede ser subsanada utilizando aislantes que compartan su característica fundamental de estructura 2D. Así, el nitruro de boro hexagonal (h-BN) está siendo profundamente investigado por su deseable in-

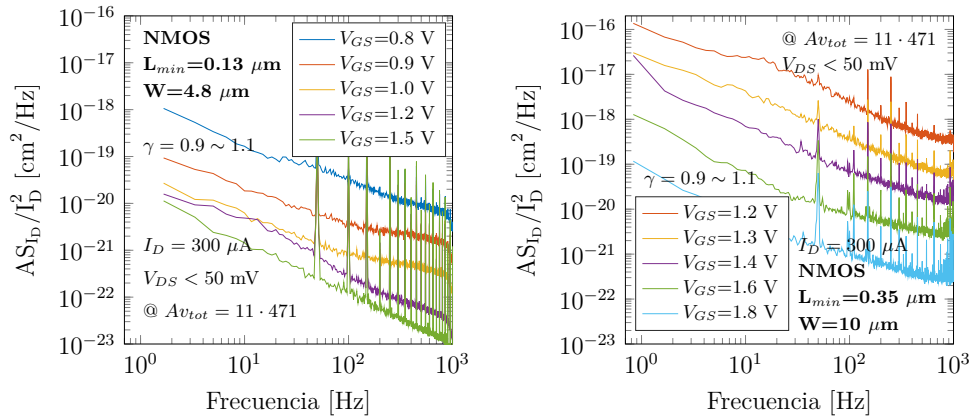


Figura 5.5: Caracterización del ruido de drenaje en transistores MOSFET de dos tecnologías diferentes (130 nm y 350 nm), para distintos niveles de inversión del canal, a corriente de polarización constante.

teracción ideal de Van der Waals con otros materiales 2D, pero también por excelentes características generales como aislante en nano-dispositivos. La configuración hexagonal de los átomos de Boro y Nitrógeno, representada esquemáticamente y observada bajo microscopía STEM en la Fig. 5.6, le brinda extraordinarias propiedades incluyendo una alta conductividad térmica ( $\sim 600 \text{ Wm}^{-1}\text{K}^{-1}$ )[203] (que puede resultar beneficiosa en términos de la ruptura progresiva como se discutió en el capítulo 3), flexibilidad mecánica, transparencia a la luz visible y alta estabilidad química hasta temperaturas de 1500 °C.

Sin embargo, defectos locales en la red del h-BN, principalmente vacancias de boro, pueden reducir dramáticamente su confiabilidad, promoviendo la oxidación y degradación del material a través de estos defectos [23, 195]. Esto se observa en la Fig. 5.6c, en donde la microscopía TEM muestra la clara estructura por capas del h-BN como aislante entre electrodos de oro en dispositivos MIM y los desórdenes observables en la red del

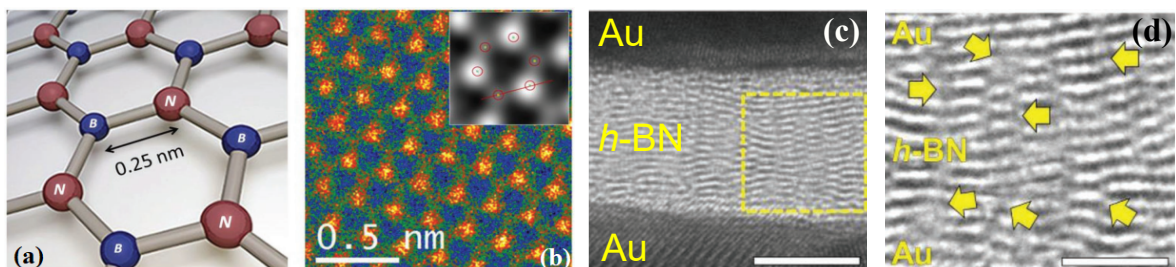


Figura 5.6: (a) Representación de la estructura hexagonal del h-BN. (b) Visualización por microscopía de barrido TEM de campo oscuro anular de grandes ángulos (HAADF STEM). Reproducido de [189]. (c) Micrografía TEM de estructuras Au/h-BN/Au, donde se aprecia la naturaleza por capas del dieléctrico y (d) los desórdenes de la red. Adaptado de [23].

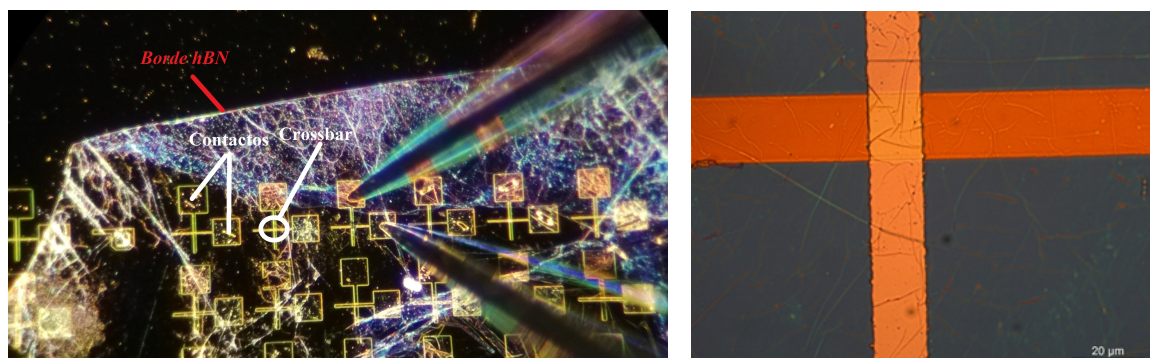


Figura 5.7: Vista bajo el microscopio óptico de las muestras *crossbar* bajo estudio. Notar la visualización del h-BN depositado por CVD entre las líneas metálicas que conforman el dispositivo. Imagen derecha cortesía de Mario Lanza, Soochow University, China.

dieléctrico en la Fig. 5.6d. El origen de estos defectos y su relación con los distintos procesos de fabricación de dispositivos basados en h-BN han sido el foco reciente de estudio para comprender su impacto en la ruptura dieléctrica y su cercana relación con el mecanismo de conmutación resistiva, arrojando interesantes resultados sobre la dinámica de la degradación progresiva y la estadística representativa del fenómeno [23].

Por su potencial utilización como sinapsis neuronales, las memorias resistivas basadas en h-BN acaparan mucha atención por parte de la academia [189, 204–206]. Por su simpleza de fabricación y potencial integración a elevada escala, la estructura tipo *crossbar* es de especial interés [189, 205]. La Fig. 5.7 muestra la estructura típica de dispositivos *crossbar* basados en h-BN para ser caracterizados mediante una estación de prueba estándar<sup>2</sup>, bajo la vista de un microscopio óptico. En las imágenes, se observa claramente el h-BN entre las líneas metálicas terminadas en contactos para puntas de prueba estándar, validado por la visualización de "arrugas" ("*wrinkles*") bajo microscopio SEM [205]. Los dieléctricos fueron depositados vía vaporización química (CVD, "*Chemical Vapor Deposition*") [189] y los electrodos de oro (Au) fueron conformados mediante litografía de haz de electrones ("*Electron Beam Litography*"). Detalles de la calidad de los aislantes analizada mediante microscopía pueden encontrarse en [205]. Estos dispositivos han mostrado comportamiento de conmutación resistiva bipolar o de umbral según el material de los electrodos [189, 205] para tamaños tan pequeños como 150 nm x 200 nm y este comportamiento ha sido asociado a la alta densidad de vacancias de boro en las zonas defectuosas del dieléctrico depositado por CVD.

Las curvas I-V típicas para varios dispositivos *crossbar* de 5 μm x 5 μm de sección se

<sup>2</sup>Muestras provistas por Mario Lanza, Soochow University, China.

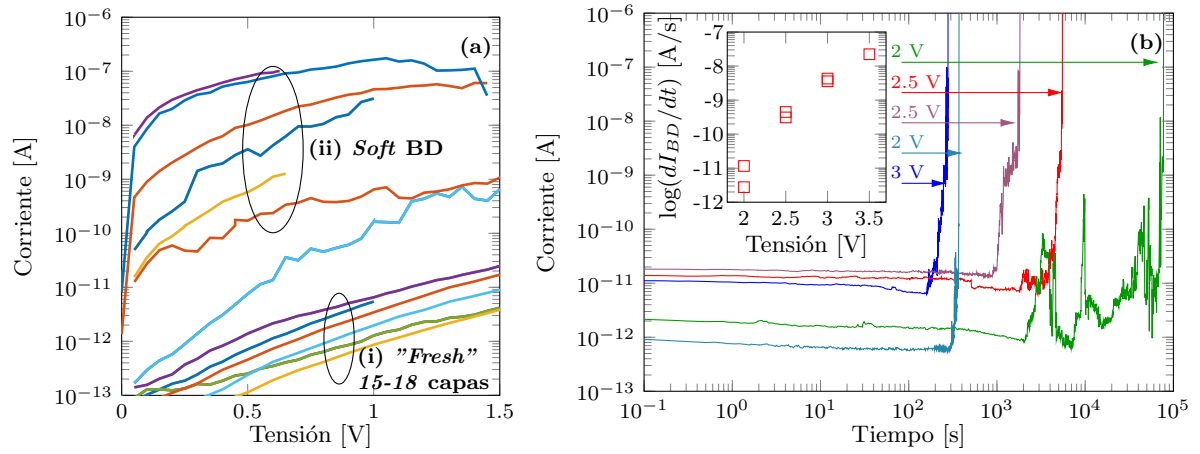


Figura 5.8: (a) Curvas I-V para múltiples dispositivos *crossbar*. (b) Curvas I-t bajo estrés de tensión constante medidos mediante una SMU. El *inset* muestra los valores extraídos de la tasa de degradación para cada tensión aplicada.

muestra en la Fig. 5.8a, en donde es posible observar diferentes niveles de corriente para distintas muestras en condición prístina, con una dependencia muy similar con la tensión. Esto puede asociarse a una diferente cantidad de capas (15-18 [189]) en cada dispositivo medido. Para barridos de tensión más allá de los 2 V, los dispositivos mostraron eventos de ruptura suave (limitación de corriente  $1 \mu\text{A}$ ) que dejan al dieléctrico en una condición de conducción con corrientes por debajo del  $\mu\text{A}$  y una gran cantidad de niveles posibles de conductividad según las condiciones de medición, en forma similar a lo reportado en [189]. La visualización del evento de ruptura bajo estrés de tensión constante se muestra en la Fig. 5.8b para distintas tensiones aplicadas. Los resultados de estas curvas I-t son consistentes con la dinámica progresiva reportada en la literatura para este dieléctrico [23, 187, 207]. Esto se ve validado por la extracción de la tasa de degradación para cada tensión aplicada, como se muestra en el *inset* de la Fig. 5.8b. Puede apreciarse una dependencia con la tensión en la velocidad de crecimiento de la corriente durante la ruptura, apuntando hacia un fenómeno de ruptura progresiva.

Un aspecto poco analizado para estos dieléctricos bajo tensión de estrés constante es el cambio en la morfología de la señal de ruido de corriente a través del aislante, seguido por el incremento progresivo en su valor. Otros autores han utilizado esta herramienta para óxidos basados en silicio o HK [208, 209] o bien han utilizado rampas de tensión para controlar el evento de ruptura. En el caso de los dieléctricos 2D, los resultados reportados incluyen la observación de RTN post ruptura (condición de baja resistividad en dispositivos de conmutación resistiva)[187, 189, 210], o en experimentos mediante

microscopía de fuerza atómica de punta conductiva (CAFM, "Conductive Atomic Force Microscopy") sobre dieléctricos comerciales (Graphene Supermarket) de h-BN depositados por CVD [187, 210, 211].

Sin embargo, la evolución del ruido bajo condiciones de estrés constante y el cambio en la morfología de la señal de corriente bajo distintas condiciones de degradación no han sido sistemáticamente estudiados en dispositivos *crossbar* basados en h-BN multicapa. Ranjan *et al.* mostraron la presencia de ruido RTN anómalo, que se evanesce o modifica con el tiempo a tensión constante [187] utilizando técnicas de CAFM, acusando la presencia de defectos cerca de los electrodos. Por el rol central asociado a las vacancias de boro en la creación de los caminos conductivos a través del h-BN, el estudio sobre dispositivos *crossbar* resulta de importancia ya que, a diferencia del área puntual de escaneo de la punta conductiva de AFM, la interacción de los defectos en dispositivos MIM puede resultar en la competencia de numerosos sitios defectuosos en el dieléctrico, cambiando la observación del ruido y ayudando a comprender las limitaciones de la tecnología y la relación entre los defectos que promueven el incremento de corriente en distintas condiciones de trabajo y degradación.

Utilizando el sistema de medición propuesto en la sección 5.2, se adquirieron señales de ruido bajo tensión de estrés constante (CVS) en los dispositivos más pequeños disponibles ( $25 \mu\text{m}^2$ ) para evitar el enmascaramiento de la señal de ruido ante ele-

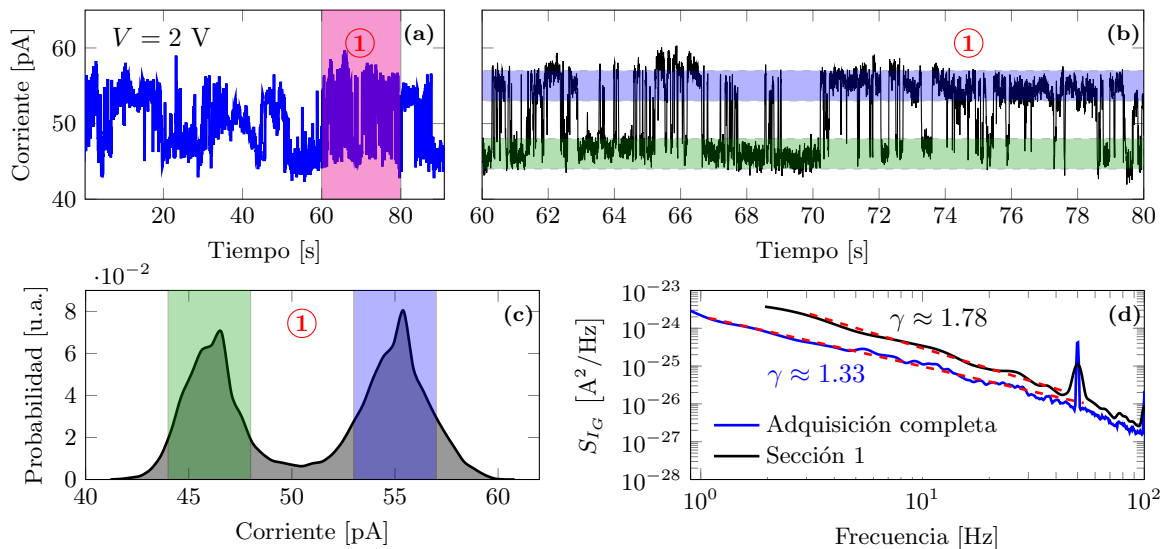


Figura 5.9: (a) 100 segundos de captura del ruido a través de un dieléctrico multicapa de h-BN en condición prístina. (b) Sección 1 mostrando claro RTN de dos niveles (zonas sombreadas). (c) Histograma de la sección 1 confirmando los dos niveles de conducción. (d) Densidad espectral de potencia de ruido para la traza completa (a) y la zona RTN (b).

vados niveles de corriente DC de túnel. Resultados típicos para una adquisición de 100 segundos a 2 V de tensión aplicada sobre un dispositivo en estado prístino se muestran en la Fig. 5.9a. La corriente en el orden de los 50 pA es consistente con las características I-V e I-t obtenidas mediante SMU, en la Fig. 5.8 (grupo (i) de la figura Fig. 5.8a). La zona sombreada (identificada con el número ①) se muestra en detalle en la Fig. 5.9b, apreciando una clara característica de RTN de dos niveles. Un análisis más detallado, utilizando el histograma de corrientes y el espectro de densidad de potencia de ruido se observa en las figuras 5.9c y 5.9d. La distribución de la señal de corriente alrededor de dos niveles bien definidos alrededor de 46 pA y 55 pA se condice con el espectro de ruido de baja frecuencia de la forma  $1/f^\gamma$  con valores para el exponente  $\gamma$  mayores a 1, particularmente para la sección más estable de la señal de RTN, llegando a valores de  $\gamma = 1.78$ . Comportamiento similar de RTN anómalo ha sido observado mediante puntas conductivas en [187] sobre dispositivos sin estresar.

El comportamiento telegráfico puede asociarse a la presencia de un defecto puntual en la estructura del aislante que altera el área efectiva de conducción en el dispositivo MIM, de forma similar a dispositivos MOS basados en óxidos clásicos [177, 186]. Para dieléctricos en capas, este comportamiento sólo fue observado bajo experimentos utilizando CAFM [187], donde la conducción es localizada sobre la posición de la punta conductiva y con la presencia de ruptura por capas [212]. En el caso de los dispositivos MIM, el ruido telegráfico se observó bajo condiciones de ruptura suave, en donde la formación de uno o varios caminos percolativos contribuyen al ruido observado en la señal de corriente [205]. En cambio, para dispositivos *cross-bar* sin estresar, la presencia inestable de la señal telegráfica puede asociarse a atrapamiento de carga y difusión local de vacancias de boro que alteran la electrostática en la cercanía del defecto, probablemente en zonas altamente defectuosas del dieléctrico como los desordenes de la red [189] y con una tensión de activación específica, como otros autores indicaran en [187].

Para verificar esta condición, se realizaron mediciones de ruido a diferentes tensiones por debajo de los 2 V sobre distintas muestras. Si bien no todos los dispositivos muestran este comportamiento a idénticas tensiones, es posible observar RTN bajo condiciones específicas. Las señales I-t para tensiones de 1.5 V y 1.75 V se muestran en la Fig. 5.10a. Mientras a 1.5 V no se observó comportamiento telegráfico, a 1.75 se observa la presencia de RTN de dos niveles con largos intervalos de estabilidad (en el orden de segundos, como muestra el detalle de la zona resaltada). Esta comparativa se aprecia con claridad en la densidad espectral de potencia de ruido, representada en la Fig 5.10b, en donde también se muestra el espectro de una captura realizada a 1.25 V y el piso de ruido del

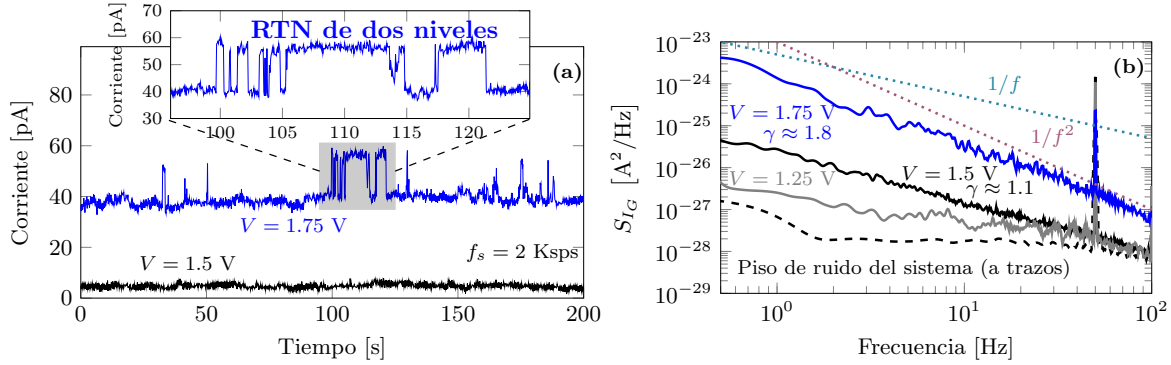


Figura 5.10: (a) Curvas I-t para un dispositivo sin estresar a tensión aplicada 1.5 V y 1.75 V. (b) Densidad espectral de ruido de corriente para las adquisiciones, incluyendo  $V = 1.25$  V y el piso de ruido del sistema. Notar la presencia de RTN a 1.75 V.

sistema de medición (sin tensión aplicada a la muestra). Mientras a tensiones reducidas la característica es  $1/f$  ( $\gamma \approx 1.1$ ), claramente visible sobre el piso de ruido a 1.5 V, a 1.75 V se observa  $\gamma \approx 1.8$ , consistente con RTN de dos niveles.

Sin embargo, no queda claro si la presencia de este tipo de defectos, acusada por el RTN, tiene algún impacto en la degradación de las propiedades aislantes del material. Para esclarecer esta incógnita, se realizaron adquisiciones a tensión de estrés constante en el rango donde se observó comportamiento RTN. El caso de la muestra de la Fig. 5.10 se muestra, para la adquisición completa de 600 segundos, en la Fig. 5.11a, en donde la traza I-t se divide en sectores característicos A-D por colores (de forma similar al trabajo de [187]), en el rango de corrientes hasta 50 nA. Cabe destacar que, por la topología del amplificador de transimpedancia auto-polarizado utilizado en la medición, la corriente se encuentra inherentemente limitada a  $\sim 100$  nA por la red de realimentación y el rango dinámico de DC del amplificador. El objetivo de esta medición es cuantificar la densidad de ruido y evaluar los cambios de morfología a lo largo de la degradación dependiente del tiempo del dieléctrico. Las corrientes bajas evitan que se produzca migración de especies metálicas desde los electrodos, pudiendo afirmar que las vacancias de boro son las principales precursoras del incremento de corriente, dada su baja energía de activación [195, 205]. Bajo estas condiciones, los defectos generados en los dieléctricos delgados no son visibles mediante microscopía TEM, como se demostrara para óxidos clásicos bajo corriente inducida por estrés (SILC) [32], pero su interacción eléctrica podría caracterizarse mediante la evolución del ruido de la corriente. La curva adquirida mediante el sistema de medición de ruido es consistente con las características generales observadas en las mediciones con SMU de la Fig. 5.8. Es interesante observar que, luego

de aproximadamente 300 segundos de comportamiento telegráfico anómalo, comienza a observarse un incremento progresivo de corriente. El análisis espectral observado en los ejes impuestos en la Fig. 5.11a demuestra que hay un cambio de comportamiento de RTN a *flicker* desde el inicio del incremento progresivo de corriente de la sección (B), en donde  $\gamma \approx 1.1$  es un claro indicador de esta naturaleza. Cabe destacar que, incluso a distintos niveles de corriente observados a lo largo del tiempo (el intervalo (C) presenta mayor nivel de corriente que los intervalos (B) y (D)), este nivel de corriente sólo se condice con un aumento de densidad de ruido, pero manteniendo características de  $1/f$ .

Es interesante observar que el nivel más alto de RTN de la muestra en condiciones prístinas de la sección (A) se asemeja al nivel de corriente del intervalo (B). Esto se ve con claridad a través de un histograma de los valores que adopta la señal en estos intervalos, como se muestra en la Fig. 5.11b. El lóbulo correspondiente al estado de alta corriente de la señal telegráfica es coincidente con el lóbulo que caracteriza a la sección B de la captura. Este comportamiento, evidenciado para distintas muestras en distintos niveles de conducción (como se discutirá a continuación) puede indicar que el mismo defecto responsable por la inestabilidad telegráfica es precursor del mecanismo que inicia la ruptura, pudiendo considerarse como una condición de diagnóstico de la calidad y el estado de salud del dispositivo, como se propuso en el pasado para óxidos HK [208].

Una vez conformado el camino conductivo, altamente defectuoso y caracterizado por la presencia de gran cantidad de vacancias, la corriente a través del mismo comienza a crecer a lo largo del tiempo bajo estrés, en donde la interacción de los portadores con los numerosos defectos presentes resultan en un comportamiento de *flicker*. Cabe destacar que este comportamiento no es necesariamente monótono, sino que se caracteriza por cambios en los niveles de corriente antes de volverse monótonamente creciente, como es el caso de las regiones (B), (C) y (D). Este fenómeno se observa hasta que la corriente a través del filamento comienza a aumentar rápidamente, posiblemente por migración de una alta densidad de vacancias de boro dentro de la estructura del dieléctrico [23].

Para verificar que este comportamiento no es exclusivamente anecdótico de una condición particular de degradación de un dispositivo, se realizó un estudio similar en dispositivos en condición de ruptura suave (SBD), con las características I-V dentro del grupo (ii) de la Fig. 5.8a. De forma similar a lo reportado para experimentos con puntas conductivas, la corriente en estas condiciones a tensión constante presenta fuertes inestabilidades, mostrando diferentes morfologías a lo largo de una captura temporal como se muestra en la Fig. 5.12. Algunas secciones destacadas para su análisis numeradas (1)-(4), siguiendo la metodología utilizada en [187], se muestran en la Fig.



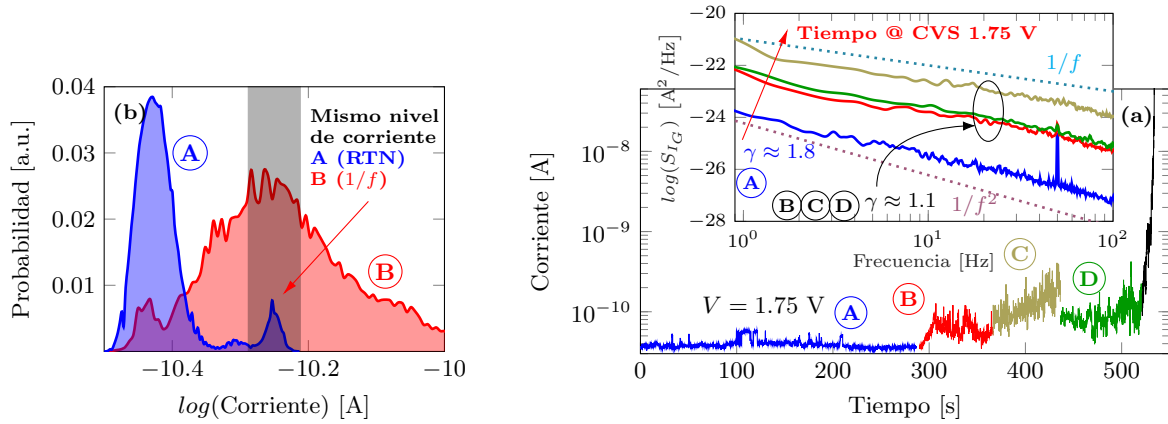


Figura 5.11: (a) Misma muestra de la Fig. 5.9 pero para una captura completa de 600 segundos, mostrando el evento de ruptura (a partir de B) y el crecimiento progresivo de la corriente. El *inset* muestra el espectro de ruido de cada sección A-D de la captura. (b) Histograma de las secciones A y B, mostrando coincidencia en el nivel de corriente máximo del RTN y el nivel de corriente en la sección B, que muestra comportamiento de *flicker*.

5.12. A su vez, la densidad espectral de potencia de ruido de cada sección se detalla en la Fig. 5.13a. A diferencia de experimentos utilizando CAFM, puede distinguirse una región de RTN de 2 niveles (sección ③,  $\gamma \approx 1.7$ ) respecto de zonas de ruido rosa (①, ② y ④,  $\gamma \approx 1.25$ ), sin niveles concretamente definidos y con una elevada densidad de ruido.

De forma similar a lo observado en las muestras en estado prístino, el nivel de corriente alto del RTN de la sección ③ muestra una coincidencia con el nivel de corriente de ruido rosa de la sección ④, como muestra el histograma de la Fig. 5.13b. Este comportamiento apunta a que la señal de RTN en condiciones de SBD puede interpretarse como la competencia de dos (o más) caminos de defectos [205] o la nucleación de nuevos defectos en el camino conductivo original, como fuera sugerido en la literatura [25]. La ausencia posterior de RTN y un aumento de densidad de potencia de ruido indican la presencia de múltiples defectos promoviendo la conducción a través del dieléctrico, como se observara para óxidos HK bajo ciclos de estrés [208]. Cabe destacar que, por los bajos niveles de corriente en los que se lleva a cabo la caracterización, el desplazamiento de las vacancias de boro se perfilan como principales responsables de las señales de ruido presentes. Los largos intervalos observados de ruido RTN anómalo pueden asociarse a que el flujo de portadores a través del filamento condiciona el atrapamiento aleatorio de carga, promoviendo la activación o no del fenómeno de RTN.

Mediante el análisis del ruido bajo condiciones de estrés constante, es posible relacionar los defectos característicos de aislantes 2D con la dinámica de degradación bajo

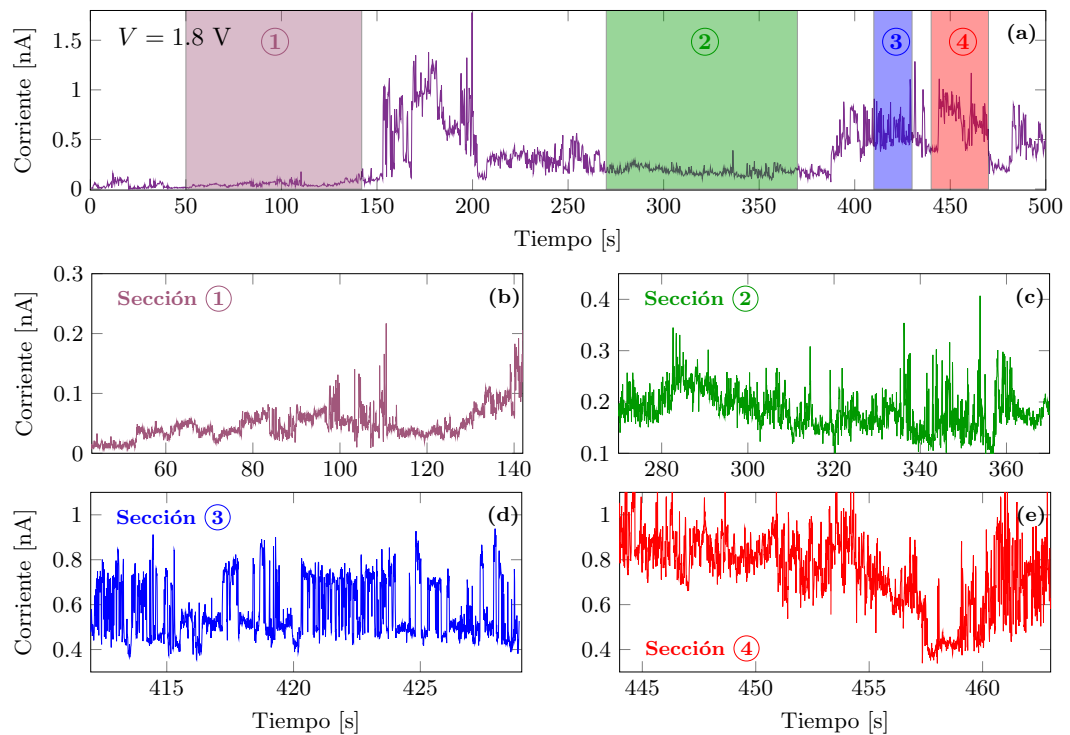


Figura 5.12: Curvas I-t para un dispositivo en condiciones de SBD a tensión constante, para secciones mostrando distintas morfologías de la señal.

distintas condiciones de conducción. Este comportamiento puede ser utilizado como herramienta de diagnóstico de la presencia de defectos puntuales o nucleación de nuevos caminos percolativos/agrandamiento de caminos preformados [25, 205]. Comprender este mecanismo en dispositivos *cross-bar* permite acercarse más al impacto posible de estos fenómenos a nivel de la aplicación, a diferencia de experimentos de CAFM [187, 210] que son herramientas potentes para entender la física de la generación puntual de defectos en las capas dieléctricas pero no representan la aplicación real del dispositivo. En un dispositivo real, es esperable la competencia de numerosos puntos defectuosos en la estructura, lo cual puede resultar tanto en ruido telegráfico como en ruido rosa, condicionando los niveles de operación en una aplicación real.

## 5.4 Conclusiones

En este capítulo se revisaron algunos conceptos fundamentales del ruido en dispositivos electrónicos. Por las aplicaciones abarcadas en este trabajo, se centró la atención en el ruido de canal en transistores MOSFET y el ruido de la corriente a través de aislantes

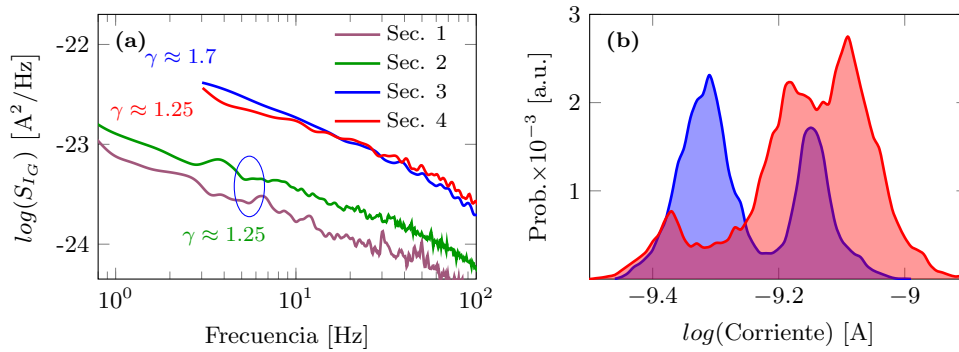


Figura 5.13: (a) Densidad espectral de potencia de ruido para las secciones 1-4 de la Fig. 5.12.(b) Histograma de las secciones 3 y 4, mostrando también en SBD la coincidencia de niveles de conducción en SBD.

delgados. Se implementó una solución de caracterización de bajo ruido, se la validó para transistores MOSFET comerciales y se la utilizó para experimentos de medición de ruido a tensión de estrés constante en novedosos dispositivos MIM basados en nitruro de boro hexagonal. Los resultados del ruido bajo experimentos de estrés a tensión constante no han sido reportados previamente para este tipo de estructuras, existiendo una limitada cantidad de datos disponibles de mediciones del ruido de baja frecuencia en experimentos con CAFM. Los resultados reportados aquí, mostrando una evolución de ruido telegráfico a ruido rosa del aislante bajo degradación, pueden ayudar a diagnosticar la presencia de defectos (primordialmente vacancias de boro) en dispositivos prístinos que pueden promover la generación de puntos de ruptura en el dieléctrico a bajas corrientes, contribuyendo a la comprensión de la inestabilidad del estado de conducción en aplicaciones de memorias resistivas con estos materiales.



## DISEÑO PARA CONFIABILIDAD DE CIRCUITOS DE RF

El número de dispositivos complejos interconectados en forma inalámbrica por radiofrecuencia se encuentra en un aumento exponencial con el tiempo [41]. En este contexto, el impacto de la confiabilidad a nivel de los dispositivos sobre el desempeño del sistema es desde hace ya algunos años de particular interés para la comunidad científica e industrial. Las condiciones de funcionamiento de los transistores MOSFET en circuitos de RF, en términos de la convivencia entre señales de alta frecuencia y señales de DC, hacen del problema de fiabilidad uno considerablemente más complejo de analizar no solo desde el punto de vista de los fenómenos físicos sino en el aspecto experimental y en las condiciones de diseño. A lo largo de este capítulo, y desde la perspectiva de un diseñador de circuitos integrados, se evalúan experimentalmente y mediante simulaciones las relaciones de compromiso que surgen al integrar la confiabilidad en etapas tempranas de diseño. De este modo, se proponen técnicas para paliar los efectos del envejecimiento de los dispositivos sobre las cifras de mérito del circuito.

### 6.1 Bloques fundamentales del RFFE

Un *front-end* típico de un circuito integrado de RF se representa en la Fig. 6.1, específicamente para un transceptor ZigBee en la banda de 2.4 GHz [213]. Los bloques remarcados en rojo son algunos de los puntos neurálgicos del sistema, como el amplificador de entrada de bajo ruido (LNA, *Low Noise Amplifier*), el amplificador de salida o de potencia (RF PA, "*RF Power Amplifiers*") y los osciladores controlados por tensión (VCO,

"Voltage Controlled Oscillator", que se desempeñan en el sintetizador de frecuencias que cumple la función de oscilador local. Si bien todos los circuitos comparten la naturaleza analógica manejando señales de microondas, las condiciones de funcionamiento son muy distintas según la función de cada bloque: mientras que el LNA es un circuito que por naturaleza opera con señales pequeñas y, por ende, analizable en su equivalente lineal, el PA es un circuito fuertemente no lineal que opera con grandes variaciones de señal tanto a la entrada como a la salida. Por su parte el VCO resulta un punto medio entre ambos casos ya que su análisis suele realizarse en términos de modelos lineales pero su funcionamiento puede involucrar grandes niveles de señal, estresando los transistores involucrados. Ante la relevancia actual del tópico, este capítulo busca considerar los conceptos de confiabilidad estudiados desde la perspectiva del diseñador de circuitos integrados, específicamente en bloques monolíticos de RF, puntualmente de RF PA y VCO.

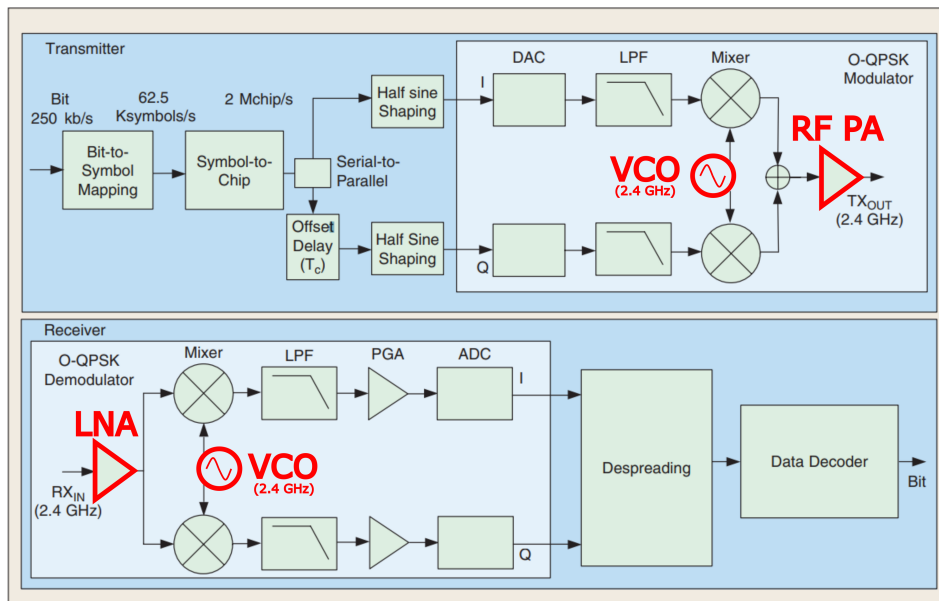


Figura 6.1: Diagrama en bloques de un transceptor ZigBee que opera la banda de 2.4 GHz. Los bloques centrales en circuitos integrados se destacan en rojo. Reproducida y adaptada de [213].

## 6.2 Confiabilidad en osciladores de RF controlados por tensión

### 6.2.1 Generalidades sobre CMOS VCO y ruido de fase

Los osciladores controlados por tensión cumplen una función crítica en la sintonía tanto para transmisión como para recepción de señales de microondas. Entre sus principales parámetros de desempeño, un VCO estará caracterizado por el rango de frecuencias de sintonía respecto a la frecuencia central, la forma de onda de salida, la amplitud de la señal de salida, la capacidad de manejo bajo carga, la sensibilidad a la fuente de alimentación, el consumo de potencia y el ruido de fase [214]. La especificación para cada parámetro depende fuertemente de la aplicación del circuito, principalmente de la norma bajo la cual se diseña el transceptor.

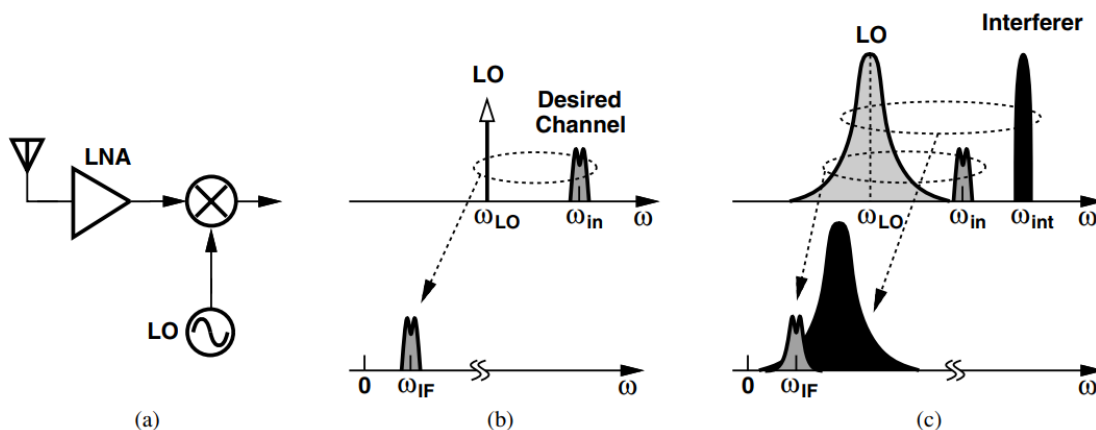


Figura 6.2: Representación del impacto del ruido de fase en un VCO sobre la recepción (a) de un canal de comunicación deseado (b) y el impacto de interferentes cercanos (c). Reproducido de [214].

La importancia del ruido de fase como especificación fundamental de un VCO se resume en la Fig. 6.2, en donde se muestra el diagrama en bloques de un receptor simplificado y el resultado del proceso de mezcla con el espectro del oscilador local (*local oscillator*, LO). La presencia de señales interferentes en proximidad con el canal de interés pueden, en el caso de tener una pureza espectral baja en el LO, enmascarar la señal deseada en el proceso de mezclado. Al estar generalmente construidos alrededor de un tanque LC, este inconveniente podría resolverse elevando la selectividad del mismo, pero el factor de calidad de los inductores planares en implementaciones CMOS totalmente integradas son un claro cuello de botella en este tipo de aplicaciones. Para

la tecnología de 130 nm utilizada en análisis posteriores en este trabajo, el barrido de todas las opciones constructivas de los inductores provistos por el fabricante nos permite caracterizar el espacio disponible de inductancias en dicha tecnología [215]. La Fig. 6.3a muestra, para todos los inductores disponibles, el valor del factor de calidad ( $Q_0$ ) en función del valor de inductancia ( $L$ ), mientras que la Fig. 6.3b muestra los valores de resistencia pérdidas de un modelo equivalente paralelo  $R_p - L_p$  en función de  $L$ . Estos mapas permiten visualizar las limitaciones de calidad de los inductores integrados, que generan un cuello de botella en el diseño de las redes de adaptación: aquellos con un factor de calidad alto,  $Q_0 > 20$ , se limitan a valores de  $L$  entre 400 pH y 1 nH y el diámetro de estos inductores es generalmente el máximo disponible, consumiendo una gran cantidad de área de silicio.

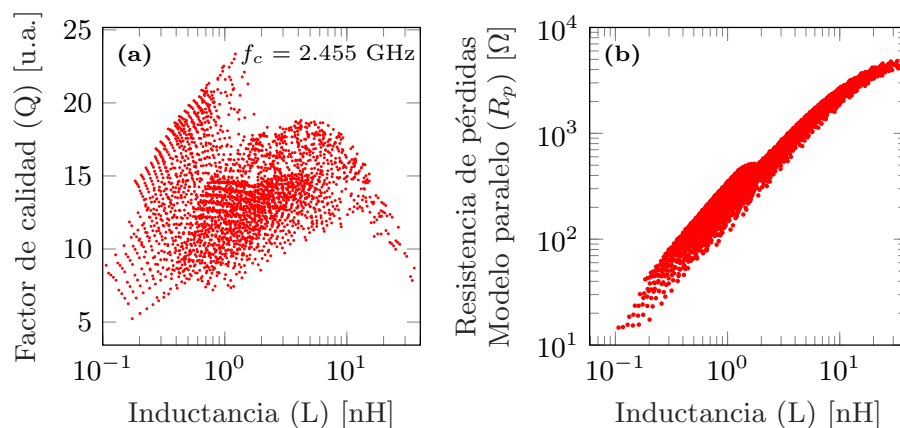


Figura 6.3: Espacio de inductores disponibles en tecnología CMOS de 130 nm, barriendo todos los parámetros de diseño disponibles en el kit de diseño. (a) Factor de calidad y (b) resistencia de pérdidas paralelo en función del valor de la inductancia.

Incluso con estas limitaciones prácticas, los VCO basados en transistores MOSFET son utilizados en la mayoría los SoC CMOS de RF, otorgando una buena relación de compromiso entre complejidad de diseño, desempeño y área de silicio. Uno de los circuitos mas populares en tecnologías CMOS es el basado en transistores acoplados (*cross-coupled*), pudiendo implementarse con transistores complementarios o bien íntegramente con transistor de canal P o canal N. Este último caso se muestra en el circuito esquemático de la Fig. 6.4a, junto con una rama de polarización. Los transistores  $M_1$  y  $M_2$  son un par diferencial con sus entradas acopladas de forma cruzada sobre los terminales de drenaje. Esto genera un lazo de realimentación positiva que, en las condiciones propicias de diseño, produce oscilaciones sostenidas en el tiempo. El transistor  $M_{tail}$  fija la corriente de polarización del par diferencial (como copia escalada de  $I_{ref}$  a través del espejo



de corriente  $M_0 - M_{tail}$ ) y juega un papel fundamental en el desempeño del VCO. El capacitor de sintonía  $C$  es generalmente un varactor que suele implementarse en un proceso CMOS como una juntura hiper-abrupta o un capacitor MOS, controlando con la tensión de DC  $V_c$  la sintonía del tanque LC.

Por su importancia como bloque constructivo, los VCO han sido objeto de estudio por diversos autores buscando la optimización durante el diseño [216–218]. Considerando que el análisis de osciladores controlados puede realizarse asumiendo un modelo lineal de AC, el método  $g_m/I_D$  ha demostrado ser de gran utilidad en la exploración del espacio de diseño en una tecnología determinada, obteniendo diseños optimizados sin recurrir a reglas generales o numerosas iteraciones de simulador. Para el VCO basado en transistores n-MOSFET de la Fig. 6.4a, se puede derivar que las especificaciones fundamentales del VCO pueden calcularse según [218]:

$$(6.2.1) \quad V_{out} \approx \frac{8 I_{tail}}{\pi g_{tank}}$$

$$(6.2.2) \quad \mathcal{L}_{1/f^2} = 10 \log \left( \frac{k_b T \pi^2}{64} \frac{1}{Q^2} \frac{g_m}{I_D^2} \frac{f_0^2}{\Delta f^2} \lambda \right)$$

$$(6.2.3) \quad \lambda = \frac{\gamma}{\alpha_{eq}} + \frac{g_{tank}}{g_m}$$

$$(6.2.4) \quad f_{c_{1/f_0^3}} \approx k_0 \frac{K_F \alpha_{eq}}{4k_b T \gamma} \frac{g_m}{I_{tail}} i \frac{1}{L^2}.$$

La amplitud de salida puede aproximarse, despreciando el impacto de las conductancias de salida de los transistores, según la Ec. (6.2.1), donde  $I_{tail}$  es la corriente de polarización del par diferencial y  $g_{tank}$  es la conductancia del tanque LC a la frecuencia de interés, compuesta por las pérdidas del varactor y el inductor. Por su parte, la Ec. (6.2.2) representa la región Lorentziana del ruido de fase del VCO  $\mathcal{L}_{1/f^2}$ , es decir la dominada por el ruido térmico de los dispositivos involucrados. En esta expresión,  $k_b$  es la constante de Boltzmann,  $T$  es la temperatura absoluta,  $Q$  es el factor de calidad o selectividad del tanque LC,  $g_m$  es la transconductancia e  $I_D$  la corriente de polarización de los transistores del par diferencial. El parámetro  $\lambda$  es calculado según la Ec. (6.2.3), en donde  $\gamma$  es la constante de ruido térmico de los transistores y  $\alpha_{eq}$  es la relación entre transconductancia  $g_m$  y conductancia del canal medida para  $V_{DS} = 0$  V  $g_{ds0}$ , es decir  $g_m/g_{ds0}$ .

Para un proceso CMOS de 130 nm y considerando un VCO que opere en la banda de 2.455 GHz, un diseño que maximice el factor de calidad del tanque LC con un varactor MOS resulta en las especificaciones de las Fig. 6.4b y 6.4c, que muestran la frecuencia de sintonía  $f_0$  en función de la tensión de control  $V_c$  y el ruido de fase relativo  $\mathcal{L}$  en función de la frecuencia respecto a la fundamental  $\Delta f$ , respectivamente. En esta última gráfica se puede apreciar, con la ayuda de las líneas a trazos que representan dependencias  $1/f^2$  (verde) y  $1/f^3$  (roja), que el ruido de flicker de los transistores contribuye a un incremento en el ruido de fase en las frecuencias cercanas a la fundamental, lo que se conoce como *close-up noise* en la literatura [214, 219]. Una forma de caracterizar esta zona, asumiendo que seguirá una distribución según  $1/f^3$  es obteniendo la frecuencia de transición  $f_{c_{1/f^3}}$  entre ambas regiones. Igualando la Ec. (6.2.2) con la derivación de la zona  $1/f^3$  [218], puede aproximarse la Ec. (6.2.4),  $K_F$  es la constante flicker del par diferencial,  $L$  es la longitud del canal e  $i$  es la corriente de drenaje normalizada respecto a la relación de aspecto de los MOSFETs.

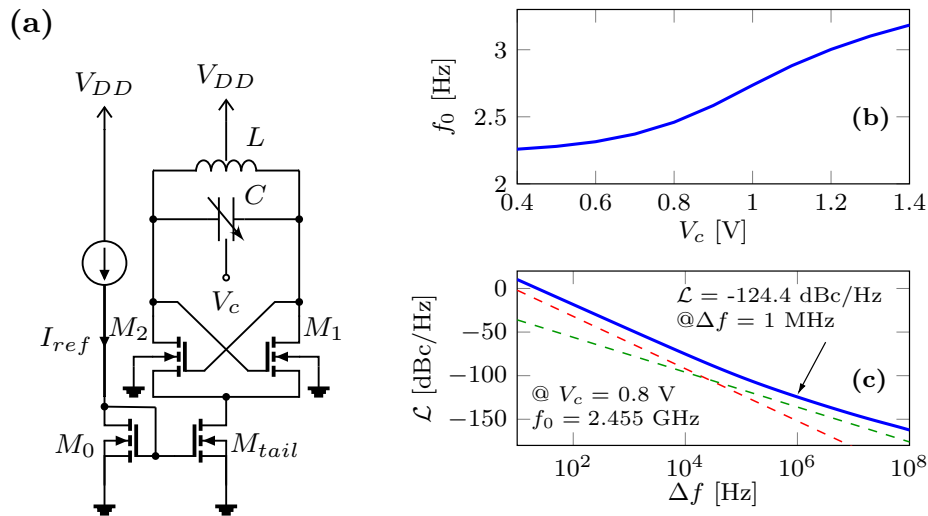


Figura 6.4: (a) Circuito esquemático de un VCO de transistores n-MOSFET acoplados, polarizado con espejo de corriente. (b) Frecuencia de sintonía en función de  $V_c$  y (c) ruido de fase en función de la frecuencia respecto a la fundamental para el VCO diseñado en tecnología de 130 nm.

## 6.2.2 Simulación integral de la confiabilidad de CMOS VCOs

El ruido de fase ha sido el foco en diversas propuestas de optimización de diseño de VCO en tecnologías CMOS [217, 218, 220], por las exigentes demandas de las normas en cuanto a esta especificación [221]. Cuando sumamos a estas exigencias la dimensión de

la confiabilidad, es posible que la degradación paramétrica de los transistores del circuito con el paso del tiempo saque de especificación al oscilador, pudiendo resultar en el cese del funcionamiento del transceptor completo o bien con una tasa elevada, no tolerable, de errores en la comunicación [222]. Los problemas de confiabilidad en RF VCOs han sido abordados por diversos grupos en la literatura a lo largo de los años [192, 193, 223–229]. A pesar de estos esfuerzos, no existe a la fecha un consenso general respecto a la causa de la severa degradación del ruido de fase en estos osciladores cuando se somete a los transistores a condiciones de estrés acelerado.

Por un lado, algunos autores contemplan el problema desde una perspectiva de diseño, atribuyendo el incremento del ruido de fase a la degradación paramétrica de DC de los transistores del circuito [224, 226, 228, 229], marcando como dispositivo crítico al transistor  $M_{tail}$  por su impacto en las especificaciones. Sin embargo, los transistores más estresados del circuito son usualmente los del par diferencial, ya que experimentan la excursión completa de la señal de RF sobre sus terminales de compuerta y drenaje. En cambio, el transistor de polarización suele estar, asumiendo buenas prácticas de diseño del espejo de corriente, muy levemente estresado por operar a tensiones bajas, con lo cual desde el punto de vista de la exigencia sobre los dispositivos, es esperable que la degradación del par diferencial sea más rápida que la de  $M_{tail}$ .

Por otro lado, evidencia experimental apunta como responsable al incremento en el ruido de los transistores luego de someter los óxidos de compuerta a estrés [192–194]. Como verificación de este fenómeno a nivel del dispositivo, la Fig. 6.5 muestra resultados de mediciones del ruido normalizado de drenaje sobre transistores MOSFET de una tecnología CMOS de 130 nm sometidos a intervalos de estrés por HCI. Los datos son

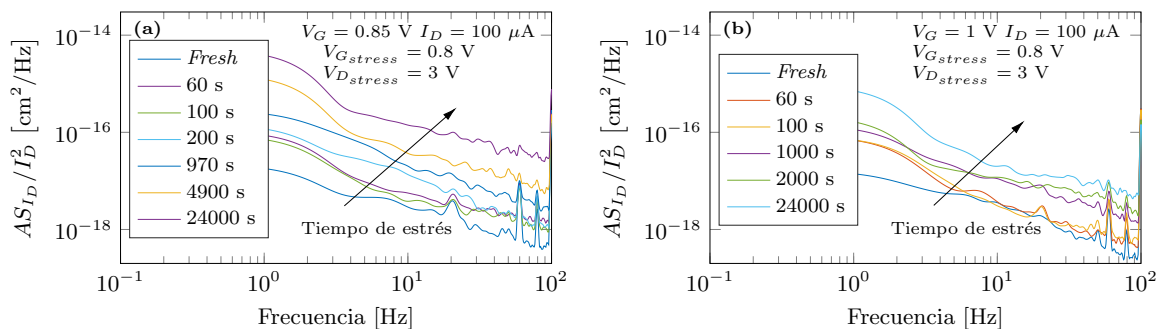


Figura 6.5: Mediciones del incremento progresivo de la densidad normalizada de ruido para  $I_D = 100 \mu\text{A}$  en transistores n-MOSFET de 130 nm de longitud de canal, tras intervalos de estrés por HCI a tensiones  $V_{G_{stress}} = 0.8 \text{ V}$  y  $V_{D_{stress}} = 3 \text{ V}$ . (a) Medido a  $V_G = 0.85 \text{ V}$ . (b) Medido a  $V_G = 1 \text{ V}$ .

reportados para dos condiciones de polarización de compuerta ( $V_G = 0.85$  V y  $V_G = 1$  V) a una corriente de drenaje de  $100 \mu\text{A}$ , mientras que los intervalos de estrés se llevaron a cabo a  $V_{G_{stress}} = 0.8$  V y  $V_{D_{stress}} = 3$  V. El incremento de la densidad normalizada de ruido es evidente con el tiempo bajo estrés. A pesar de esta evidencia experimental, los estudios a través de simulación de la confiabilidad de VCOs [224, 226, 228, 229] no han, hasta la fecha, incluido este efecto en sus exploraciones.

La Fig. 6.6 muestra los resultados del aumento relativo de la potencia normalizada de ruido en transistores MOSFET en función de la degradación relativa de la tensión de umbral bajo estrés de HCI, reportada por diversos autores en la literatura (símbolos vacíos)[193, 216, 230, 231]. A su vez, se superponen datos de las mediciones de la Fig. 6.5 para la tecnología de 130 nm en la cual se diseñó el VCO de la Fig. 6.4a. Si bien la dispersión es grande, el aumento relativo de la densidad de ruido se observa claramente para todos los casos reportados, con un incremento tan grande como 10 veces el valor inicial para un incremento de apenas el 10 % en  $V_{th0}$ . Para la tecnología de referencia, considerando un valor  $V_{th0} \approx 0.3$  V, esto supone un  $\Delta V_{th_{HCI}} = 30$  mV, que es una degradación esperable para condiciones nominales de operación a lo largo de la vida útil de un circuito en tecnologías sub-micrométricas. Cabe destacar que, si bien todos estos datos representan el aumento del ruido de flicker, el ruido a altas frecuencias también se ve incrementado al generarse estados de interfaz superficiales de rápida respuesta, como fuera reportado por mediciones experimentales de la cifra de ruido en altas frecuencias en la literatura [58, 232–234].

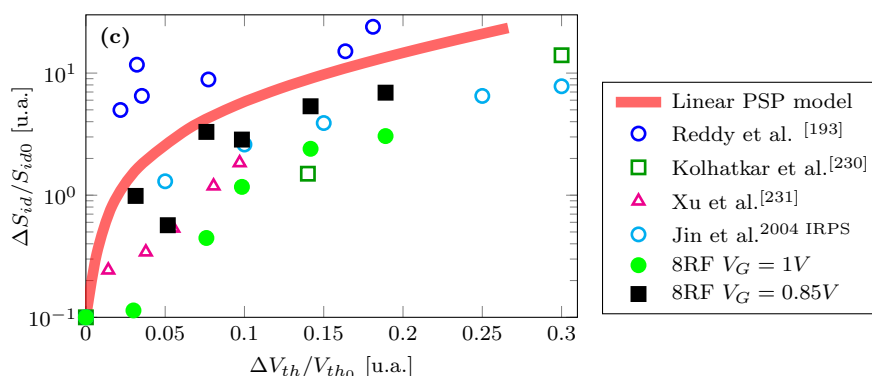


Figura 6.6: Datos experimentales de la literatura y de las mediciones de la Fig. 6.5 de variación relativa de  $S_{Id}$  en función del incremento  $\Delta V_{th}$  debido a HCI. Una dependencia lineal se describe por la curva roja, para ser implementada en SPICE.

Revisando las Ec. (6.2.2) y (6.2.4), desde el punto de vista del diseño el ruido intrínseco de los MOSFET está incluido a través de los parámetros de flicker  $K_F$  (a bajas frecuencias)

y de ruido térmico  $\gamma$  (a altas frecuencias). El ruido en baja frecuencia guarda una cercana relación con la densidad de defectos en el óxido de compuerta, mientras que el ruido a altas frecuencias bajo condiciones de degradación se ha atribuido a la creación de estados de interfaz muy cercanos al canal [232–234]. Si bien el ruido exclusivamente térmico no se encuentra relacionado a la presencia de trampas en el dispositivo, un incremento en la concentración de defectos bajo condiciones de estrés puede modelarse en forma compacta como un aumento en los parámetros característicos del modelo de ruido a bajas y altas frecuencias, de modo de observar un incremento relativo de las densidades de ruido. Como consecuencia, veríamos un impacto directo en las especificaciones del VCO, en forma similar a lo reportado por estudios experimentales [192–194]. En este contexto, se propone una metodología de simulación en SPICE que permita incluir la degradación del ruido de los transistores bajo estrés. Valiéndonos de que los modelos de degradación paramétrica de DC han mostrado una buena representación de los efectos del estrés [193, 216, 230, 231], vincular el comportamiento de estos parámetros al incremento del ruido del canal se presenta como una opción lógica.

La curva roja en la Fig. 6.6 corresponde a una relación lineal entre la densidad de ruido normalizada y el incremento relativo de la tensión de umbral, con un aumento unitario cada aproximadamente 6.25 mV de  $\Delta V_{th}$ . Se aprecia que, a pesar de la gran dispersión de los datos experimentales, esta función puede ser una buena representación del comportamiento general del ruido con el envejecimiento. Dentro del modelo PSP o BSIM de SPICE para transistores MOSFET, desde la versión 3.3 se destacan dos parámetros generales para describir la densidad de ruido del canal:  $NFTO$  en lo que respecta al ruido térmico y  $NFALW$ ,  $NFBLW$  y  $NFCLW$  en lo que respecta al ruido de flicker. De este modo, se incluye esta degradación en el modelo de SPICE mediante un parámetro de proporcionalidad  $k_{deg\_n}$  como sugieren las ecuaciones (B.4.2) a (B.4.5) del apéndice B. A primer orden, se asume que tanto ruido térmico como de flicker aumentan en la misma proporción con el desvío de la tensión de umbral. Esto puede ser fácilmente modificable independizando los parámetros de proporcionalidad con distintos valores para cada fenómeno.

Para la tecnología utilizada de 130 nm, el impacto de este modelo sobre el ruido de un transistor MOSFET individual en SPICE se aprecia en la Fig. 6.7 para el incremento de los parámetros de (a) sólo el ruido de flicker, (b) sólo el ruido térmico y (c) las dos componentes en la misma proporción, para distintos valores de  $\Delta V_{th_0}$ . De este modo tenemos una estrategia de simulación de la degradación por HCI que integra los parámetros críticos para el diseño de VCO y que a su vez puede ser naturalmente extendida a otros

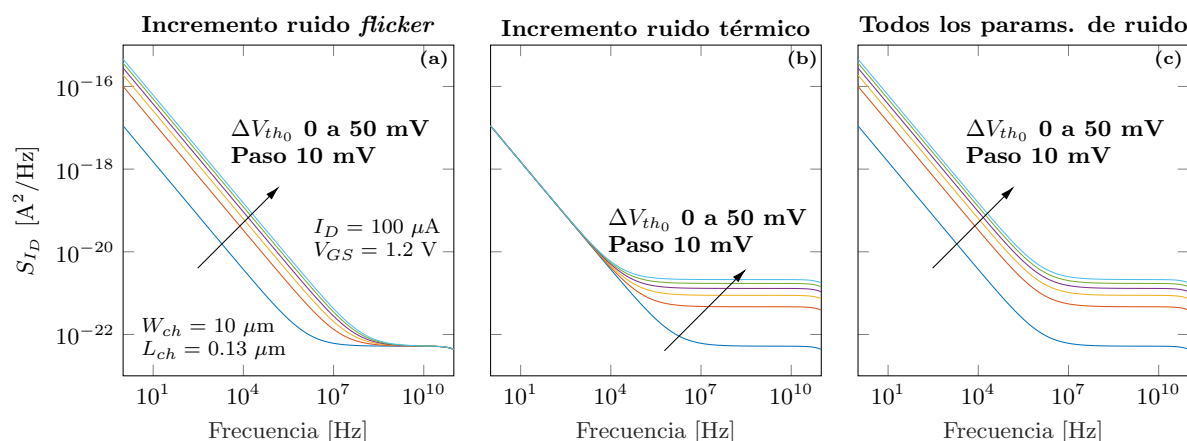


Figura 6.7: Simulaciones de la densidad espectral de potencia de ruido de la corriente de drenaje de un MOSFET en la tecnología de 130 nm utilizada para este estudio. Usando las ecuaciones (B.4.2) a (B.4.5) se observa el impacto sobre el modelo del incremento (en función de  $\Delta V_{th_0}$  de (a) los parámetros de *flicker*, (b) el parámetro de ruido térmico y (c) los cuatro parámetros juntos.

circuitos sensibles al ruido, como el LNA.

Con esta metodología, se procede a evaluar en forma completa la sensibilidad del VCO a la degradación de cada transistor y analizar la contribución de cada fenómeno (DC o ruido) al aumento del ruido de fase del circuito, a partir de simulaciones basadas en una combinatoria de casos: (i) se consideró la degradación de los parámetros de DC únicamente ( $\Delta V_{th_{HCI}}$  y  $\mu_{HCI}$ ), de forma similar a otros autores; (ii) de los parámetros de ruido únicamente (barriendo el parámetro  $\Delta V_{th}$  pero sin actualizar la tensión de umbral de los MOSFET en SPICE); y (iii) la degradación de todos los parámetros al unísono. En forma anidada a estos casos, se realizaron simulaciones considerando (a) la degradación del par de polarización  $M_0 - M_{tail}$  únicamente, (b) del par diferencial  $M_1 - M_2$  únicamente y (c) de todos los transistores del circuito, con el objetivo de identificar cuál de ellos representa el mayor riesgo para el circuito completo. Cabe destacar que los transistores se degradan de a pares ya que las condiciones de estrés son muy similares para cada transistor en el par.

Esto resulta en un total de 9 simulaciones cuyos resultados de interés se resumen en la Fig. 6.8. Las Figs. 6.8a y 6.8b muestran los resultados para la degradación de los parámetros de DC únicamente, en forma similar a estudios de otros autores [224, 226, 228, 229]. Mientras que la Fig. 6.8a corresponde a la amplitud de salida de la señal del VCO, incluida por ser una especificación de interés asociada a las características DC de los dispositivos, la Fig. 6.8b corresponde al aumento absoluto del ruido de fase  $\Delta \mathcal{L}$  respecto al valor nominal de la Fig. 6.4a en función del incremento  $\Delta V_{th}$ . Los símbolos

## 6.2. CONFIABILIDAD EN OSCILADORES DE RF CONTROLADOS POR TENSIÓN

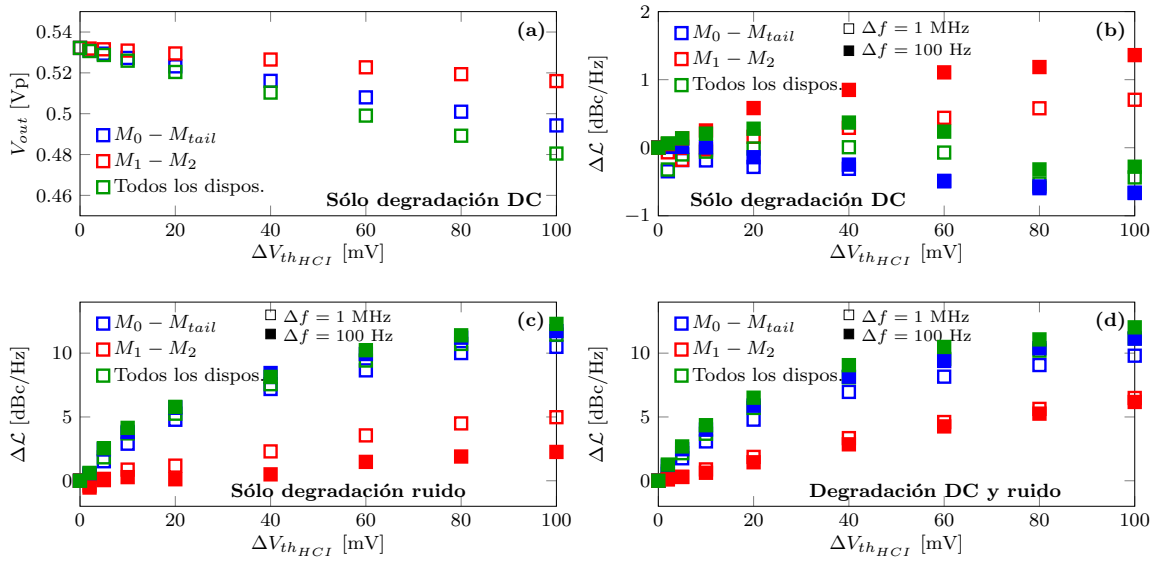


Figura 6.8: Impacto de la degradación por HCI de cada par de transistores del circuito. (a) Tensión pico de salida del oscilador y (b) ruido de fase medido en la cercanía ( $\Delta f = 100$  Hz) y alejado ( $\Delta f = 1$  MHz) de la portadora, para degradación de los parámetros de DC únicamente. (c) Ruido de fase bajo degradación hipotética de los parámetros de ruido de los transistores únicamente. (d) Caso más realista de degradación conjunta de DC y ruido de los transistor bajo estrés.

vacíos corresponden a la degradación del ruido de fase para cada simulación medida a  $\Delta f = 1$  MHz, es decir en la zona  $1/f^2$ , mientras que los símbolos llenos refieren al ruido de *close-up*, medido a  $\Delta f = 100$  Hz. Mientras que la degradación de los dispositivos de polarización (azul) no muestra un impacto claro en la degradación del ruido de fase, los transistores del par diferencial (rojo) parecen ser responsables de un leve incremento en el mismo a medida que su característica de DC se degrada. Un escenario donde todo los dispositivos se degradan en la mismo proporción (verde) no muestra una tendencia clara en la degradación del ruido de fase, abriendo interrogantes sobre la sensibilidad del circuito a estas condiciones. Cabe destacar, de todos modos, que considerar el mismo nivel de degradación para los cuatro dispositivos no es un escenario realista, ya que los transistores de polarización no sufren estrés de RF, y que sólo es considerado dentro de este análisis exploratorio.

La Fig. 6.8c muestra los mismos resultados que la figura anterior pero para el escenario que contempla únicamente la degradación del ruido de los dispositivos. Si bien este escenario no es realista, es una herramienta útil para comparar las contribuciones de cada fenómeno en este análisis exploratorio. El resultado más destacable es el fuerte impacto sobre el ruido de fase del incremento del ruido en los transistores de polarización:

para incrementos de  $\Delta V_{th} \sim 20$  mV, el ruido de fase puede aumentar en el orden de los 5 dBc/Hz. Esto supone que, si no se toman márgenes de seguridad suficientes en la especificación, el VCO puede caer fuera de norma dentro de su vida útil. Los transistores del par diferencial tienen una leve contribución a la degradación total, pero debemos considerar que son los más estresados del circuito con lo cual su impacto no debe ser despreciado. Finalmente la Fig. 6.8d muestra los resultados considerando la degradación de todos los parámetros y dispositivos del circuito, obteniendo resultados muy similares a los de la Fig. 6.8c.

La metodología de simulación propuesta permite incluir el incremento de la densidad de ruido en transistores MOSFET bajo estrés de HCI, lo cual no ha sido considerado hasta el momento en diversos estudios de confiabilidad de circuitos sensibles al ruido. La aplicación de un modelo compacto directamente en SPICE permite, en un análisis exploratorio, observar que para condiciones puntuales de diseño, el incremento de la densidad de ruido en los transistores es el principal responsable de la degradación del ruido de fase en un RF VCO [235]. Esto es de vital importancia en el diseño de circuitos confiables, ya que un diseñador puede esperar, para tensiones de trabajo nominales, una degradación de decenas de mV en la tensión de umbral de los MOSFET, lo que se traduce en un aumento para nada despreciable del ruido de fase en el VCO propuesto. Si bien la dinámica del incremento del ruido en los transistores con el estrés es fuertemente dependiente de la tecnología y de las condiciones de trabajo, la metodología aquí propuesta puede extenderse con relativa facilidad a otras tecnologías y también a otros circuitos sensibles al ruido, como los LNA. A su vez, nuevos desafíos en tecnologías profundamente escaladas, como el ruido telegráfico y la variabilidad estocástica en función del tiempo [184, 236, 237] hacen aún más necesaria una visión integral para la simulación de la confiabilidad que incluya todos los efectos conocidos sobre los parámetros de los dispositivos y no simplemente la visión paramétrica de DC de los mismos.

### **6.3 Confiabilidad en amplificadores de potencia de RF CMOS**

El amplificador de potencia (PA, "*Power Amplifier*") de RF es un circuito que maneja altas tensiones y corrientes, llevando a los transistores al límite de la confiabilidad en un contexto de fuertes relaciones de compromiso entre linealidad, área de silicio ocupada y eficiencia a un nivel de potencia de salida determinado. Por esta razón, esta sección se encuentra dedicada a la confiabilidad en este tipo de circuitos desde la



perspectiva del diseñador, bajo la hipótesis de que es posible optimizar las cifras de mérito del PA bajo una estimación de confiabilidad determinada, evitando márgenes de seguridad sobredimensionados y aprovechando al máximo las posibilidades que ofrece una tecnología.

### 6.3.1 Conceptos básicos de diseño de CMOS RF PA

En este apartado se repasan conceptos básicos del diseño de amplificadores de potencia de RF que son fundamentales para la comprensión de los resultados de esta sección. El circuito esquemático de un RF PA basado en un único transistor n-MOSFET se muestra en la Fig. 6.9a. A la entrada, la red  $L_G - C_G$  desacopla el circuito de polarización que provee el punto estático de funcionamiento a la compuerta del transistor  $M_1$ ,  $V_{G_{DC}}$ , de la etapa previa que provee la señal a amplificar  $v_{G_{RF}}$ . La relación entre la tensión de umbral del transistor y el nivel de  $V_{G_{DC}}$  determina la clase de operación del PA. Por su parte, la red  $L_D - L_s - C_s - C_p$  provee la adaptación de impedancias deseada entre el terminal de drenaje de  $M_1$  y la impedancia característica del elemento de carga (por ejemplo, una antena)  $R_L$ . Considerando que el terminal de drenaje de  $M_1$  se encuentra operando a un alto factor de selectividad  $Q_D \geq 4$ , es decir que la red de adaptación de salida presenta una gran atenuación para todas las frecuencias salvo la frecuencia central  $f_c$ , las formas de onda ideales de en función del tiempo para un PA operando en clase B ( $V_{G_{DC}} = V_{th0}$ ) se muestran en la Fig. 6.9b. Bajo estas condiciones, la componente fundamental  $i_{D_{n,1}}$  de la corriente de drenaje  $i_D(t)$  y el valor pico  $V_{D_{RF}}$  de la señal de tensión sobre el drenaje  $v_D(t)$  deben ser tales que se obtenga la potencia de salida deseada  $P_{out}$ , como se enuncia en la Ec. (6.3.1), donde  $R_D$  es la resistencia reflejada sobre el drenaje del transistor, como indica la flecha a trazos sobre la Fig. 6.9a, y  $\eta_{NW}$  es la eficiencia de la red de adaptación en el drenaje, sobre la cual se discutirá en la sección 6.3.2.

$$(6.3.1) \quad P_{out} = \frac{V_{D_{RF}}^2}{2R_D} \eta_{NW} = \frac{i_{D_{n,1}} V_{D_{RF}}}{2} \eta_{NW}$$

Además de la potencia de salida como especificación fundamental en un PA, la eficiencia energética de la etapa es, para muchas aplicaciones, un limitante importante para su integración. A primer orden, podemos separar la eficiencia de un PA en la correspondiente a los dispositivos pasivos ( $\eta_{NW}$ ) y la eficiencia de conversión de potencia de DC a potencia de RF, asociada al dispositivo activo y que identificaremos con el símbolo  $\eta_{MOS}$ . Esta magnitud es la relación entre la potencia de RF provista a la red de

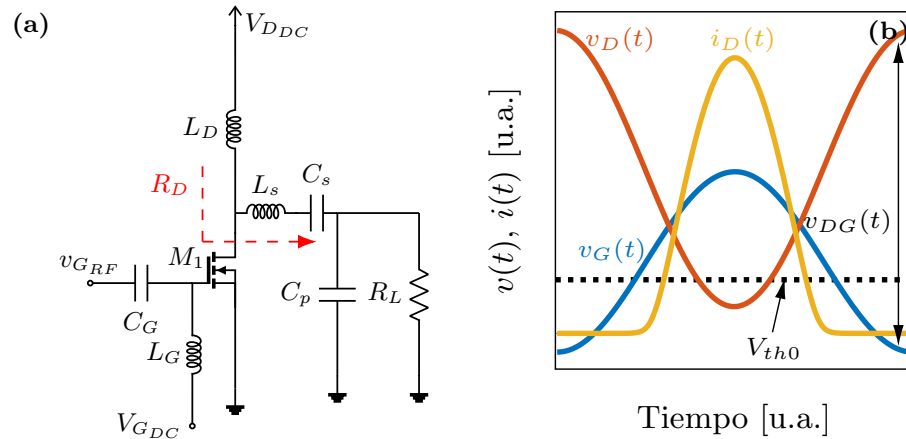


Figura 6.9: (a) Circuito esquemático de un PA basado en n-MOSFET. (b) Señales de tensión y corriente típicas sobre los terminales de compuerta y drenaje del transistor del PA.

adaptación y la potencia de DC disipada por el dispositivo activo  $M_1$ , calculada como se indica en la Ec. (6.3.2), donde  $V_{DSmin}$  es la tensión mínima sobre el drenaje que mantiene a  $M_1$  en saturación,  $I_{D_{DC}}$  es la componente de DC de la corriente  $i_D(t)$  y  $V_{D_{DC}}$  es la tensión de polarización DC aplicada al drenaje a través del inductor  $L_D$ , como se indica en la figura 6.9a.

$$(6.3.2) \quad \eta_{MOS} = \frac{i_{Dn,1}(V_{D_{DC}} - V_{DSmin})}{(2I_{D_{DC}}V_{D_{DC}})}$$

Puede demostrarse que, teóricamente, la eficiencia de conversión tiende a 1 cuando el ángulo de conducción  $\theta_c$  tiende a cero. Sin embargo, reducir el ángulo de conducción incrementa el contenido armónico de la corriente  $i_D(t)$ . Considerando que la densidad de potencia irradiada por el PA al canal adyacente es una importante especificación de compatibilidad en el espectro de radiofrecuencias, agregar no linealidad por operar en clase C puede resultar en mayores exigencias de filtrado a la red de adaptación de salida, es decir mayor  $Q_D$ , lo cual no siempre resulta tecnológicamente viable. Esto involucra una nueva relación de compromiso entre el filtrado de los armónicos por parte de la red de adaptación y la eficiencia o pérdidas de inserción debido a la no idealidad de los componentes pasivos involucrados. Considerando estas pérdidas en la eficiencia total  $\eta_{TOT}$  del amplificador, puede escribirse la Ec. (6.3.3).

$$(6.3.3) \quad \eta_{TOT} = \eta_{MOS} \cdot \eta_{NW}$$

En la literatura, diversos autores han propuesto diseños de PA con diferentes cualidades en términos de la relación entre potencia de salida y eficiencia bajo norma 802.15.4/BLE o similar [238–240]. Incluso, una metodología de exploración del espacio de diseño fue propuesta para optimizar PA monolíticos en una tecnología CMOS determinada [215, 241]. Sin embargo, estos trabajos contemplan el aspecto de la confiabilidad asumiendo márgenes de seguridad para la tensión pico de trabajo sobre compuerta o drenaje que podrían ser excesivos, incurriendo en pérdidas importantes de rendimiento que pueden no ser estrictamente necesarias. Estudios experimentales han demostrado que, para tensiones pico de trabajo sobre el drenaje por encima de la tensión nominal de polarización de la tecnología, el PA puede sufrir una pérdida de potencia de salida considerable a lo largo de su vida útil [49, 50, 54–56, 242, 243]. Algunos autores han estudiado el problema de la confiabilidad en este tipo de circuitos, proponiendo tomar en cuenta modelos de degradación para predecir la caída en el desempeño e implementar algunas estrategias integradas para tomar acción frente a estos problemas [47, 76, 242, 244–251]. Sin embargo, estos trabajos se centran en el análisis o simulación de un diseño específico en lugar de explorar el impacto de las decisiones de diseño en la confiabilidad para un arquitectura determinada. A lo largo de las siguientes secciones, se incluirá la confiabilidad dentro de la perspectiva de un diseñador de circuitos integrados, tomando decisiones centradas en la optimización del circuito sin perder de vista los mecanismos que pueden atentar contra el correcto funcionamiento del mismo a lo largo de su vida útil.

### 6.3.2 Impacto de las decisiones de diseño en TDDB

Relacionando los modelos de degradación revisados en la sección 2.3.3 y los conceptos de diseño repasados en la sección 6.3.1, es posible obtener una primera impresión del impacto de las decisiones de diseño sobre la confiabilidad a nivel transistor en un circuito como el de la Fig. 6.9a. Dado que tanto TDDB como HCI son fenómenos con una fuerte aceleración con el campo eléctrico, en el siguiente análisis cualitativo prestaremos particular atención sobre las tensiones de estrés sobre el óxido ( $v_{GS}(t)$  y  $v_{DG}(t)$ ) y a lo largo del canal ( $v_{DS}(t)$ ). Por simple inspección de las expresiones, considerando una  $P_{out}$  fija, aumentar  $R_D$  implica mayor tensión de RF en el drenaje  $V_{DRF}$  y por ende mayor  $V_{DDC}$  para garantizar una tensión de valle por encima de  $V_{DSmin}$ . Si bien desde el punto de vista de la eficiencia de conversión esto es deseable, por el lado de la degradación por HCI, un campo eléctrico lateral mayor acelera exponencialmente la variación paramétrica en  $M_1$ . Por su parte, el escenario para el TDDB no es tan sencillo de discernir: si bien una mayor resistencia involucra menores corrientes  $i_{Dn,1}$  a potencia constante, lo cual

reduce la excursión necesaria en  $v_{GRF}$ , cabe recordar que, como muestra la Fig. 6.9b, la tensión  $v_{DG}(t)$  es máxima cuando  $v_{GS}(t)$  está en su punto mínimo, con lo cual un incremento de  $V_{DRF}$  puede resultar en un aumento del estrés en el óxido a través de  $v_{DG}(t)$ , especialmente si el amplificador opera en clase C.

Se hace evidente entonces que el problema de la confiabilidad en el PA presenta numerosas aristas, y es conveniente desde la perspectiva del diseñador, visualizar las relaciones de compromiso que surgen durante el diseño. Analicemos inicialmente el caso de TDDb. Utilizando las ecuaciones (2.3.14) e ingresando valores típicos para una tecnología CMOS de 130 nm, podemos estimar las limitaciones de confiabilidad de un PA diseñado en esta tecnología. Los valores de los parámetros tecnológicos para los modelos y las referencias asociadas se listan en la tabla B.1 del apéndice B.

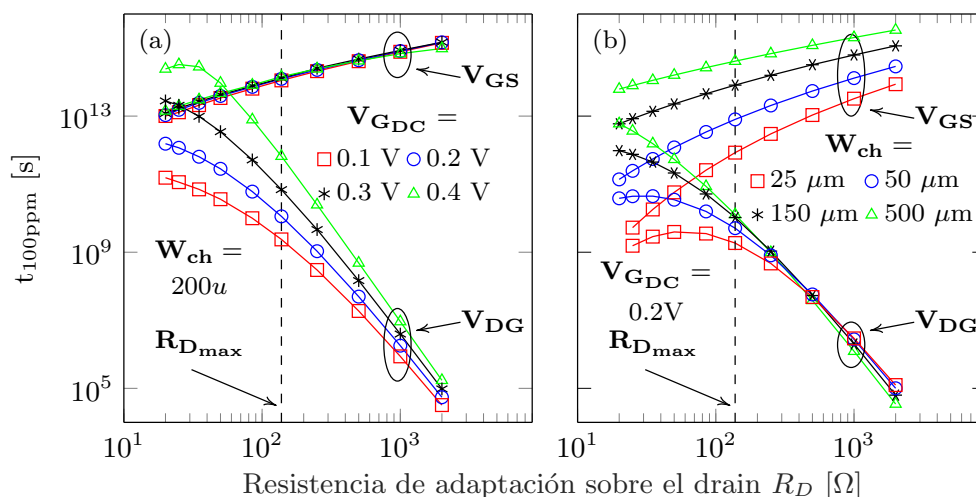


Figura 6.10: Impacto del valor de la resistencia  $R_D$  sobre el tiempo característico de TDDb  $t_{100ppm}$  del óxido de compuerta, para el estrés  $V_{GS}$  y  $V_{DG}$ . (a) Parametrización con la tensión DC de compuerta (clase). (b) Parametrización con el dimensionamiento del transistor principal.

Puesto que  $R_D$  es un parámetro que tiene un impacto tanto en desempeño como en confiabilidad, será utilizado como variable de diseño para la representación de los resultados. En este punto sólo consideraremos los efectos sobre la confiabilidad a nivel transistor, pero aún no estamos teniendo en cuenta las características requeridas de la red de adaptación para obtener tales valores de  $R_D$ . La Fig. 6.10 representa un tiempo de referencia para 100 partes por millón falladas  $t_{100ppm}$  en función del valor de  $R_D$ . Los dos juegos de curvas representan la consideración por separado del estrés  $V_{GS}$  y  $V_{DG}$ , bajo la fuerte aproximación de separar el área del óxido del transistor  $A_{ox}$  en 1/2 del área total del canal para cada caso en la Ec. (2.3.14). La recta vertical a trazos representa un valor de referencia de  $R_{Dmax}$  para el cual la tensión pico sobre el drenaje se iguala a la

tensión nominal para transistores de óxido delgado del proceso de fabricación utilizado ( $V_{DD_{nom}} = 1.2$  V). La longitud del canal de  $M_1$  se mantiene en el valor mínimo para todos los cálculos realizados.

En el caso de la Fig. 6.10a, el ancho del canal se fija en  $W_{ch} = 200$   $\mu\text{m}$  y se consideran cuatro valores distintos de  $V_{G_{DC}}$  entre 0.1 V y 0.4 V. Esto permite visualizar rápidamente el impacto de la clase en la que opera el PA sobre el TDDB. Se observa con claridad la rápida caída de  $t_{100ppm}$  con el incremento de  $R_D$ , especialmente para el caso de estrés debido a  $V_{DG}$  y que el cambio de clase puede impactar en hasta 3 órdenes de magnitud (considerado a valor  $R_{D_{max}}$ ), pasando de clase C a clase AB, en la extrapolación de  $t_{100ppm}$ . Por su parte vemos que la confiabilidad debido al estrés  $V_{GS}$  no resulta, para la mayoría de los valores de  $R_D$  evaluados, un limitante en términos de TDDB, pudiendo convenir que, en un escenario de peor caso, basta con considerar el efecto de la  $V_{DG}$ .

Por otro lado, la Fig. 6.10b muestra el mismo análisis pero fijando la  $V_{G_{DC}} = 0.2$  V y analizando el impacto del dimensionamiento de  $M_1$  entre 25  $\mu\text{m}$  y 500  $\mu\text{m}$ . Si bien para valores de  $R_D < R_{D_{max}}$ , los valores de  $t_{100ppm}$  son comparables para estrés  $V_{GS}$  y  $V_{DG}$ , se sigue cumpliendo que el peor caso es el segundo, y que el dimensionamiento del transistor poco influye en el TDDB para valores elevados de  $R_D$ , asociados con una eficiencia de conversión elevada. Cabe destacar que, si consideramos tensiones pico sobre el drenaje por debajo de la tensión nominal DC de alimentación de la tecnología, es decir valores de  $R_D < R_{D_{max}}$ , observamos  $t_{100ppm} > 10^9$  s (mayores a 30 años). Esto parece indicar que, bajo estas condiciones, no se presentan riesgos en la confiabilidad por ruptura del óxido. Sin embargo, y como se analizará en detalle en la sección 6.3.5, bajo ciertas especificaciones exigentes de potencia de salida y eficiencia, los valores pico de las señales sobre el terminal de drenaje suelen superar los valores nominales de DC de la tecnología [49, 50, 55, 56, 76], reduciendo peligrosamente el tiempo de vida medio antes de observar ruptura dieléctrica.

Hasta aquí tenemos una primera imagen del impacto de  $R_D$  sobre la confiabilidad de un PA, considerando clase y dimensionamiento de los transistores. Pero cambios en  $R_D$  suponen el rediseño de la red de adaptación de impedancia de salida. En el caso de amplificadores CMOS completamente integrados, los capacitores suelen ser mucho más flexibles y de mejor factor de calidad que los inductores, los que suelen imponer limitaciones de diseño a través de la eficiencia de la red  $\eta_{NW}$  o, en otras palabras, las pérdidas de inserción (IL) de la misma. Para evaluar las pérdidas de inserción de la red, la totalidad de los inductores del espacio descrito en la Fig. 6.3a son utilizados para diseñar una red de adaptación que cumpla con un determinado salto de impedancias

$R_D/R_L$ , cada red con distintos valores de selectividad en la carga  $Q_L$  y en drenador  $Q_D$ . Según el salto de impedancias resulte mayor o menor a 1, la topología de la red de adaptación de la figura 6.9a cambia: si  $R_D/R_L > 1$ , la rama serie  $C_s - L_s$  es de carácter puramente capacitivo ( $L_s = 0$ ), mientras que para  $R_D/R_L < 1$ , la rama serie es de carácter inductivo. Los cálculos que derivan en cada red de adaptación se realizan mediante una rutina en computadora (utilizando MATLAB). Para el espacio completo de redes de adaptación, la Fig. 6.11 muestra la pérdida de inserción en función del  $R_D$  para el que fuera diseñada. Cada punto representa, de todas las redes con un valor de  $Q_D$  determinado (con una tolerancia del 1 %), la red con la menor  $IL$ .

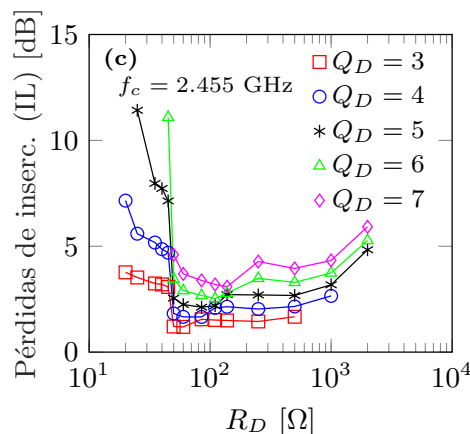


Figura 6.11: Pérdidas de inserción de la red de adaptación de salida en función del valor de resistencia reflejado sobre el terminal de drenaje, para distintos valores de selectividad.

La Fig. 6.11 permite destacar algunos puntos interesantes en el análisis de la confiabilidad. Por un lado, se observa la ya conocida relación de compromiso entre  $\eta_{NW}$  y selectividad de la red [215]. Pero además, recordando que  $R_D$  bajas son deseables para reducir el estrés, la introducción de  $L_s$  en la red de adaptación para lograr  $R_D < R_L$  resulta en pérdidas de inserción adicionales asociadas al inductor serie. Diseños para  $R_D < 20 \Omega$  pueden resultar en eficiencias totales tan bajas que vuelvan al diseño inviable para la mayoría de las aplicaciones. Sin embargo, este límite es fuertemente dependiente de la tecnología y no debe considerarse una regla general para cualquier proceso de fabricación. De hecho, para elevadas potencias de salida, puede ser estrictamente necesario este tipo de arquitectura o bien un cambio general de arquitectura del circuito para garantizar la confiabilidad. Finalmente, las altas  $R_D$  deseables para una elevada  $\eta_{MOS}$ , no solo pueden resultar en excesivo estrés sobre el transistor sino que introducen mayores pérdidas de inserción, introduciendo una relación de compromiso entre confiabilidad,  $\eta_{MOS}$  y  $\eta_{NW}$ .

Un comentario es necesario en este punto respecto al impacto del modelo de TDDB y su introducción en el flujo de simulación. Si bien una de las formas típicas de introducir el efecto a nivel circuital de la ruptura del óxido es utilizando resistores como en el circuito de la Fig. B.1 del apéndice B [76, 79, 252], en óxidos delgados es sabido que la condición de ruptura pasa de SBD a HBD progresivamente. Sin embargo, simulaciones paramétricas del impacto del valor de la resistencia de BD sobre el desempeño del PA [76, 253] muestran que su efecto es apreciable para valores de resistencia por debajo de 2 K $\Omega$  y especialmente para la ruptura considerada entre compuerta y drenaje ( $R_{DG}$ ) ya que impacta directamente en la ganancia disponible del transductor. En cambio,  $R_{GS}$  introduce pérdidas a la adaptación de entrada, pero tiene un impacto menor en la operación del amplificador. En vistas de que la resistencia efectiva de ruptura alcanza valores del orden de los K $\Omega$  sólo para condiciones de HBD y usualmente sobre el solapamiento del óxido de compuerta con las difusiones de drenaje o fuente [79, 252], se analiza el TDDB únicamente como condición de HBD a través del parámetro  $t_{100ppm}$  [254].

### 6.3.3 Impacto de las decisiones de diseño en HCI

El segundo mecanismo fundamental de degradación a lo largo del tiempo de operación que analizaremos sobre los PA basados en n-MOSFET es HCI. Como se discutiera en la sección 2.3.2, este mecanismo es fuertemente dependiente de la tensión sobre el terminal de drenaje del MOSFET. Por esta razón, la selección de  $R_D$  impacta directamente en el nivel de estrés experimentado por el PA para una potencia de salida fija. Para entender el nivel de impacto de este fenómeno sobre el envejecimiento del PA, los modelos analíticos de la sección 2.3.3 serán introducidos en un flujo de simulación de SPICE que permita reflejar la degradación dependiente del tiempo. La simulación de confiabilidad en el tiempo de circuitos analógicos/RF o de señal mixta (AMS/RF, "Analog Mixed Signal / Radiofrequency") incluye ciertas consideraciones que han sido objeto de diferentes propuestas en la literatura [75, 76, 82, 255]. Para el caso de PA, dado que la degradación paramétrica del transistor reduce paulatinamente la potencia de salida, la componente de RF sobre el terminal de drenaje del transistor disminuye con el tiempo, cambiando las condiciones de estrés a medida que el circuito envejece. De hecho, la simulación de la confiabilidad en RF ha sido incluida sólo recientemente en herramientas comerciales [51].

Por esta razón, es deseable incluir en el flujo de diseño una solución que permita simular los efectos de degradación en SPICE y permita contrastar, sobre un diseño con modelos de dispositivos reales, la confiabilidad y robustez de un diseño a lo largo del

tiempo. La Fig. 6.12 muestra un flujo de simulación de la confiabilidad en circuitos de RF implementado. La propuesta introduce los modelos de degradación discutidos en el capítulo 2 y evalúa la degradación del circuito a lo largo del tiempo de operación a causa del fenómeno de HCI. Para el caso del PA, el proceso comienza con una simulación de estado estacionario periódico (PSS, "Periodic Steady State") del el circuito bajo estudio para la condición nominal sin envejecimiento, lo que llamamos "fresh". Esta simulación se utiliza para obtener las formas de onda periódicas bajo las cuales opera el transistor, y se utilizan para calcular las condiciones de degradación que se introducen en los modelos de la sección 1.6. Luego se define un vector de instantes de tiempo sobre los cuales se analizará, por pasos, la degradación de los parámetros del transistor para el instante  $t + t_{step}$ . Todas las cifras de mérito del circuito y los parámetros de degradación son guardados en un archivo de salida y luego introducidos al archivo de simulación:  $\Delta V_{th_{HCI}}$  y  $\mu_{HCI}$  pueden ser introducidos al circuito como una fuente de tensión y una fuente de corriente respectivamente [75, 76] o bien, como se realiza en este trabajo, alterando los parámetros correspondientes de SPICE/PSP, como se indica en el apéndice B, sección ???. Bajo estas condiciones, una rutina que controla el flujo de ejecución lanza una nueva simulación PSS, generando nuevas formas de onda del amplificador degradado y permitiendo repetir el proceso de simulación hasta alcanzar el tiempo máximo que se desea simular.

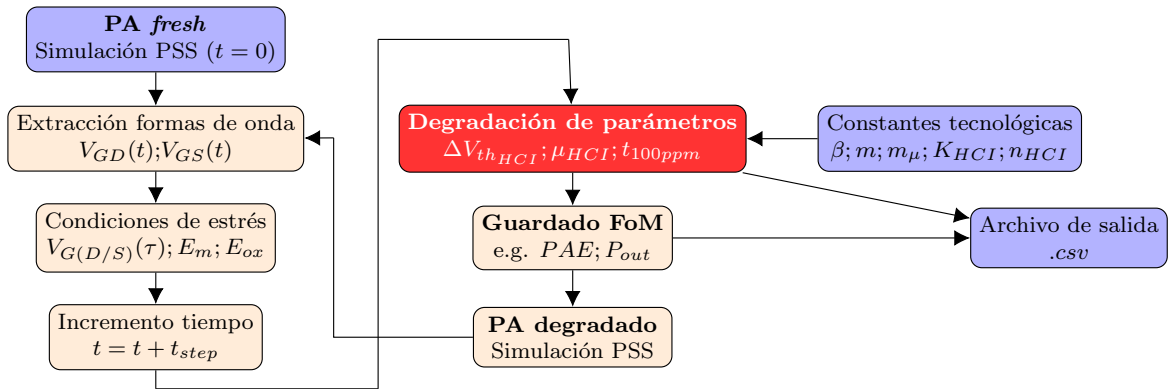


Figura 6.12: Diagrama de flujo de la simulación de confiabilidad para circuitos de RF basada en SPICE.

En los ejemplos que se detallan a continuación, los circuitos analizados presentan tiempos al TDDDB suficientemente largos como para analizar el impacto paramétrico de HCI como dominante. En caso contrario,  $R_{DG}$  puede ser introducida dentro del circuito para analizar su impacto, aunque por su carácter estocástico resulta lógico introducir el flujo de diseño en una corrida de MonteCarlo [75, 76, 256]. En este trabajo, se reporta



el valor de  $t_{100ppm}$  para un diseño puntual, quedando a criterio del diseñador evaluar el impacto relativo de TDDB frente a HCI u otros mecanismos de degradación. Para ejemplificar el análisis de confiabilidad de PA realizado hasta este punto, se seleccionaron dos diseños con  $P_{out} \approx 0$  dBm para ser simulados mediante el flujo propuesto. El diseño A presenta  $R_D \approx 40 \Omega$  mientras que para el diseño B,  $R_D \approx 85$ . Se realizaron simulaciones para ambos circuitos y se extrajeron los resultados de la degradación paramétrica del transistor y de las principales cifras de mérito del PA.

La Fig. 6.13a muestra la potencia de salida  $P_{out}$  y la eficiencia de potencia agregada (PAE, "Power Added Efficiency") para ambos diseños en función del tiempo. La Fig. 6.13b muestra la degradación paramétrica relativa del transistor por HCI, en términos de  $\mu_{HCI}/\mu_0$  y  $\Delta V_{thHCI}/V_{th0}$ , en el mismo intervalo temporal. Las líneas verticales a trazos en estas gráficas son referencias para los instantes de 1 año ( $3.154 \times 10^7$  segundos) y 10 años, valores representativos para el tiempo de vida esperado de un circuito integrado [12]. Si bien el diseño A muestra un PAE considerablemente inferior al B (16 % contra 28 %, valores similares a otros circuitos reportados [240, 257]) su comportamiento a lo largo del tiempo es considerablemente distinto. Mientras el diseño B sufre una pérdida de  $P_{out}$  de alrededor de 2 dB al cabo de 10 años de funcionamiento, el diseño A muestra apenas una reducción de 0.05 dB. De forma similar ocurre para la eficiencia: la PAE del diseño B cae hasta un valor de 22 % mientras que la del diseño A se mantiene virtualmente constante al cabo de 10 años. Esta pérdida de desempeño se explica por la degradación paramétrica de ilustrada en la Fig. 6.13b, donde la degradación es claramente más rápida para el diseño B. Un dato adicional mostrado en esta figura es la diferencia entre considerar condiciones de degradación constantes (como las del PA "fresh", líneas punteadas) contra la actualización de las condiciones estrés por la caída de  $P_{out}$  (líneas llenas). Especialmente para el caso del diseño B, la línea punteada muestra una sobre estimación de casi 5 veces en el aumento relativo de la tensión de umbral.

El análisis inicial de la confiabilidad arroja resultados que apuntan a que es posible una optimización de las relaciones de compromiso entre confiabilidad y desempeño, acorde a los requerimientos de cada aplicación específica [254]. Por esta razón, una exploración sistemática del espacio de diseño de amplificadores de potencia en una tecnología determinada puede ayudar al diseñador encontrar un punto que se adecúe a sus requerimientos, de un modo similar a la propuesta de la Ref. [215, 241] pero incluyendo la dimensión de la confiabilidad en la exploración.

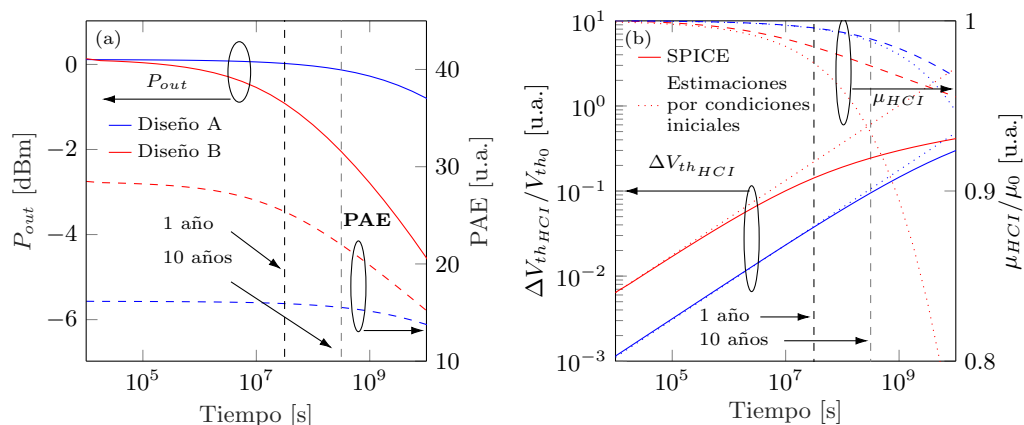


Figura 6.13: Comparación de dos diseños bajo distintas adaptaciones de salida. (a) Potencia de salida (eje izq.) y PAE (eje der.) en función del tiempo para cada diseño. (b) Variación relativa debido a HCI de  $\Delta V_{th0}$  y  $\mu_0$  en función del tiempo para cada diseño. Las líneas punteadas representan el error que inducirían las estimaciones en el caso en que no se actualizaran las señales de estrés en el tiempo.

### 6.3.4 Validación experimental de modelos de degradación

Para validar los mecanismos de degradación, sus efectos y los parámetros y modelos utilizados, se realizaron experimentos de degradación acelerada sobre un prototipo de PA fabricado en la tecnología bajo estudio de 130 nm.<sup>1</sup> La vista física ("layout") del circuito diseñado y fabricado para los experimentos de degradación se muestra en la Fig. 6.14b y una fotografía del diseño bajo microscopio (1.5 mm x 1.5 mm de dimensión total) se observa la Fig. 6.14a. El integrado está compuesto por un PA de la topología de la Fig. 6.9a, diseñado para  $P_{out} = 0$  dBm a una  $f_c = 2.45$  GHz, sumado a varios MOSFET de distintas dimensiones para caracterización. El transistor  $M_1$  se dimensionó con  $L_{ch} = L_{min} = 0.13 \mu\text{m}$  y 200 *fingers* en paralelo de  $W = 1 \mu\text{m}$ , totalizando  $W_{ch} = 200 \mu\text{m}$ .

Las características de transferencia DC para bajo campo lateral ( $V_D = 0.1$  V) para el transistor del PA de dos circuitos separados, medida sin señal de RF, se muestran la Fig. 6.15a y 6.15b (curvas negras). Sobre los mismos ejes se incluyen las curvas de transferencia caracterizadas luego de 5 series es estrés acelerado, con tiempos acumulados de estrés de 30 s, 120 s, 300 s, 900 s y 1800 s. La diferencia entre las subfiguras 6.15a y 6.15b radica en las condiciones de estrés: mientras la primera involucra degradación por HCI conductivo en DC, la segunda es el resultado luego de estrés DC+RF, forzando al

<sup>1</sup>Fabricación provista sin costo por The MOSIS Service a través de su MOSIS Educational Program (MEP).

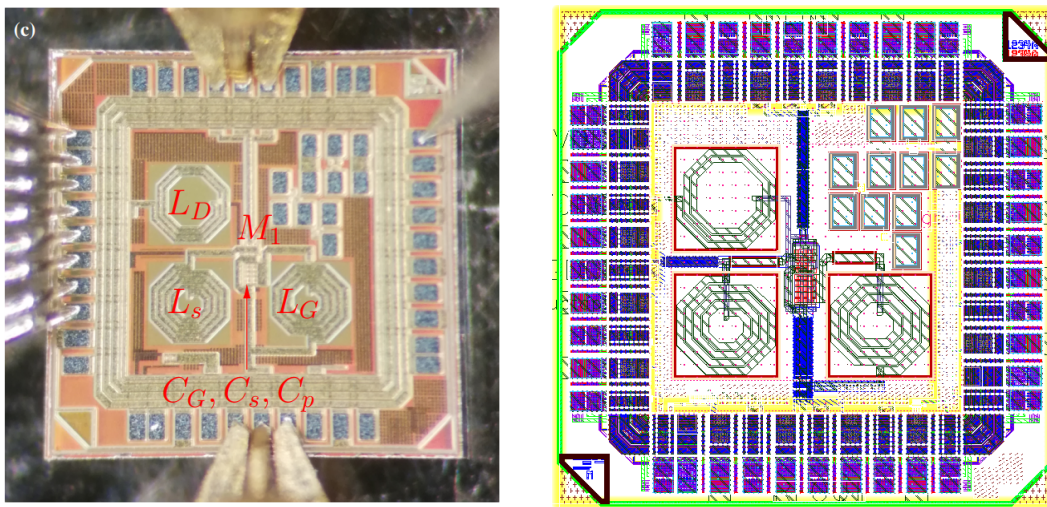


Figura 6.14: (a) Fotografía bajo microscopía óptica del PA diseñado y fabricado en una tecnología de 130 nm, con las puntas de caracterización de RF y DC conectadas. (b) Vista de *layout* del circuito fabricado.

amplificador a trabajar a 9 dBm de potencia de salida, 9 dB por encima del valor nominal de diseño. Las líneas punteadas en la Fig. 6.15a representan la simulación DC de SPICE del transistor utilizado en condición *fresh* (cyan) y bajo una degradación paramétrica de  $\Delta V_{th} = 100$  mV y  $\mu_{HCl}/\mu_0 = 0.95$  (magenta), mostrando buena adecuación del impacto de la degradación sobre el modelo implementado en SPICE.

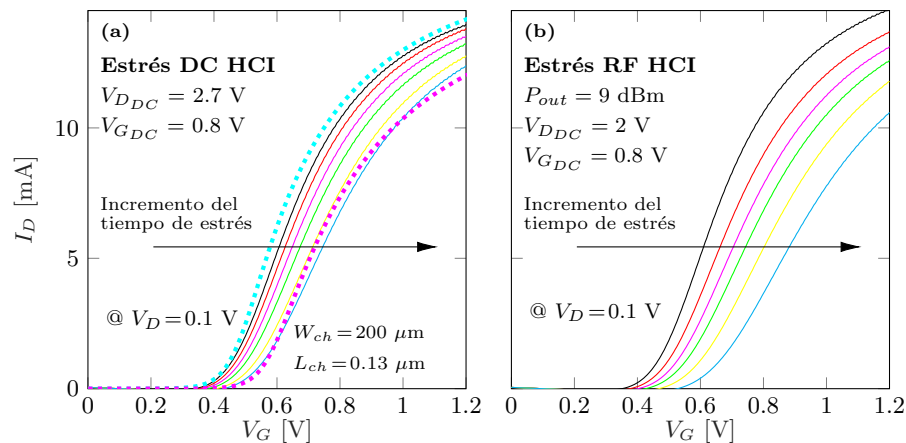


Figura 6.15: Curvas experimentales  $I_D$  vs.  $V_G$  a tensión  $V_D = 0.1$  V del transistor principal del PA caracterizado. Mediciones a temperatura ambiente por intervalos de estrés acumulativos de 30 s, 120 s, 300 s, 900 s and 1800 s. (a) Curvas bajo estrés de HCI conductivo de DC. Las curvas punteadas representan el resultado de SPICE del modelo de degradación utilizado en la sección 6.3.2. (b) Curvas bajo estrés de HCI DC+RF, para una potencia de salida de 9 dBm.

Para unificar resultados experimentales, la Fig. 6.16a muestra el desplazamiento de la tensión de umbral  $\Delta V_{th0}$  en función del tiempo de estrés acumulado para varios transistores nominalmente idénticos, bajo diferentes tensiones y condiciones de estrés. Los símbolos vacíos corresponden a estrés DC con  $V_G = 0.8$  V y para  $V_D = 2.7$  V o 3 V, mientras que los símbolos llenos son resultados de estrés DC+RF, operando a potencias de salida de 6 dBm o 9 dBm a  $V_G = 0.8$  V y  $V_D = 2$  V. Este valor de tensión de drenaje fue seleccionado para proveer al drenaje de suficiente excursión para evitar, a 9 dBm, la compresión de la potencia de salida por  $V_{DS_{min}}$ . Cabe destacar que la degradación paramétrica observada bajo las condiciones de estrés DC+RF son mucho mayores a la degradación esperada para la componente de DC de la tensión de drenaje aplicada (extrapolada a partir del ajuste del modelo de la Ec. (2.3.4)), con lo cual es seguro considerar que la degradación se debe mayoritariamente a la señal de RF aplicada.

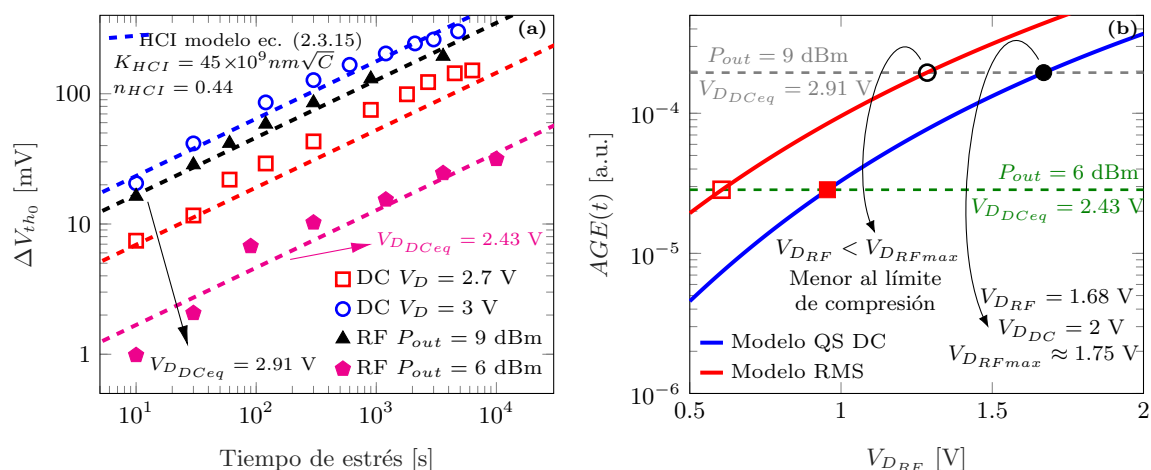


Figura 6.16: Análisis de la degradación paramétrica del transistor principal del PA diseñado. (a)  $\Delta V_{th0}$  es extraído a partir de los resultados experimentales  $I_D$  vs.  $V_G$  para  $V_D = 0.1$  V. Las líneas punteadas representan el ajuste del modelo de las Ec. (2.3.15) y (2.3.5). (b) Validación gráfica del uso de la aproximación QS DC como condición representativa del estrés DC+RF, en función del envejecimiento esperado  $AGE(t)$  para distintos de la tensión de RF sobre el drenaje  $V_{DRF}$ .

Las líneas a trazos en la Fig. 6.16a corresponden al modelo de HCI de las ecuaciones (2.3.4) y (2.3.15), utilizando como parámetros de ajuste  $K_{HCI} = 45 \times 10^9 \text{ nm}\sqrt{C}$ ,  $n_{HCI} = 0.44$ , valores que son consistentes con información de degradación provista por el fabricante y con lo reportado en la literatura [81, 85]. Para las condiciones de estrés DC+RF, la degradación observada puede relacionarse con un valor de estrés de DC aplicado al terminal de drenaje  $V_{DDCEq}$  necesario para observar la misma degradación a lo largo del tiempo en el modelo de la Ec. (2.3.4). Estos valores son útiles para validar la aplicación de la aproximación cuasi-estacionaria QS DC discutida en la sección 2.3.3

en lugar de utilizar, por ejemplo, los valores RMS de las señales de drenaje, ya que conocer las formas de onda exactas directamente sobre el terminal es experimentalmente complejo sin sacar al circuito de su condición de funcionamiento.

Siguiendo los lineamientos de la Ref. [82, 89], la generalización del parámetro  $AGE(t) = \int_0^t f(V_i(t))dt$  nos permite considerar la degradación del dispositivo bajo una tensión de estrés variable, periódica y con una aceleración fuertemente no lineal con el valor de la tensión instantánea. En el caso de los modelos de HCI, el término exponencial de la Ec. (2.3.15) representa la componente de degradación debido a la tensión de drenaje, a través del campo lateral  $E_m$ . Considerando únicamente la influencia de este término sobre la degradación del  $V_{th}$ , podemos integrarlo en el parámetro  $AGE(t)$  bajo la aproximación QS DC, directamente de la forma  $AGE(t) = \frac{1}{T} \int_0^T e^{-\phi_{it}/(q\lambda E_m(t))} dt$ . Esta magnitud se encuentra representada en función de la amplitud  $V_{DRF}$  por la curva azul en la Fig. 6.16b.

De forma similar, si consideramos en cambio el valor RMS de la señal de estrés sobre el drenaje, el parámetro  $AGE(t)$  podría escribirse como  $AGE(t) = e^{-\phi_{it}/(q\lambda E_{mRMS})}$ , donde  $E_{mRMS}$  es el valor RMS del campo lateral. Este cálculo de  $AGE(t)$  también se encuentra representado en la Fig. 6.16b por la curva roja, mostrando un valor mayor que el calculado utilizando la aproximación QS DC. Por último, a partir de los resultados experimentales de la Fig. 6.16a, el parámetro  $AGE(t)$  se calculó para el estrés equivalente de DC  $V_{D_{DCeq}}$ , de la forma  $AGE(t) = e^{-\phi_{it}/(q\lambda E_{mDC})}$ . Estos valores son representados por las rectas horizontales a trazos en la Fig. 6.16b, para las condiciones de estrés de  $P_{out} = 6$  dBm (verde) y  $P_{out} = 9$  dBm (gris). Con esta información podemos identificar qué modelo, el QS DC o el RMS, resulta más representativo de la dinámica de degradación del transistor del PA, como se analiza a continuación.

Las condiciones experimentales de  $P_{out} = 9$  dBm con  $V_{D_{DC}} = 2$  V, fueron fijadas al límite de la excursión de salida, identificada por el punto de compresión en la relación  $P_{out}$  vs.  $P_{in}$ . Considerando una  $V_{DS_{sat}} \approx 0.25$  V, podemos inferir que  $V_{DRF_{max}} \approx 1.75$  V, puesto que un incremento en la amplitud de la señal de RF en el terminal de drenaje resultará en compresión debido a la excursión del MOSFET hacia triodo. Con esto en mente, podemos observar en la Fig. 6.16b que la curva representando al modelo RMS (curva roja) interseca el nivel para  $V_{D_{DCeq}} = 2.91$  V correspondiente a 9 dBm a un valor de  $V_{DRF} = 1.29$  V (marcador circular vacío), considerablemente menor al valor estimado para resultar en compresión a la salida. En cambio, la aproximación de QS DC (curva azul) resulta en una intersección a  $V_{DRF} = 1.68$  V (marcador circular sólido), que es consistente con la amplitud de RF esperada. Podemos concluir que el modelo RMS sobre estima la

degradación para el valor máximo de excursión esperada en el drenaje  $V_{D_{RFmax}}$ , mientras que el modelo QS DC se condice mejor con los resultados experimentales observados.

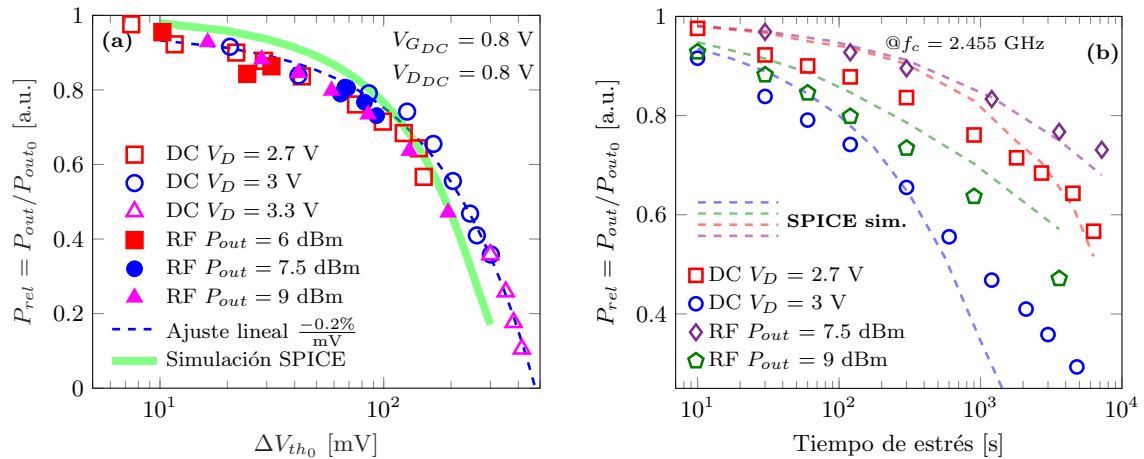


Figura 6.17: Mediciones experimentales y resultados de modelado en SPICE para el RF PA de la Fig. 6.14 bajo condiciones de estrés HCI DC y DC+RF. (a) Potencia relativa a -3 dBm de salida en función del desvío de la tensión de umbral. (b)  $P_{rel}$  en función del tiempo acumulado de estrés, superpuesto con simulaciones de SPICE siguiendo el flujo propuesto en la Fig. 6.12.

Los efectos de la degradación paramétrica medidos directamente sobre el PA fabricado se encuentran representados en la Fig. 6.17. La Fig. 6.17a representados en términos de la pérdida relativa de potencia de salida  $P_{rel} = P_{out}/P_{out_0}$  con el incremento de tensión de umbral del transistor  $\Delta V_{th_0}$  para múltiples condiciones de estrés DC y DC+RF. Para todos los casos, se observa una pérdida de potencia alrededor de  $0.2\%$  por cada mV de aumento de  $V_{th}$ . La misma información se representa en función del tiempo acumulado de estrés en la Fig. 6.17b. Estos resultados experimentales son consistentes con lo reportado en la literatura [49, 50, 54, 242, 243]. Adicionalmente, se muestran en forma solapada los resultados de simulaciones en SPICE de la degradación dependiente del tiempo, en las cuales se replican las condiciones de trabajo del amplificador bajo envejecimiento acelerado, siguiendo la tendencia general observada en los experimentos. Las diferencias pueden asociarse a desadaptaciones de impedancia introducidas en el banco de medición y a dispersión experimental.

### 6.3.5 Confiabilidad en el espacio de diseño de RF PA monolíticos

En el desarrollo de SoCs modernos, la estrategia de diseño para confiabilidad (DfR, "*Design for Reliability*") está adquiriendo gran importancia desde etapas tempranas del diseño de circuitos integrados. Una percepción fina de los mecanismos que degradan el funcionamiento a nivel transistor, su conexión con las decisiones de diseño y el impacto de las mismas sobre el desempeño del circuito, pueden ayudar a los diseñadores a reducir márgenes de seguridad y/o incrementar el desempeño sin poner en riesgo el correcto funcionamiento del circuito a lo largo de su vida útil.

Para circuitos integrados analógicos, algunas estrategias de diseño centrado en la confiabilidad han sido propuestas en la literatura, por ejemplo basados en el método  $g_m/I_D$  [77, 258, 259]. Sin embargo, las alternativas centradas en circuitos de RF que han sido exploradas por diversos autores, generalmente se concentran en el diseño final de un circuito para el cual se estima la confiabilidad en un entorno de "simulador en lazo" para realizar ajustes de diseño basados en los resultados [50, 51, 75, 76, 225, 226, 229, 249] o bien proponen técnicas de ajuste o calibración integradas para paliar los efectos de la degradación [54, 224, 242, 244–247, 250, 260]. Este último aspecto será abordado en la sección 6.3.6. Sin embargo, considerar la confiabilidad directamente en el diseño del circuito, previo a la utilización de un simulador basado en SPICE, no había sido explorado hasta la fecha.

En este contexto es que se propone incorporar la dimensión de la confiabilidad a una metodología de diseño de RF PA basada en la exploración del espacio de diseño. La propuesta se realiza sobre una tecnología de RF CMOS de 130 nm. Los resultados experimentales de la degradación reportados en la sección 6.3.4 nos permiten incluir, con cierto grado de certeza, los modelos de degradación hasta aquí estudiados en el diseño de los PA. Sin embargo, la metodología general puede aplicarse, disponiendo de la información pertinente, a cualquier proceso de fabricación.

Considerando que el análisis de DC estático ha mostrado buenos resultados en el diseño y optimización de PAs [241, 261], y que los resultados experimentales y simulaciones muestran una fuerte correlación entre la degradación paramétrica de DC de los dispositivos y su caída en el desempeño como amplificadores de RF, se utiliza una perspectiva de DC paramétrica para la construcción del espacio de diseño con dimensión de la confiabilidad. El objetivo de este análisis será proveer al diseñador de un mecanismo entendible que relacione múltiples variables y especificaciones para tomar decisiones de

diseño informadas, en lugar de caer en típicas "reglas del pulgar" ("*Rules of Thumb*") que pueden resultar en diseños que sacrifiquen desempeño, confiabilidad o ambos.

Siguiendo los conceptos generales de diseño de PA de la sección 6.3.1 y las relaciones de compromiso identificadas en la sección 6.3.2, construiremos un mapa basado en dos variables de entrada: sobre un eje,  $V_{GDC}$  por su impacto directo en la clase de operación del PA (clase A-C), y sobre el otro,  $R_D$  por su relación con la red de adaptación y su impacto directo sobre el rendimiento y sobre los mecanismos de degradación. Las especificaciones fijas de diseño serán la potencia de salida requerida, la frecuencia central de sintonía del PA y la potencia de armónicos sobre la carga, o en otra palabras la selectividad de la red de adaptación de salida que fijaremos en relación al terminal de drenaje  $Q_D$ . El punto inicial para la construcción del espacio de diseño son un juego de tablas (LUT, "*Look-Up Tables*") generadas a través de simulaciones de SPICE una única vez para una tecnología determinada, conteniendo información de los dispositivos a utilizar: i) características DC  $I_D(V_{GS}, V_{DS}) @ W_{ch} = 1 \mu\text{m}, L_{ch} = L_{min}$ , para el rango completo de tensiones de operación y ii) características AC para todos los inductores disponibles en el PDK, extrayendo  $L, Q_0, R_s, R_p$  a la frecuencia central  $f_c$  y las armónicas de interés (en general  $2f_c$  y  $3f_c$ ).

Con esta información disponible, se procede a construir el espacio de diseño de los PA disponibles en la tecnología utilizada siguiendo, mediante una rutina automatizada de cálculo (usando MATLAB), los siguientes pasos:

1. Para cada valor de  $R_D$  que se desea analizar (más puntos implica mapas más "suaves"), se diseña una red de adaptación involucrando cada inductor disponible en la tecnología, seleccionando la red de adaptación con la mayor  $\eta_{NW}$  a una selectividad fija  $Q_D$ .
2. Para cada valor de  $V_{GDC}$  que se desea analizar (más puntos implica mapas más "suaves") y diferentes dimensiones de  $W_{ch}$  prefijadas de una lista (más puntos permiten dimensionar con más precisión al transistor), el valor de  $V_{GRF}$  requerido para obtener la potencia de salida especificada a la salida. Esto se consigue multiplicando la corriente normalizada de las LUT por el número de *fingers*  $NF$  para totalizar el  $W_{ch} = NF \cdot 1 \mu\text{m}$  e incrementando la  $V_{GRF}$  hasta obtener una corriente  $i_D(t)$  tal que su fundamental resulte en la  $P_{out}$  requerida, incluyendo las pérdidas inserción  $IL$  (es decir, la  $\eta_{NW}$ ) de la red de adaptación seleccionada en el paso 1.
3. A partir de la señal  $i_D(t)$  obtenida en el paso 3, se extrae la componente de DC  $I_{DDC}$  (necesario para calcular  $\eta_{MOS}$ ) y las armónicas de interés de la señal de corriente.



4. Se calcula la eficiencia total del diseño  $\eta_{TOT} = \eta_{MOS}\eta_{NW}$ .
5. Se elige la variable sobre la cual normalizar los mapas. En este caso se seleccionará el dimensionamiento  $W_{ch}$  que resulta en la mayor eficiencia para cada punto de  $(V_{GDC}, R_D)$ , pero del mismo modo se puede utilizar la dimensión del transistor, el área ocupada por la red de adaptación, la amplitud de los armónicos de corriente, etc.

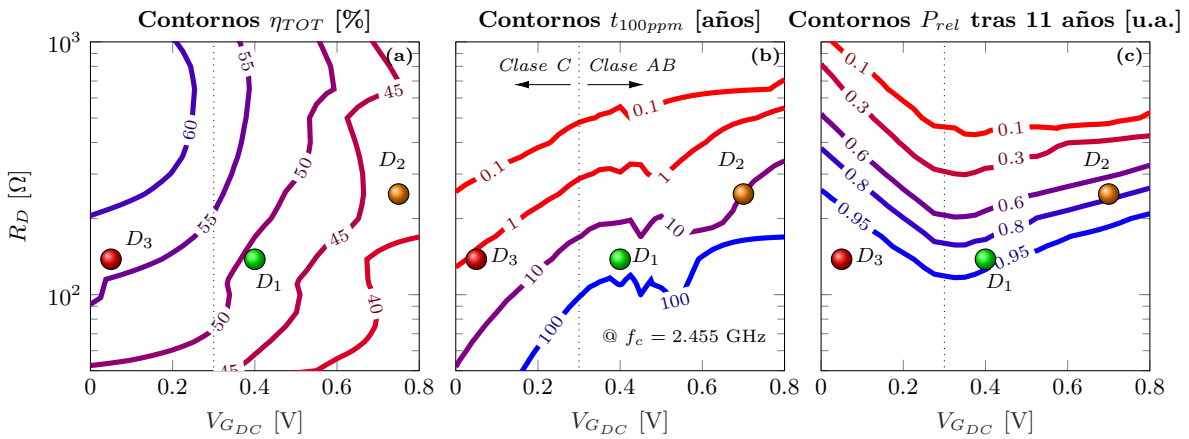


Figura 6.18: Mapas del espacio de diseño de PA para  $P_{out} = 3$  dBm como contornos de (a) eficiencia total constante, (b) tiempo constante a 100 ppm de falla por TDDb y (c) potencia relativa constante a 11 años de operación continua. Los marcadores esféricos representan puntos de diseño de ejemplo sobre el espacio disponible.

El proceso enumerado resulta en el mapa de contornos de eficiencia constante que se observa en la Fig. 6.18a, para una potencia de salida  $P_{out} = 3$  dBm,  $f_c = 2.455$  GHz y una selectividad en el drenaje  $Q_D = 4$ . Este último parámetro puede adecuarse si el contenido armónico sobre la carga o sobre el terminal de drenaje no son aceptables para el diseño específico. Se considerará la eficiencia como el parámetro principal a optimizar, pero es de destacar que la metodología utilizada permite elegir cualquier parámetro de interés a visualizar y optimizar en el mapa, sea el mismo de desempeño o de confiabilidad. En la Fig. 6.18a, la línea punteada vertical marca un valor de tensión de umbral considerado para establecer la clase en la que opera el PA, observándose la caída de la eficiencia hacia clase A y también el impacto de  $R_D$ , como lo discutido en la sección 6.3.2.

A continuación nos centraremos en la construcción del mapa de la Fig. 6.18b, que muestra información sobre TDDb en forma de contornos de  $t_{100ppm}$  constante. Para cada diseño de máxima eficiencia incluido en el mapa, las señales  $v_G(t)$  y  $v_D(t)$  están unívocamente definidas. Considerando que el estrés  $V_{DG}$  es el escenario de peor caso,

la señal periódica se ingresa al modelo de TDDDB descrito por la Ec. (2.3.14) y extrapola a bajos cuantiles con la Ec. (2.3.3). De este modo, cada diseño presenta un  $t_{100ppm}$  determinado, que combinado con la Fig. 6.18a permite al diseñador seleccionar un diseño acorde a los requerimientos de confiabilidad del óxido para su aplicación.

Con las mismas señales de estrés  $v_G(t)$  y  $v_D(t)$  podemos utilizar las ecuaciones (2.3.15) y (2.3.5) del modelo del modelo de HCI para obtener una característica de degradación paramétrica del transistor a lo largo del tiempo en las condiciones de funcionamiento de cada diseño. Sin embargo, se deben tener en cuenta dos puntos importantes al respecto: a) los parámetros  $\Delta V_{th_{HCI}}$  y  $\mu_{HCI}$  no representan en forma directa una especificación o cifra de mérito del funcionamiento del PA ; b) la caída de  $P_{out}$  asociada a la degradación resulta en que las condiciones de estrés cambian monótonamente a lo largo del tiempo de funcionamiento, como se observó en la Fig. 6.13. De esta manera, una métrica de interés para analizar la confiabilidad frente a HCI de un diseño determinado sería la pérdida de potencia relativa  $P_{rel}$  al cabo de cierto tiempo de operación, como muestran los datos experimentales en la Fig. 6.17b, pero considerando las variaciones del estrés a lo largo del tiempo.

Para reportar este parámetro en los mapas del espacio de diseño, se adopta una estrategia de LUT auxiliar similar a la utilizada para construir el mapa de eficiencia de la Fig. 6.18a. Como se hizo referencia en la Fig. 6.15, la modificación de los parámetros de tensión umbral y movilidad a nivel de SPICE para representar la degradación por HCI resulta en una buena reproducción de las características de transferencia DC  $I_D(V_{GS})$  de los transistores degradados. Para reproducir esto a nivel del espacio de diseño, podemos utilizar el mismo procedimiento descrito anteriormente pero considerando las características DC de los transistores bajo ciertos niveles de degradación representados por el par  $(\Delta V_{th_{HCI}}; \mu_{HCI})$ . Esta metodología se basa en barridos de DC en SPICE, muy poco costosos computacionalmente y requiriendo su ejecución una única vez para cierta tecnología de fabricación. El procedimiento para obtener  $P_{rel}$  se resume en el diagrama de flujo de la Fig. 6.19, pudiendo describirse con el siguiente juego de pasos:

1. Para un transistor de  $L_{ch} = L_{min}$  y  $W_{ch} = 1 \mu m$ , se realiza en SPICE un barrido  $I_{D_{HCI}}(V_{GS}, V_{DS})$  para cada valor de  $\Delta V_{th_{HCI}}$  (y su  $\mu_{HCI}$  correspondiente calculado a partir de la Ec. (2.3.5)).
2. Usando una rutina en computadora, la información de la LUT del transistor degradado se utilizan para extraer las formas de onda y las cifras de mérito para cada diseño del mapa bajo diferentes niveles de degradación representados por

$\Delta V_{th_{HCI}}$ . Con esta información se extrae un juego de datos  $P_{out} = f(\Delta V_{th_{HCI}})$  (o cualquier otra especificación de interés) para cada diseño del mapa y se la ajusta mediante una función polinómica de grado  $k=3$  (puede modificarse para precisión). El objetivo es tener una interpolación continua para el nivel de degradación de  $P_{out}$  con  $\Delta V_{th_{HCI}}$ .

3. Se crea un vector de tiempos y, utilizando la metodología de diseño expuesta en esta sección, se calcula la degradación esperada desde el instante  $t = 0$  (dispositivo *fresh*) hasta el instante  $t = t_1$ , resultando en un valor determinado de  $\Delta V_{th_{HCI}}$  para ese instante y para cada diseño.
4. Usando el ajuste polinomial  $P_{out} = f(\Delta V_{th_{HCI}})$  del paso 2, se extrapola el valor de potencia de salida  $P_{out}(t_1)$  que ese diseño tendrá en ese instante.
5. Conociendo la potencia de salida en ese instante, se calcula la forma de onda  $v_D(t)$  para esa condición, obteniendo las nuevas señales de estrés sobre el dispositivo. Con estos datos, se incremental tiempo  $t = t_{n+1}$  y se repiten los pasos 3 a 5 hasta completar el vector de tiempos de interés en el instante  $t_{end}$ . El resultado es un juego de datos para  $P_{out}(t)$  para cada diseño del mapa, del cual se puede extraer el valor esperado de  $P_{out}$  bajo degradación pero actualizando instante a instante las señales de estrés en forma acorde.

De este conjunto de datos de  $P_{out}(t)$  se elige un instante particular para evaluar la degradación de potencia de los diseños y poder representarlo en un mapa de contornos como el que se muestra en la Fig. 6.18c, donde el instante elegido es aproximadamente 11 años que es un tiempo estimado de vida relativamente lógico para un buen número de aplicaciones, aunque ese instante puede cambiarse según la necesidad puntual. Este mapa completa la visión de confiabilidad en el PA teniendo en cuenta la degradación paramétrica a lo largo del tiempo, estimando la pérdida de potencia esperada para cada diseño.

De esta forma, el diseñador puede, antes de realizar simulaciones a nivel de SPICE de varios PA completos, elegir en base a su aplicación qué decisiones de diseño lo acercarán a cumplir tanto con la especificación de desempeño como con las exigencias de confiabilidad. Con una rutina de computadora, se puede seleccionar un punto específico en el espacio de diseño y obtener todos los parámetros constructivos del circuito: dimensionamiento del transistor, parámetros físicos del/de los inductor/es (número de vueltas, diámetro exterior, ancho del conductor, separación entre arrollamientos, etc), los valores de las

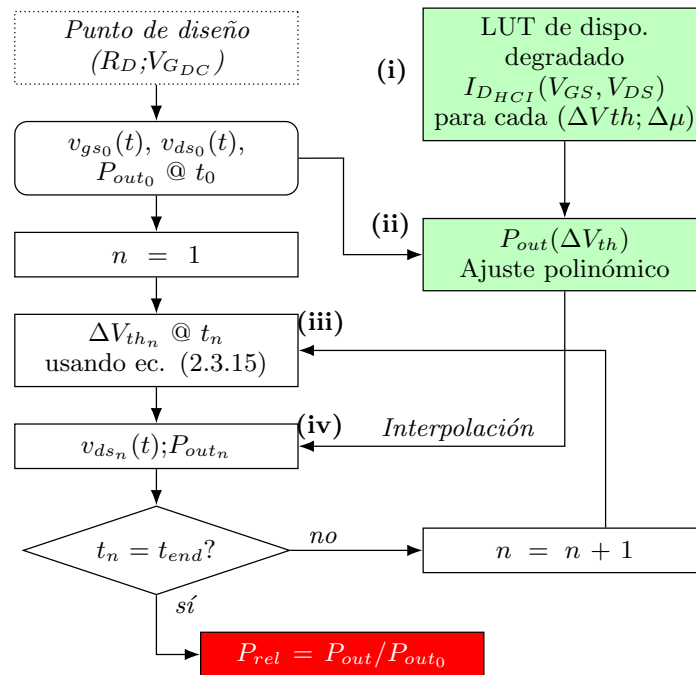


Figura 6.19: Diagrama de flujo para la generación de la LUT de degradación de potencia en diferentes diseños de PA con el tiempo.

capacidades requeridas en la red de adaptación y los valores de polarización  $V_{GDC}$  y  $V_{DDC}$ . Estos datos pueden transferirse directo a un circuito esquemático para realizar las optimizaciones necesarias a nivel de SPICE. Sobre los mapas de la Fig. 6.18 se muestran 3 puntos de ejemplo en el espacio de diseño que arrojan circuitos implementables en la tecnología de 130 nm estudiada, pero con marcadas diferencias en términos de desempeño y confiabilidad.

- El diseño  $D_3$  (bola roja), operando en clase C profunda, resulta en una muy alta eficiencia  $\eta_{TOT} > 55\%$  y una degradación de potencia de salida  $P_{rel}$  muy leve en un plazo de 11 años. Sin embargo, muestra serios riesgos de confiabilidad del óxido por TDDB, con un  $t_{100ppm}$  cercano al año, inaceptable en casi cualquier ámbito de aplicación.
- El diseño  $D_2$  (bola naranja), resulta en una eficiencia considerablemente menor  $\eta_{TOT} < 43\%$  (como es esperable por operar en clase A) aunque aceptable para un buen número de aplicaciones. En términos de TDDB, un  $t_{100ppm}$  de 10 años también parece ser un buen indicador para diversas aplicaciones, pero si observamos la  $P_{rel} < 0.8$  vemos que, al final de su vida útil la potencia de salida habrá caído un 20%.

- Una buena relación de compromiso es el diseño  $D_1$  (bola verde), con una  $\eta_{TOT} > 49\%$ , un  $t_{100ppm} \gg 10$  años y una  $P_{rel} > 0.92$  al cabo de 11 años de operación continua.

Un punto importante a considerar en la metodología propuesta es que los mapas de diseño explorados corresponden a las condiciones nominales del proceso de fabricación, de la tensión de operación y de temperatura (lo que se conoce como "*typical Process-Voltage-Temperature*" o *PVT corners*). Dado que la confiabilidad está íntimamente relacionada con la variabilidad y que ésta última es un riesgo importante para los circuitos de RF que ha valido la atención de diversos autores [47, 244, 249], sería posible conformar un juego de mapas de diseño para cada condición de PVT que se desee evaluar. Por supuesto, esto requeriría un juego de LUT para cada condición de PVT, incluyendo pasivos, transistores *fresh* y degradados. Si bien esta extracción se realiza una única vez por proceso, la cantidad de información generada puede resultar poco práctica considerando la intención de simpleza del método propuesto. Otra opción es, a partir de un diseño seleccionado, utilizar el simulador de SPICE para evaluar la variabilidad junto con la confiabilidad de ese diseño pero en el entorno de simulación, paso que es siempre indispensable sin importar la metodología previa de diseño utilizada.

Un aspecto interesante a evaluar es el impacto de la especificación de la potencia de salida sobre los mapas de diseño. La Fig. 6.20 muestran los mapas de la Fig. 6.18 pero normalizados a un valor de referencia constante ( $\eta_{TOT} = 50\%$ ,  $t_{100ppm} = 10$  años y  $P_{rel} = 0.95$ ) pero para 4 potencias de salida diferentes en el mismo proceso, 0 dBm, 3 dBm, 6 dBm y 9 dBm. Notar que para el caso de 9 dBm, obtener 50 % de eficiencia no es posible para este proceso con los parámetros fijados de confiabilidad, por esa razón se incluye el contorno de  $\eta_{TOT} = 30\%$ . Esta representación nos permite observar la reducción relativa del espacio de diseño disponible a medida que la potencia requerida al PA aumenta, pero una representación mas directa y comprensible podría obtener superponiendo los tres parámetros de interés evaluados.

La Fig. 6.21 muestra la superposición de los tres mapas anteriores: las líneas llenas representan  $\eta_{TOT} = 50\%$ , las líneas a trazos  $t_{100ppm} = 10$  años y las líneas punteadas  $P_{rel} = 0.95$ . El objetivo de esta superposición es definir un área de operación segura de un diseño que cumpla con la especificación de eficiencia (o cualquier otra especificación o combinación de especificaciones que requiera la aplicación). Las regiones marcadas por las intersecciones de las curvas para cada  $P_{out}$  representan los diseños que cumplen con el requerimiento de eficiencia y TDDB (zonas con un leve grisado) o bien que cumplen con todos los requerimientos de eficiencia, TDDB y degradación de potencia (zonas con un grisado fuerte). Ahora puede distinguirse con claridad la limitación del espacio de

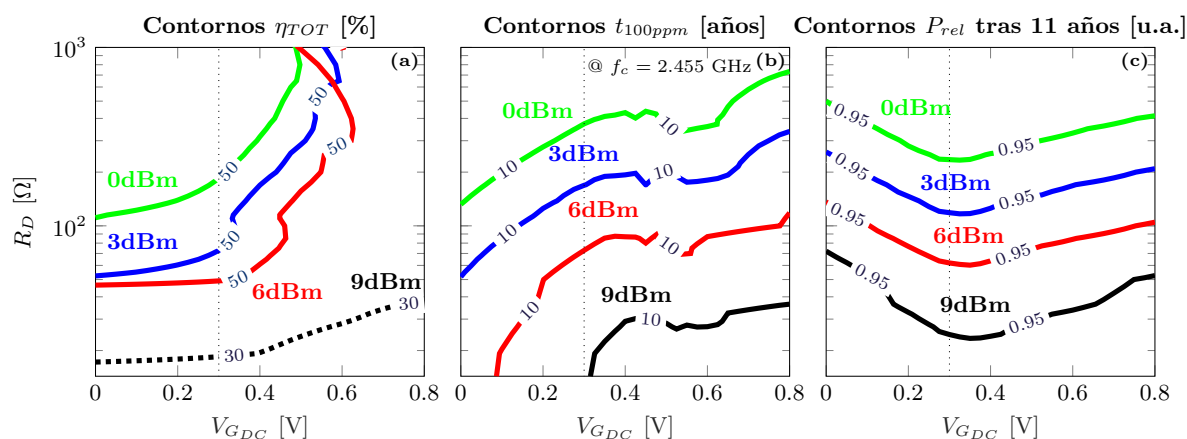


Figura 6.20: Mapas del espacio de diseño de PA como contornos bajo diferentes potencias de salida para (a) eficiencia total constante de 50 %, (b) tiempo constante a 100 ppm de falla por TDDB fijado a 10 años y (c) potencia relativa constante de 0.95 a 11 años de operación continua. Notar en (a) que a 9 dBm la eficiencia máxima es del 30 % por requerirse  $R_D < R_L$  para obtener diseño realizables en la tecnología bajo estudio.

diseño a potencias de salida más elevadas, ahorrándole al diseñador una gran cantidad de tiempo insumido en la búsqueda de una implementación que cumpla con todos los requerimientos a través de un simulador SPICE y una metodología de "prueba y error" por *rules of thumb*. Cabe destacar que, para que el diseño con  $P_{out} = 9$  dBm sea realizable, se requiere  $R_D < R_L$ . Como se discutiera en la sección 6.3.2, el inductor adicional reduce considerablemente la eficiencia, pero permite obtener un diseño confiable dentro del proceso y con una eficiencia razonable.

Para evaluar si las estimaciones realizadas con el método propuesto pueden reemplazar, a primer orden, las simulaciones iniciales de SPICE, y para analizar la validez de las estimaciones de confiabilidad propuestas, el diseño  $D_1$  marcado en la Fig. 6.18 fue extraído del mapa e introducido en el flujo de simulación de SPICE propuesto en la sección 6.3.3. Para este diseño, las predicciones del mapa indican una  $\eta_{TOT} = 48.7$ ,  $t_{100ppm} = 21$  años y una  $P_{rel} = 0.915$ , utilizando los siguientes parámetros de diseño:  $R_D = 138 \Omega$ ,  $V_{GDC} = 0.4$  V,  $V_{DDC} = 0.99$  V,  $W_{ch} = 50 \mu\text{m}$ ,  $L_D = 2.23$  nH,  $C_s = 4.63$  pF,  $C_p = 2.95$  pF. Para este diseño, simulaciones de SPICE arrojan  $\eta_{TOT} = 47.8$  % y  $t_{100ppm} \approx 27$  años, valores similares a los estimados con el espacio de diseño. La Fig. 6.22a muestra la comparación de las formas de onda principales para el PA bajo las aproximaciones del espacio de diseño (líneas llenas) y de la simulación en SPICE (líneas a trazos). La misma comparación se realiza en la Fig. 6.22b pero para  $P_{rel}$  en función del tiempo de funcionamiento continuo. La similitud es apreciable, cometiendo un error relativo de apenas un -2 % en el

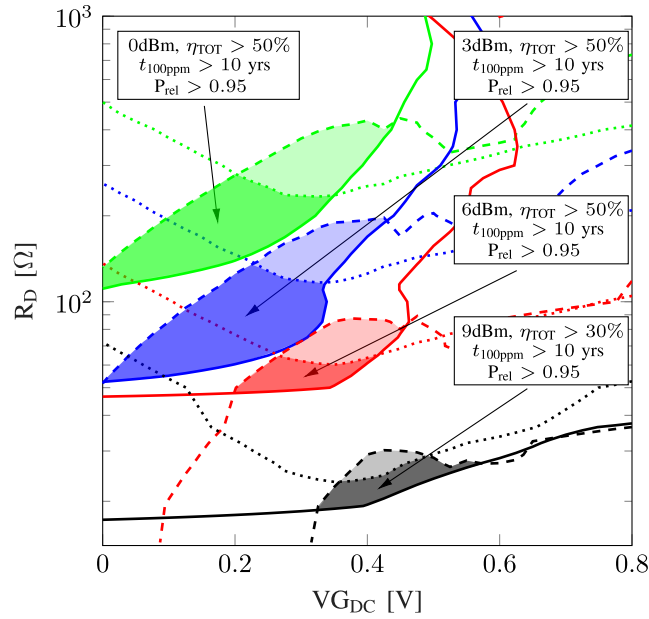


Figura 6.21: Áreas seguras de operación para distintas especificaciones de potencia de salida, resultante de superponer los mapas de diseño de la Fig. 6.20.

valor de potencia de salida estimado a 11 años, con un valor de  $P_{rel} \approx 0.934$ , obteniendo una buena aproximación a un diseño confiable y bajo especificación [262].

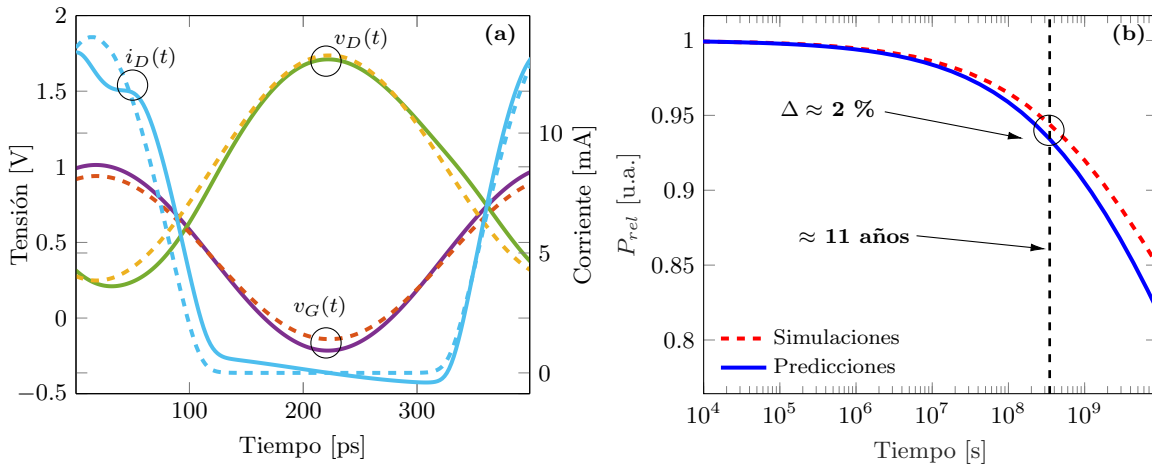


Figura 6.22: Comparación de las estimaciones del espacio de diseño con simulaciones de degradación en función del tiempo por HCI en SPICE. (a) Formas de onda a entrada y salida del PA. (b) Potencia relativa a la nominal  $P_{rel}$  en función del tiempo.

En esta sección se introdujo la dimensión de confiabilidad a una metodología de exploración del espacio de diseño para optimización de PA. La representación de los parámetros de desempeño y confiabilidad sobre mapas de diseño ayudan a obtener

buenas aproximaciones a un diseño inicial que cumpla con los requerimientos de una aplicación específica, ahorrando una cantidad no despreciable de tiempo y recursos en simulaciones extensas y reglas generales pero poco precisas de optimización. Sin embargo, aún queda espacio de mejora: algunos sectores del mapa de diseño pueden resultar en una buena eficiencia a valores aceptables de TDDB, pero la degradación paramétrica a lo largo del tiempo aún puede resultar en un diseño poco robusto. La próxima sección intentará abordar este problema desde la perspectiva de un PA que, ya implementado, pueda garantizar su desempeño a lo largo de toda su vida útil a pesar de su envejecimiento.

### **6.3.6 Polarización adaptativa para RF PA resilientes frente a HCI**

En un circuito o sistema integrado, la capacidad del mismo de detectar condiciones de funcionamiento erróneas y realizar ajustes de operación para mantenerse dentro de especificación (o al menos poder informar al usuario de una condición que puede calificar como falla) se conoce como *"Built-In Self Test"* (BIST) o *"Built-In Self Calibration"* (BISC). Las aplicaciones de este tipo de estrategias son vastas, abarcando circuitos digitales, analógicos y también de RF [261, 263, 264]. Puntualmente respecto a la confiabilidad de estos últimos, diversos autores se han concentrado en introducir algún grado de ajuste frente al envejecimiento [52, 245]. Sin embargo, suelen involucrar técnicas en el dominio digital para detectar la degradación y luego utilizar un microcontrolador para tomar acción y corregir el funcionamiento del circuito, a través de llaves digitales y redundancia de dispositivos sensibles dentro del chip. Si bien en SoCs contemporáneos, la inclusión de un mínimo de lógica de control es una práctica común, el uso de conversores analógico-digitales (ADC, *"Analog-to-Digital Converter"*) puede introducir complejidad en la interconexión de los dispositivos digitales con los bloques de RF, incurriendo en mayor área de silicio y mayor tiempo y costo de diseño. Otras alternativas exploradas, particularmente en RF PA, es el uso de la degeneración inductiva del terminal de fuente del MOSFET [260]. Pero, como se discutiera en la sección 6.2.1, los inductores integrados insumen una gran cantidad de área de silicio e introducen considerables pérdidas.

Otra estrategia popular es la aplicación de circuitos de polarización adaptativa (*"Adaptive Bias"*), en donde el concepto es compensar la degradación del dispositivo utilizando un bloque de polarización que mantenga la corriente de operación a pesar del corrimiento de la tensión de umbral [244, 250, 260, 265]. Sin embargo, estos circuitos



involucran una comparación entre las condiciones de degradación del transistor del PA y su rama de polarización. En el caso del PA, el estrés RF+DC puede estar dominado por la señal de RF [49, 54–56], como en el ejemplo de la sección 6.3.5, mientras que la rama de polarización sufre únicamente estrés de DC para tensiones menores o iguales a la nominal. Esto genera dos ritmos de degradación que pueden ser considerablemente diferentes, reduciendo el impacto de esta estrategia.

En este contexto, se propone un circuito completo para un PA que sea capaz de proveer una polarización adaptativa sin ningún grado de interacción digital a priori y que pueda garantizar que las condiciones de degradación del transistor del PA sean fielmente detectadas y compensadas. El concepto básico de la propuesta radica en la concepción de un sistema de polarización a lazo cerrado en forma completamente analógica, que utilice la degradación real del transistor del PA como señal de realimentación y una referencia de las condiciones de polarización que sea fiel representación de la polarización inicial deseada para el PA, con una tasa de degradación sensiblemente inferior.

La implementación de la idea se encuentra representada en el circuito esquemático de la Fig. 6.23a. Si se compara este circuito con el de la Fig. 6.9a, podemos observar que la diferencia yace en la presencia de los transistores  $M_2$  y  $M_3$ . Estos dispositivos son una fracción del transistor principal del PA ( $M_{PA}$ ) implementados físicamente como parte de la estructura del transistor: si en el diseño del circuito el dimensionamiento de  $M_{PA}$  requiere  $NF$  (*number of fingers*) transistores en paralelo,  $M_2$  y  $M_3$  serán, como mínimo, un transistor (*finger*) agregado para cada uno de ellos en la estructura. La función que desempeñan estos transistores en el circuito son la de monitor y referencia, respectivamente, de las condiciones de polarización de  $M_{PA}$  a lo largo de su vida útil. De este modo,  $M_2$  resuelve el inconveniente de la representación de las condiciones reales de estrés de  $M_{PA}$ , ya que es nominalmente idéntico al transistor principal y se encuentra bajo las mismas condiciones de estrés DC+RF, tanto sobre la compuerta como sobre el drenaje. La única diferencia es una pequeña caída de potencial DC en el resistor de monitoreo  $R_2$ , diseñado para valores alrededor de 10 mV. Por su parte, en la rama de referencia,  $M_3$  es también nominalmente idéntico a  $M_{PA}$  pero no se encuentra conectado a las señales de RF que estresan a  $M_{PA}$  y  $M_2$ , y es utilizado junto con el circuito de la Fig. 6.23b para fijar la polarización  $V_{bias}$  en el nivel deseado para el PA. Para una corriente de DC de unos 600 nA circulando en  $M_2$ , se proponen resistores de 20 K $\Omega$ , implementados en polisilicio con implante de alta resistividad, para obtener tensiones  $V_{mon}$  y  $V_{ref}$  en el orden de los 12 mV. El área ocupada por estos resistores puede ser reducida, por ejemplo, a la mitad si el ancho de los transistores  $M_2 - M_3$  se duplica. El

compromiso será el aumento en el consumo de DC y su impacto sobre la eficiencia del PA.

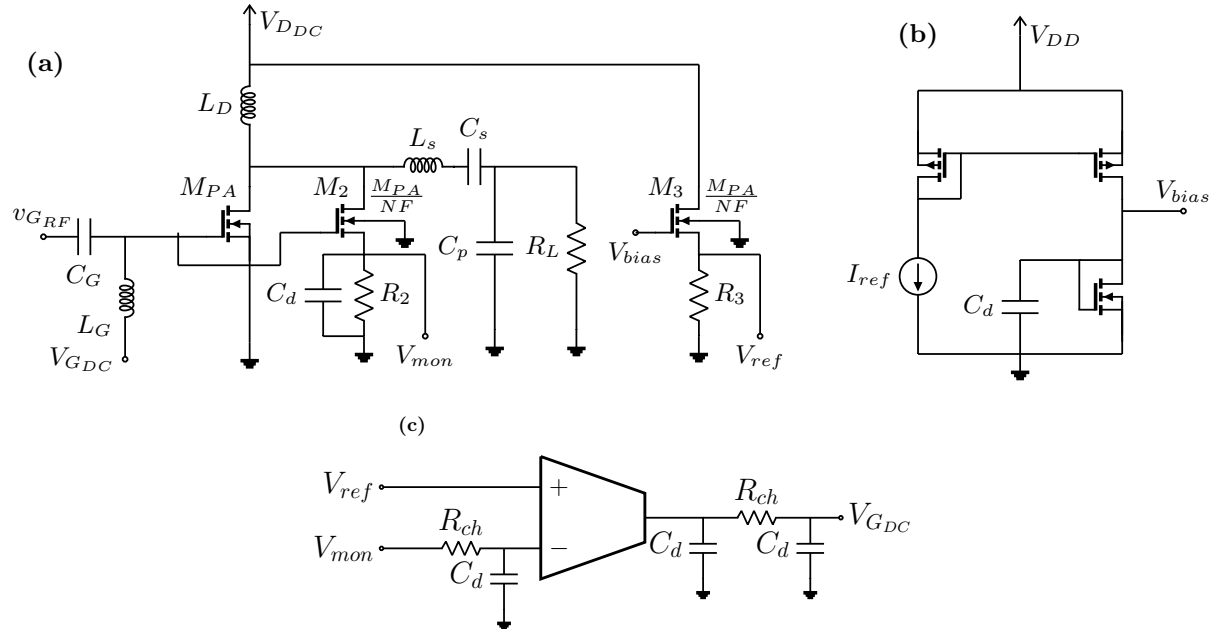


Figura 6.23: Circuito esquemático del PA con polarización adaptativa. (a) Implementación de las ramas de monitor ( $M_2 - R_2$ ) y referencia ( $M_3 - R_3$ ) sobre el PA. (b) Bloque básico de polarización para obtener la tensión de polarización de referencia  $V_{bias}$ . (c) OTA con filtros pasabajos generando la polarización adaptativa del PA  $V_{GDC}$  a partir de  $V_{mon}$  y  $V_{ref}$ .

$M_2$  y  $M_3$  incluyen resistores idénticos en sus terminales de fuente  $R_2$  y  $R_3$  que actúan de midiendo la corriente de DC que circula por estas ramas. De este modo, las caídas de potencial en estos resistores son una representación directa de las condiciones de degradación del PA. A medida que  $M_{PA}$  y  $M_2$  sufren envejecimiento por HCI, la caída de potencial en  $R_2$  ( $V_{mon}$ ) es un monitor de esta degradación, ya que se reduce con el tiempo por la disminución de la corriente de DC en esa rama. Por su lado,  $M_3$ , que sufre condiciones mucho menos agresivas de HCI por estar desacoplado de las señales de potencia de RF, mantendrá una corriente relativamente constante a lo largo del tiempo, generando una caída de potencial en  $R_3$  que puede ser utilizada como referencia de la condición inicial de polarización deseada para el PA ( $V_{ref}$ ). Como muestra la Fig. 6.23c, estas dos tensiones son alimentadas a las entradas de un amplificador operacional de transconductancia (OTA) de dos etapas, que compara los niveles de DC y fija, a su salida, la polarización DC del PA ( $V_{GDC}$ ) para mantener la condición  $V_{mon} \approx V_{ref}$ .

Los circuitos de la Fig. 6.23 fueron diseñados en un proceso CMOS RF de 130 nm. Un PA clase B fue proyectado para una  $P_{out} = 0$  dBm @  $f_c = 2.455$  GHz y conectado a un diseño propio de OTA. En la implementación se incluyen redes pasabajo a entrada y

salida de los OTA ( $R_{ch} - C_d$ ), con el objetivo de desacoplar la señal de RF del circuito que debe operar únicamente en DC. Esto introduce un cierto aumento de área requerida para pasivos en el circuito integrado. Sin embargo, utilizando resistores de alto valor ( $> 10 \text{ M}\Omega$ ) y capacitores MIM de doble capa en el rango de los 2 pF es suficiente para obtener la atenuación necesaria para este diseño. Dado que la precisión en la frecuencia de corte de estos filtros no es crítica, reemplazamos al resistor de alto valor por un transistor MOSFET operando en inversión débil, es decir como una resistencia no lineal de alto valor controlada por tensión. Los esquemáticos del PA, el OTA y los filtros pasabajos, sumado al dimensionamiento de cada componente, se incluyen en el anexo B.6.

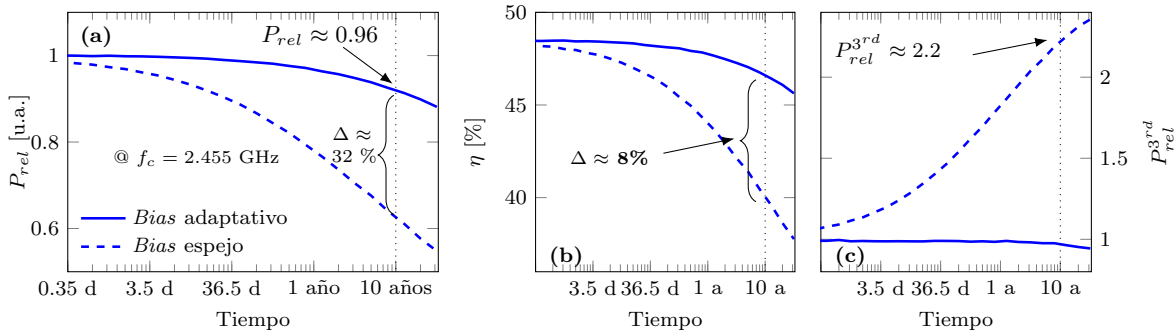


Figura 6.24: Comparación en simulaciones de degradación en función del tiempo entre el PA diseñado con (líneas llenas) y sin (líneas a trazos) polarización adaptativa. (a) Potencia relativa a la nominal, (b) eficiencia y (c) potencia relativa de la tercer armónica.

Para verificar el impacto sobre el PA, se utilizó el flujo de simulación presentado en 6.3.3 sobre el diseño del PA para visualizar el impacto de la polarización adaptativa en función del tiempo de operación continua del circuito. Este circuito fue diseñado para operar a polarizaciones dentro de los parámetros nominales pero bajo una fuerte componente de estrés RF por HCI (tensiones pico sobre el drenaje alrededor de 2 V para transistores de tensión nominal de alimentación DC 1.2 V). En las Figs. 6.24a y 6.24b se observan la potencia relativa respecto a la nominal ( $P_{rel}$ ), la eficiencia ( $\eta$ ) y la potencia de la tercer armónica sobre la carga ( $P_{rel}^{3rd}$ ) en función del tiempo para el circuito con polarización adaptativa (líneas llenas) y el circuito con polarización por espejo simple (líneas a trazos). Tras 10 años de operación continua, el PA con la polarización propuesta operará a una  $P_{rel} = 0.96$ , lo que significa un valor un 32 % mayor del PA con polarización estándar. Por su parte, la eficiencia es un 8 % mayor (en valor absoluto porcentual) hacia el fin de la vida útil. Finalmente,  $P_{rel}^{3rd}$  muestra una leve caída con el circuito propuesto (asociada a la degradación de la movilidad), frente a un aumento de 2.2 veces si no se toma acción alguna (asociado a la operación hacia clase C a  $V_{GDC}$  constante).

La pequeña pérdida de potencia con el tiempo observada para el circuito puede explicarse por el carácter de DC de la solución propuesta, a través de las curvas de transferencia DC simuladas en SPICE de  $M_{PA}$  y las formas de onda instantáneas de la corriente y tensión de drenaje que se muestran en la Fig. 6.25. Las curvas azules representan el caso del transistor sin degradar, la curva negra muestra el impacto del corrimiento  $\Delta V_{th0}$  y las curvas rojas incluyen la degradación de movilidad para el caso  $\alpha_{HCI} = 10$ . Si bien la solución propuesta logra compensar el punto de polarización estático del PA, si no se modifica la amplitud  $v_{GRF}$  a la entrada, la degradación de movilidad resulta en un decremento del valor pico de la corriente  $i_d(t)$  y la consecuente disminución de la fundamental en tensión  $v_D(t)$ . A pesar de que esta degradación no puede ser compensada por el circuito propuesto, las mejoras con respecto a la condición del polarización mediante un espejo simple son evidentes.

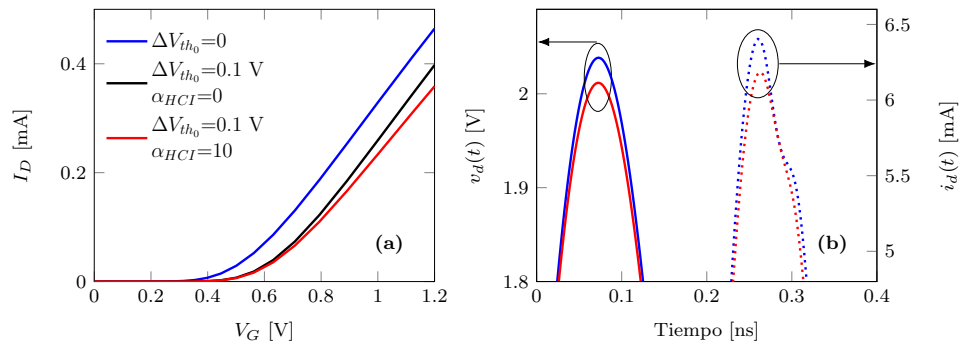


Figura 6.25: Impacto de la degradación de movilidad ( $\alpha_{HCI}$ ) sobre (a) las curvas de transferencia de  $M_{PA}$  y (b) los valores pico instantáneos de tensión ( $v_d(t)$ ) y corriente ( $i_d(t)$ ) de drenaje.

El diseño propuesto fue implementado en la tecnología de 130 nm bajo estudio, y su *layout* final se observa en la Fig. 6.26. En el mismo se marcan los componentes principales del circuito incluyendo el OTA, los filtros  $R_{ch} - C_d$  y los resistores  $R_1 - R_2$  para tomar dimensión de las áreas relativas consumidas por cada sección. Se realizaron simulaciones con extracción de parásitos observando una caída en la frecuencia de sintonía de un 4 % (esperado por las capacidades parásitas de las interconexiones), pero sin ningún otro tipo de pérdida de desempeño en el circuito. Este corrimiento de sintonía puede ser corregido con pequeños cambios en los valores de los componentes de las redes de adaptación. La pérdida de eficiencia al incluir el circuito de polarización adaptativa fue menor al 0.5 %, puesto que la potencia adicional consumida por todos los bloques agregados no superó los 6  $\mu$ W. Por su parte, el área ocupada por los circuitos adicionales es de unos 6500  $\mu$ m<sup>2</sup>, que es menos de 7 % del área insumida por el inductor  $L_D$  por sí solo. Estos valores son

una buena relación de compromiso, ya que ningún tipo de interacción o control digital es requerido para que la polarización adaptativa opere sobre el PA [266].

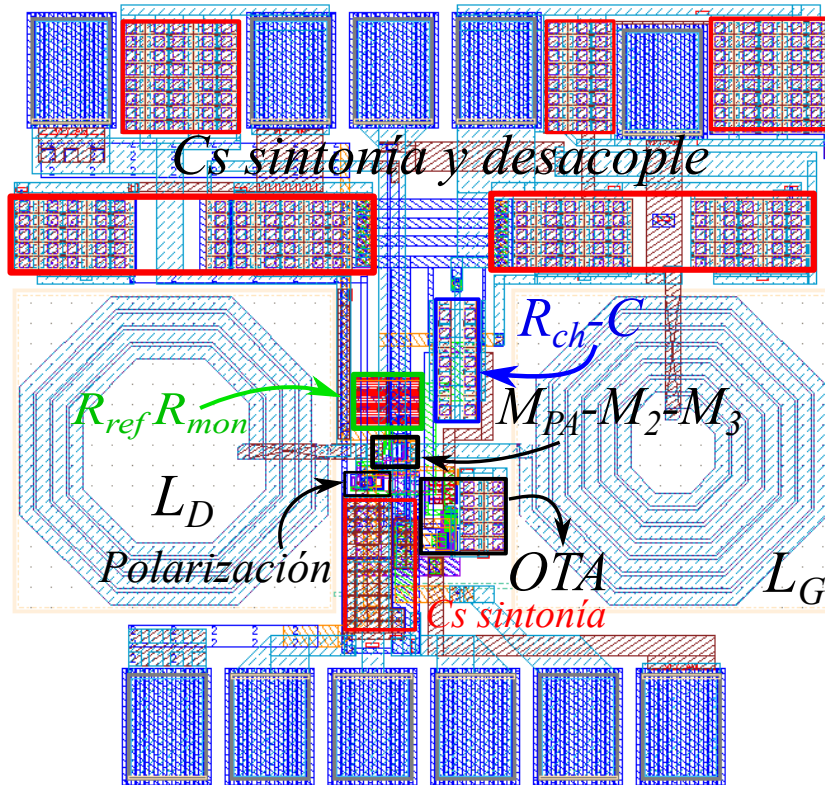


Figura 6.26: Vista de *layout* del circuito del PA propuesto incluyendo las estructuras necesarias para la polarización adaptativa. Notar la gran demanda de área de los inductores y capacitores de sintonía en comparación con el área del OTA y los resistores de monitoreo.

Finalmente, es importante contemplar el impacto de la variabilidad en la propuesta. Se realizaron simulaciones de Montecarlo de 1000 iteraciones considerando únicamente variabilidad *intra-die*, centrándose en la potencia de salida y la eficiencia como especificaciones fundamentales de diseño. Los resultados se muestran en los histogramas de la Fig. 6.27a. El desvío estándar aumenta considerablemente (4.5 veces) en la implementación con polarización adaptativa (curva roja) frente al caso del espejo simple (curva azul a trazos). Sin embargo, el desapareamiento del  $V_{th0}$  entre las ramas de monitoreo y referencia  $M_2 - M_3$  se presenta como el principal responsable en el aumento de la variabilidad de la especificación. Esto se observa en el diagrama de dispersión de la figura Fig. 6.27c, con un coeficiente de correlación  $r = 0.67$  para  $NF = 1$  (puntos azules). La variación de la tensión de umbral tiene una fuerte componente asociada al dimensionamiento de los transistores: utilizar un único *finger* de largo mínimo en la implementación de estas ramas (resultando en  $W_{ch} = 1 \mu\text{m}$  y  $L_{ch} = 0.13 \mu\text{m}$ ) impacta

fuertemente en el desapareamiento. Entonces, incrementando  $NF$  es posible reducir el impacto del desapareamiento  $M_2 - M_3$ , como se observa en la Fig. 6.27d que muestra el desvío estándar de  $P_{out}$  y  $\eta$  relativo a la implementación con espejo de corriente básico  $\sigma_{rel}$  en función del  $NF$  utilizado para los transistores  $M_2 - M_3$ . Se observa una clara reducción de la variabilidad, pero con cierta saturación a partir de  $NF = 5$ , valor que se presenta como una buena relación de compromiso. Las curvas verdes punteadas en la Fig. 6.27a muestran este caso sobre los histogramas de  $P_{out}$  y  $\eta$ , observando que el desapareamiento se puede reducir considerablemente [266].

En este punto, cabe hacer algunas aclaraciones respecto a la variabilidad y el dimensionamiento de los transistores. Por un lado, es necesario considerar que los parásitos introducidos a  $NF$  mayores pueden impactar considerablemente en la sintonía del circuito. Los resultados aquí mostrados son considerando este impacto y corrigiendo las redes de adaptación, resultando en variaciones despreciables en la eficiencia del PA diseñado si se toman las medidas adecuadas. Por otro lado, las simulaciones de variabilidad aquí realizadas consideran un escenario del peor caso, ya que cada transistor del circuito,  $M_{PA}$ ,  $M_2$  y  $M_3$  son instancias individuales sobre las cuales se aplica el modelo de variabilidad del fabricante. Si las técnicas de apareamiento e intedigitación son correctamente utilizadas, la variabilidad esperada entre *fingers* de un mismo transistor tendría una incidencia considerablemente menor.

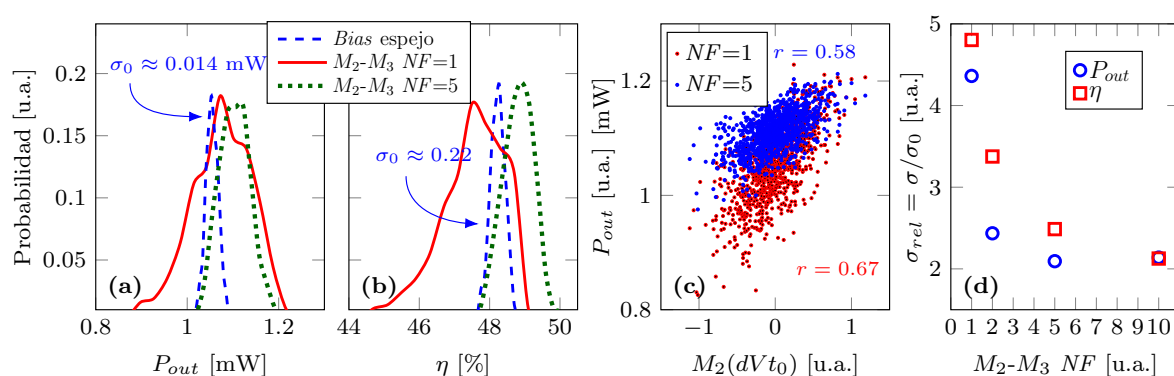


Figura 6.27: Impacto de la variabilidad sobre la especificación del PA sin (líneas a trazos) y con (líneas llenas) la polarización adaptativa. (a) Histograma la potencia de salida y (b) de la eficiencia del PA para diferentes  $NF$  utilizados en  $M_2 - M_3$ . (c) Diagrama de dispersión de  $P_{out}$  en función de la variación del  $Vt_0$  del  $M_2$ . (d) Variabilidad relativa a la nominal sin polarización adaptativa en función del tamaño  $NF$  de  $M_2 - M_3$ .

En esta sección se estudió la confiabilidad en PA de RF totalmente integrados, desde una visión integral del diseño de PAs. Primero se identificó el impacto de las decisiones

de diseño sobre la relación de compromiso entre desempeño y confiabilidad. A su vez, se desarrollaron las herramientas para evaluar la confiabilidad de PAs a nivel de SPICE. Éstas nociones se expandieron a una estrategia sistemática de exploración del espacio de diseño de PAs integrados, pero agregando la dimensión de la confiabilidad a la optimización pre-simulador. Los resultados permiten mapear la confiabilidad junto con las cifras de mérito fundamentales del PA, dándole al diseñador la posibilidad de seleccionar un diseño de todo el espacio disponible que cumpla con los requerimientos específicos de su aplicación sin caer en largas iteraciones de simulador basadas en buenas prácticas, mayoritariamente cualitativas, de diseño. Finalmente, ante la amenaza a la confiabilidad asociada a la degradación paramétrica por envejecimiento de los transistores en PAs, se propuso un circuito que sea capaz de detectar fehacientemente el grado de degradación del dispositivo a partir de las condiciones reales de estrés. Esto permite adaptar la polarización del PA a medida que envejece con un costo mínimo de área y consumo extras, manteniendo las especificaciones dentro de un margen acotado frente a condiciones de funcionamiento exigentes para la confiabilidad.

## 6.4 Conclusiones

En este capítulo se centró la atención en la confiabilidad a nivel de bloques de circuitos integrados. Por su impacto en aplicaciones modernas y por sus condiciones específicas de trabajo, los circuitos de radiofrecuencia suponen un serio desafío para los diseñadores de circuitos integrados, ya que agregar la dimensión de fiabilidad desde etapas tempranas de diseño es generalmente encarado mediante reglas generales y buenas prácticas más que desde una perspectiva de especificación de diseño cuantificable. En este escenario, se consideraron los bloques críticos de un *front-end* de RF por sus exigentes condiciones de trabajo, como el caso de los osciladores controlados por tensión y los amplificadores de potencia.

Para circuitos sensibles al ruido de los dispositivos, como los VCO, se analizó el impacto de la degradación del ruido de transistores MOSFET bajo estrés de HCI. Se propuso la introducción de esta degradación a nivel de simulaciones de SPICE, correlacionando degradación de parámetros de DC con los parámetros de ruido, que no había sido contemplado en la simulación de confiabilidad de VCO hasta el momento. Por parte de los PA, se cuantificaron en detalle las relaciones de compromiso entre las decisiones de diseño y la confiabilidad de la etapa frente a la ruptura dieléctrica y el envejecimiento por HCI. Se propuso una estrategia de exploración del espacio de diseño que permite

reducir el universo de opciones a un juego de diseños dentro de un área segura de operación, sin incurrir en costosas iteraciones de simulador. Para finalizar, se propone una topología de polarización adaptativa para diseños de PA robustos, que permite compensar el envejecimiento del transistor principal muestreando las condiciones reales de estrés y corrigiendo la polarización en un lazo completamente analógico que ayuda a mantener la potencia de salida constante incluso bajo exigentes condiciones de trabajo.



## CONCLUSIONES

### 7.1 Contribuciones

A lo largo de este trabajo se buscó un enfoque integral al estudio de los desafíos de confiabilidad para la próxima generación de dispositivos y circuitos integrados. Este análisis se realizó a lo largo de dos ejes centrales para el futuro de la tecnología CMOS. A nivel de la física de los dispositivos, se estudió en la degradación y ruptura frente al cambio del sistema de materiales Si/SiO<sub>2</sub> hacia semiconductores de alta movilidad y dieléctricos de alta constante dieléctrica o en 2D. A nivel de las aplicaciones, se centró la atención en las exigencias planteadas en circuitos integrados CMOS para aplicaciones de radiofrecuencia de corto alcance y bajo consumo. Sobre estas áreas generales, se realizaron las siguientes contribuciones específicas:

- En capacitores metal-aislante-metal, se determinó experimentalmente que los materiales de los electrodos no juegan un papel central en la velocidad de crecimiento de la ruptura progresiva, resaltando el rol de la constante térmica de los aislantes en el proceso.
- Por su potencial aplicación en tecnologías CMOS futuras basadas en semiconductores III-V de alta movilidad, se estudió el rol de los espesores en óxidos bicapa en la ruptura dieléctrica progresiva. Mediante experimentos sobre estructuras Metal/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub>/InGaAs con distintos espesores de capa de pasivación de interfaz a espesores de óxido totales constantes, se propuso una adecuación del modelo

de electromigración de la ruptura progresiva para tomar en cuenta la estructura bicapa. Los resultados muestran una mejora en la tasa de degradación hasta espesores de capa de interfaz no mayores a 1.5 nanómetros. Esta información es de gran utilidad para el dimensionamiento de los dieléctricos en la nueva generación de dispositivos de efecto de campo.

- Como otro mecanismo fundamental de degradación en tecnologías MOS de alta movilidad, se estudiaron los fenómenos de atrapamiento de carga intrínsecos a la fabricación de los dispositivos. Mediante mediciones sistemáticas de curvas C-V multifrecuencia y ciclos de histéresis, se observó que la dinámica de atrapamiento de los defectos expuestos por cada técnica de medición son sensiblemente diferentes, razón por la cual deben ser cuidadosamente diferenciadas en el estudio de la calidad de estructuras MOS basadas en  $\text{Al}_2\text{O}_3$  sobre InGaAs. Se propuso a su vez una verificación experimental mediante ciclos de histéresis con estrés a tensión constante, demostrando la característica de DC del atrapamiento de carga frente a la característica de AC de la interacción de las trampas de frontera.
- Se realizó un análisis exploratorio de las características de ruido eléctrico en el nitruro de boro hexagonal, un dieléctrico novedoso en dos dimensiones. Mediante un banco experimental específicamente diseñado para el acondicionamiento y adquisición de señales de ruido en la corriente de fuga a través del aislante, se midieron dispositivos *cross-bar* con h-BN multicapa de dieléctrico. Los resultados experimentales exponen ruido telegráfico para los dispositivos sanos bajo condiciones de estrés a tensión constante, incluso mucho antes de mostrar evidencia de ruptura, característica no reportada previamente, mostrando un claro paso de ruido telegráfico a ruido rosa durante el inicio de la ruptura. Estos resultados no han sido reportados hasta la fecha en la literatura para este tipo de dispositivos y pueden contribuir a comprender el origen de los defectos que contribuyen al inicio de la ruptura.
- Se estudió la degradación del ruido de fase en osciladores controlados por tensión (RF VCO), otro bloque fundamental de RF, frente al envejecimiento de los transistores. Se demostró que la degradación de DC no siempre puede explicar la totalidad del incremento del ruido de fase observado, cobrando importancia el incremento del ruido de los transistores con el envejecimiento. Se propuso una estrategia de simulación que contemple el cambio de los parámetros de ruido de los transistores bajo envejecimiento por portadores calientes.

- Considerando modelos de confiabilidad ampliamente difundidos en la literatura y ajustados experimentalmente a una tecnología CMOS de 130 nm, se propuso una exploración del impacto de las decisiones de diseño en los indicadores de confiabilidad en amplificadores de potencia de radiofrecuencia (RF PA) de corto alcance. Mediante una estrategia de simulación de confiabilidad dependiente del tiempo se demostró que, para aplicaciones ultra confiables, es posible controlar de forma eficiente a partir del diseño, las pérdidas incurridas de desempeño para garantizar una confiabilidad elevada en el tiempo de misión proyectado.
- Como herramienta de diseño, se elaboró una técnica de exploración del espacio de diseño de RF PA que contempla la confiabilidad del transistor principal en función de las decisiones de diseño. Esta técnica permite mapear indicadores de desempeño (por ejemplo, eficiencia) junto con confiabilidad del óxido frente a ruptura dieléctrica y degradación paramétrica por portadores calientes. El resultado es una zona segura de operación para el transistor principal planteada en función de las especificaciones de diseño y confiabilidad impuestas por la aplicación, simplificando la tarea de búsqueda y optimización al diseñador.
- Considerando que el envejecimiento por portadores calientes es uno de los principales mecanismos de pérdida de desempeño en RF PA, se propuso un circuito de polarización a lazo cerrado que provee de polarización adaptativa al transistor principal frente a la degradación de su tensión de umbral. El aspecto central de la propuesta es una estructura que permite incluir un transistor sometido a idénticas condiciones de estrés que el transistor principal, con sobre costo despreciable en área y consumo, a los efectos de medir la degradación en tiempo real y poder compensarla. A través de un lazo de realimentación analógico, el sistema propuesto es completamente autónomo, sin requerir interacción por parte de un procesador digital ni la conversión analógica-digital y/o digital-analógica de otras soluciones reportadas.

En suma, se realizaron contribuciones originales a la comprensión, modelado y caracterización de la ruptura de dieléctrica progresiva de dispositivos MIM y MOS con materiales centrales para la nueva generación de tecnologías CMOS, como los óxidos *high-k*, los semiconductores de alta movilidad y los aislantes en dos dimensiones. En relación a los dispositivos MOS sobre sustratos III-V, se contribuyó al entendimiento de los mecanismos de inestabilidad y atrapamiento de carga, aspecto crítico para la irrupción de esta tecnología. A su vez, se contribuyó en el análisis y optimización del

compromiso confiabilidad-desempeño de circuitos CMOS de RF, proponiendo estrategias que permiten obtener RF PAs más robustos al envejecimiento y proponiendo técnicas de análisis de la degradación en el tiempo del ruido de fase en RF VCO.

## 7.2 Perspectivas a futuro

En línea con los desafíos planteados al inicio de esta tesis y a las contribuciones específicas realizadas, se desprenden los siguientes puntos para profundizar el trabajo a futuro y resolver problemas abiertos:

- El rol de los óxidos multicapa en la ruptura dieléctrica es aún un tema de discusión. Puntualmente respecto a la ruptura progresiva, los dieléctricos nanolaminados podrían ser un buen compromiso entre alta constante dieléctrica y alta confiabilidad. Sin embargo, es necesario un estudio sistemático de estos sistemas bajo condiciones de ruptura progresiva para comprender su potencial.
- En términos de la inestabilidad en estructuras MOS novedosas, el papel de los materiales del electrodo metálico merece atención detallada. Según la reactividad del metal de compuerta, la estabilidad del óxido y la interfaz pueden verse severamente modificadas, con lo cual un análisis experimental detallado de la contribución de distintos metales al atrapamiento de carga puede ayudar a optimizar las estructuras MOS sobre InGaAs.
- Los dieléctricos en capas son un tópico relativamente nuevo y con mucho espacio de estudio restante para su comprensión. Puntualmente, el análisis del ruido en monocapas de materiales 2D puede resultar extremadamente útil por su relación con la presencia de defectos puntuales cuya naturaleza aún no se encuentra completamente dilucidada.
- Actualmente, se disponen de pocos datos de la dinámica de ruptura en óxidos delgados conviviendo con estrés de portadores calientes bajo señales de RF. Los costos de este tipo de mediciones no solo son elevados en términos de equipamiento sino además de factibilidad para disponer de suficientes dispositivos para experimentos que permitan analizar la estadística de este fenómeno. Un análisis sistemático de la confiabilidad del óxido frente a ruptura bajo envejecimiento por portadores calientes puede ser de utilidad para reducir los márgenes de seguridad y aumentar el desempeño en circuitos de RF de vanguardia.

- La estrategia propuesta de polarización adaptativa deja lugar para su perfeccionamiento considerando no solo la corriente de DC sino también la corriente pico de RF provistas por el transistor principal. Extender la polarización a lazo cerrado considerando la corriente máxima provista por el transistor principal en condiciones de degradación puede ayudar a mantener la potencia de salida constante a costas de un consumo estático ligeramente mayor. La exploración de estas posibilidades puede contribuir a la obtención de diseños de altísimo desempeño y confiabilidad a lo largo del tiempo.
- Considerando que los circuitos RF CMOS de pequeña señal suelen beneficiarse de una alta relación rendimiento/consumo en la zona de inversión moderada, la degradación paramétrica en tales condiciones no siempre es bien representada por modelos de inversión fuerte como los representados por la tensión de umbral y la movilidad. Por esta razón, una interfaz de degradación integral de modelos es deseable para reflejar la degradación bajo toda condición de inversión, contemplando efectos secundarios de las trampas de interfaz como la reducción de pendiente sub-umbral.





## APENDICE A: LISTA PUBLICACIONES CENTRALES

A continuación se listan, en orden cronológico, las publicaciones centrales a los contenidos de esta tesis.

### A.1 Artículos en revistas con referato

- **Pazos, S., Aguirre, F., Miranda, E., Lombardo, S., and Palumbo, F.** (2017). Comparative study of the breakdown transients of thin Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub> films in MIM structures and their connection with the thermal properties of materials. *Journal of Applied Physics*, 121(9):094102.  
<https://dx.doi.org/10.1063/1.4977851>
- **Pazos, S. M., Aguirre, F. L., Tang, K., McIntyre, P., Palumbo, F.** (2018). Lack of correlation between C-V hysteresis and capacitance frequency dispersion in accumulation of metal gate/high-k/n-InGaAs metal-oxide-semiconductor stacks. *Journal of Applied Physics*, 124(22), 224102.  
<https://dx.doi.org/10.1063/1.5031025>
- **Pazos, S. M., Aguirre, F. L., Palumbo, F., Silveira, F.** (2018). Performance-reliability trade-offs in short range RF power amplifier design. *Microelectronics Reliability*, 88–90, 38–42.  
<https://dx.doi.org/10.1016/j.microrel.2018.06.089>

- **Pazos, S. M., Aguirre, F. L., Palumbo, F., Silveira, F.** (2019). Reliability-aware design space exploration for fully integrated RF CMOS PA. *IEEE Transactions on Device and Materials Reliability*, 20(1), 38–42.  
<https://dx.doi.org/10.1109/TDMR.2019.2957489>
- **Palumbo, F., Wen, C., Lombardo, S., Pazos, S., Aguirre, F., Eizenberg, M., Lanza, M.** (2019). A Review on Dielectric Breakdown in Thin Dielectrics: Silicon Dioxide, High- $k$ , and Layered Dielectrics. *Advanced Functional Materials*, 1900657.  
<https://dx.doi.org/10.1002/adfm.201900657>
- **Pazos, S. M., Boyeras Baldomá, S., Aguirre, F. L., Krylov, I., Eizenberg, M., Palumbo, F.** (2020). Impact of bilayered oxide stacks on the breakdown transients of Metal-Oxide-Semiconductor devices: an experimental study. *Journal of Applied Physics*, 127(17), 174101.  
<https://dx.doi.org/10.1063/1.5138922>
- **Pazos, S. M., Aguirre, F. L., Palumbo, F., Silveira, F.** (2020). Hot-carrier-injection resilient RF power amplifier using adaptive bias. *Microelectronics Reliability*, 114, 113912.  
<https://dx.doi.org/10.1016/j.microrel.2020.113912>.

## A.2 Publicaciones en *proceedings* de conferencias indexadas

- **Pazos, S., Aguirre, F., Palumbo, F.** (2017). Analysis and comparison of the CV-Dispersion of high- $k$ , bi-layered MOS InGaAs/InP stacks. *En 2017 1st Conference on IEEE PhD Research in Microelectronics and Electronics Latin America, PRIME-LA 2017, IEEE*.  
<https://dx.doi.org/10.1109/PRIME-LA.2017.7899166>
  - Premio al mejor trabajo de la conferencia.
- **Pazos, S. M., Aguirre, F. L., Palumbo, F.** (2017). Charge trapping effects on Metal-Gate/High- $k$ /III-V MOS devices assessed through C-V hysteresis. *En 2017 Argentine Conference of Micro-Nanoelectronics, Technology and Applications (CAMTA)*,



pp. 21–25. *IEEE*.

<https://dx.doi.org/10.1109/CAMTA.2017.8058135>

- **Boyeras, S., Pazos, S. M., Aguirre, F. L., Giannetta, H., Delgado, C., Palumbo, F.** (2019). Progressive Breakdown on Bi-Layered Gate Oxide Stacks. *En 2019 34th Symposium on Microelectronics Technology and Devices (SBMicro)*, pp. 1–4. *IEEE*.

<https://dx.doi.org/10.1109/SBMicro.2019.8919480>

– Premio al mejor trabajo de la conferencia.

- **Pazos, S. M., Baudino, J. J., Joglar, M., Aguirre, F. L., Navarro, C., Silveira, F. y Palumbo, F.** (2020). Sensitive Devices and Phase Noise Degradation Mechanisms on all-NMOSFET RF VCO Aging. *Argentine Conference on Electronics (CAE)*, pp. 20-26. *IEEE*.

<https://dx.doi.org/10.1109/CAE48787.2020.9046373>

### A.3 Participación en publicaciones vinculadas a la línea de trabajo

- **Palumbo, F., Pazos, S., Aguirre, F., Winter, R., Krylov, I., Eizenberg, M.** (2017). Temperature dependence of trapping effects in metal gates/Al<sub>2</sub>O<sub>3</sub>/InGaAs stacks. *Solid-State Electronics*, 132, 12–18.

<https://dx.doi.org/10.1016/j.sse.2017.03.009>

- **Fontana, A., Pazos, S. M., Aguirre, F. L., Palumbo, F.** (2017). Automatic ASET sensitivity evaluation of a custom-designed 180nm CMOS technology operational amplifier. *2017 Argentine Conference of Micro-Nanoelectronics, Technology and Applications (CAMTA)*, 21–25.

<https://dx.doi.org/10.1109/CAMTA.2017.8058136>

- **Palumbo, F., Aguirre, F. L., Pazos, S. M., Krylov, I., Winter, R., Eizenberg, M.** (2018). Influence of the spatial distribution of border traps in the capacitance frequency dispersion of Al<sub>2</sub>O<sub>3</sub>/InGaAs. *Solid-State Electronics*, 149, 71–77.

<https://dx.doi.org/10.1016/J.SSE.2018.07.006>

- **Aguirre, F. L., Pazos, S. M., Palumbo, F., Fadida, S., Winter, R., Eizenberg, M.** (2018). Impact of forming gas annealing on the degradation dynamics of Ge-

- based MOS stacks. *2018 IEEE International Reliability Physics Symposium (IRPS), P-GD.3-1-P-GD.3-5*.  
<https://dx.doi.org/10.1109/IRPS.2018.8353663>
- **Fontana, A., Pazos, S. M., Aguirre, F. L., Palumbo, F., Vega, N., Muller, N. A., De La Fourniere, E., Debray, M.** (2018). Heavy Ion Microbeam Experimental Study of ASET on a Full-Custom CMOS OpAmp. *31st Symposium on Integrated Circuits and Systems Design, SBCCI 2018*.  
<https://dx.doi.org/10.1109/SBCCI.2018.8533232>
  - **Aguirre, F., Pazos, S., Palumbo, F. R. M., Fadida, S., Winter, R., Eizenberg, M.** (2018). Effect of forming gas annealing on the degradation properties of Ge-based MOS stacks. *Journal of Applied Physics, 123(13), 134103*.  
<https://dx.doi.org/10.1063/1.5018193>
  - **Aguirre, F. L., Padovani, A., Ranjan, A., Raghavan, N., Vega, N., Muller, N., Matias Pazos, S., Debray, M., Molina, J., Pey, K. L., Palumbo, F.** (2019). Spatio-Temporal Defect Generation Process in Irradiated HfO<sub>2</sub> MOS Stacks: Correlated Versus Uncorrelated Mechanisms. *2019 IEEE International Reliability Physics Symposium (IRPS), 1–8*.  
<https://dx.doi.org/10.1109/IRPS.2019.8720539>
  - **Aguirre, F. L., Rodriguez-Fernandez, A., Pazos, S. M., Sune, J., Miranda, E., Palumbo, F.** (2019). Study on the Connection Between the Set Transient in RRAMs and the Progressive Breakdown of Thin Oxides. *IEEE Transactions on Electron Devices, 66(8), 3349–3355*.  
<https://dx.doi.org/10.1109/TED.2019.2922555>
  - **Fontana, A., Pazos, S., Aguirre, F., Vega, N., Muller, N., De la Fourniere, E., Silveira, F., Debray, M. E., Palumbo, F.** (2019). Pulse quenching and charge sharing effects on heavy-ion microbeam induced ASET in a full-custom CMOS OpAmp. *IEEE Transactions on Nuclear Science, 66(7), 1473–1482*.  
<https://dx.doi.org/10.1109/TNS.2019.2908174>
  - **Boyeras Baldomá, S., Pazos, S. M., Aguirre, F. L., Palumbo, F. R.** (2020). Breakdown transients in high-k multilayered MOS stacks: Role of the oxide–oxide thermal boundary resistance. *Journal of Applied Physics, 128(3), 034103*.  
<https://dx.doi.org/10.1063/5.0012918>

## APÉNDICE B: PARÁMETROS DE MODELOS DE DEGRADACIÓN Y DIMENSIONAMIENTO DE CIRCUITOS

### B.1 Parámetros para modelos de degradación

Los parámetros de los modelos de degradación utilizados para la construcción del espacio de diseño y las simulaciones de SPICE del capítulo 6 se detallan en la tabla B.1. Los mismos fueron ajustados para la tecnología en cuestión a partir de los resultados de degradación acelerada, obteniendo valores consistentes con lo esperado para la tecnología bajo estudio. Estos valores son representativos para los experimentos realizados y se incluyen como referencia para reproducibilidad de los resultados, pero cabe destacar que los mismos pueden variar entre procesos de distintos fabricantes, condiciones de estrés de los experimentos y la metodología utilizada para ajustar los parámetros.

### B.2 Modelo de ruptura dieléctrica simplificado para simuladores

La pérdida de las propiedades aislantes del óxido de compuerta ha sido ampliamente modelada [76–79, 252], a primer orden, por una red resistiva como la que se presenta en la Fig. B.1. Cada resistor representa la resistencia efectiva de uno o varios caminos percolativos entre el terminal de compuerta y el canal, más próximo al terminal de drenaje ( $R_{GD}$ ) o al de fuente ( $R_{GS}$ ), según corresponda. El impacto de este modelo en

APÉNDICE B. APÉNDICE B: PARÁMETROS DE MODELOS DE DEGRADACIÓN Y DIMENSIONAMIENTO DE CIRCUITOS

$\beta = 1.5$	$m = 11$
$t_0$ [s] = $6 \times 10^{11}$	$A_{ref}$ [cm <sup>2</sup> ] = $10^{-4}$
$\lambda$ [nm] = 7.8	$m_\mu = 1.6$
$l$ [nm] = 47	$\alpha_{HCI} = 35$
$n_{HCI} = 0.44$	$\Phi_{it}$ [eV] = 3.7
$E_0$ [V/nm] = 0.8	$K_{HCI}$ [nm $\sqrt{C}$ ] = $45 \times 10^9$

Tabla B.1: Valores de los parámetros para modelos de TDDB y HCI utilizados para un proceso de 130 nm.

la funcionalidad de un circuito depende fuertemente de las características del mismo. En el caso particular de los RF PA, se requiere una ruptura fuerte (de baja resistencia) para apreciar sus efectos. Sin embargo, por completitud se incluye este modelado para aplicación específica según el circuito bajo estudio.

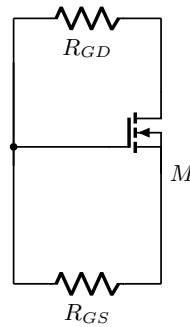


Figura B.1: Representación básica de la ruptura en modelos compactos de SPICE, popular en la literatura [76–79, 252].

### B.3 Parámetros de DC bajo degradación en SPICE

Los parámetros involucrados en los modelos de degradación por HCI utilizados son la tensión de umbral y la movilidad del canal. Estos suelen ser parámetros generales del proceso, que luego se definen contemplando la variabilidad a nivel de parámetro de la celda correspondiente, por ejemplo  $nfetrf$ . En el núcleo del modelo PSP, la tensión de umbral tiene una componente asociada a la tensión de bandas planas del proceso, independiente de la geometría del dispositivo,  $VFBO$ . A partir de una variable de diseño que cuantifica el desvío de la tensión de umbral que llamaremos  $dvt_n$ , basta con incluir en el archivo de modelos la línea:

Triodo	$\frac{S_{I_D}}{I_D^2} = \left(\frac{q}{C_{ox}}\right)^2 \frac{kTN_T(E_f)}{\gamma f WL} \left(\frac{I_D}{V_{GS}-V_{th}}\right)^2$	$S_{I_D} = \frac{\alpha q \mu^2 C_{ox} (V_{GS}-V_{th}) V_{DS}^2 W}{f L^3}$
	$\frac{S_{I_D} A}{I_D^2} = \left(\frac{q}{C_{ox}}\right)^2 \frac{kTN_T(E_f)}{\gamma f} \frac{1}{(V_{GS}-V_{th})^2}$	$\frac{S_{I_D} A}{I_D^2} = \frac{\alpha q}{f C_{ox} (V_{GS}-V_{th})}$

Tabla B.2: Modelos de fluctuación de cantidad de portadores  $\Delta n$  ([178]) y de fluctuación de movilidad de portadores  $\Delta \mu$  ([179]) en los cuales se basan, en forma general, los modelos semiempíricos de SPICE.

$$(B.3.1) \quad VFBO = VFBO + dvt\_n.$$

De forma similar puede procederse con el parámetro de movilidad independiente de la geometría del dispositivo,  $UO$ . Puesto que en el modelo utilizado, se considera una proporcionalidad entre la densidad de trampas generadas por HCI, el desvío de la tensión de umbral y la degradación de la movilidad, basta con relacionar el parámetro de degradación de la movilidad con la variable  $dvt\_n$ . De este modo, la variación de movilidad se calcula en una variable de diseño como (notar que  $**$  es el operador de potenciación):

$$(B.3.2) \quad dm\mu = (((((dvt\_n * Cox)/q) * alphaHCI) + 1) * * mMU),$$

y luego se actualiza el parámetro del modelo dentro del archivo del fabricante como:

$$(B.3.3) \quad UO = UO/dm\mu.$$

## B.4 Parámetros de ruido bajo degradación en SPICE

Estos modelos aplicados al transistor MOSFET pueden resumirse en la siguiente tabla, de acuerdo a las condiciones de polarización a la cual se encuentra sometido el dispositivo.

Para la tecnología de 130 nm utilizada en los diseños de este trabajo y de forma general para resultados reportados en la literatura, se utilizó un modelo lineal de relación entre el aumento de  $\Delta V_{th_{HCI}}$  observado por HCI y el incremento de los parámetros de ruido, definido por una pendiente  $m$ . Esta relación se introduce en SPICE como una variable de diseño  $k\_deg\_n$ :

$$(B.4.1) \quad k_{deg\_n} = (1 + m * \Delta V_{th_n}), \quad m = 1/16 \text{ mV}^{-1}.$$

Esta variable se introduce en los modelos de SPICE provistos por el fabricante para los transistores utilizados, siendo válida para circuitos en donde los transistores de un mismo tipo (*nfetrf* en este caso) sufren la misma degradación, como es el caso de VCO estudiado. Los parámetros de ruido de flicker en el modelo quedan descritos como:

$$(B.4.2) \quad NFALW = NFALW_0 * k_{deg\_n},$$

$$(B.4.3) \quad NFBLW = NFBLW_0 * k_{deg\_n},$$

$$(B.4.4) \quad NFCLW = NFCLW_0 * k_{deg\_n},$$

mientras que el ruido térmico se asume que sigue la misma dinámica, de modo que:

$$(B.4.5) \quad NFTO = NFTO_0 * k_{deg\_n}.$$

En todos los casos, el subíndice "0" representa el valor provisto por el fabricante en el modelo original. Para modelos de dependencia más detallados,  $k_{deg\_n}$  puede ser reemplazado por variables de diseño individuales para cada término de ruido. En el entorno de diseño, para apagar la contribución de la degradación del ruido, basta con definir  $m=0$ , manteniendo el modelo por defecto.

## **B.5 Simulaciones de degradación en función del tiempo en SPICE**

Estas simulaciones se realizan sobre una única *netlist* del circuito original, ejecutando simulaciones paramétricas que involucran los modelos de degradación temporal. Para ello se crea un vector de tiempos para realizar análisis a intervalos fijos. El tamaño del vector (separación temporal entre puntos) impacta en la estimación de confiabilidad, por la actualización en cada intervalo de las señales de estrés en el circuito. Un espaciado lineal sobre intervalos tan largos como 10 años puede resultar en una simulación inviable por la cantidad de puntos a ejecutar. Se optó por fijar una separación logarítmica con

suficiente cantidad de pasos de modo que incrementar la resolución al doble no conlleve un error mayor al 1 % en la estimación del resultado en el tiempo final de interés. Esto se realiza mediante aproximaciones sucesivas, aumentando la cantidad de puntos del vector hasta satisfacer la condición antedicha.

A cada intervalo, los parámetros de degradación se calculan en base a los modelos de las secciones anteriores bajo la aproximación de QS DC sobre un período de análisis de PSS. Estos resultados se utilizan para actualizar la variables de diseño  $dvt_n$  en el entorno de simulación, utilizando esta el nuevo juego de variable de diseños en la simulación siguiente. Esta integración puede realizarse mediante un script de TCL u Ocean, según la herramienta propietaria de simulación a utilizar. Estos scripts se encuentran a disposición ante solicitud.

## B.6 Dimensionamiento para polarización adaptativa CMOS

El diseño proyectado en la sección 6.3.6 fue seleccionado del espacio de diseño construido en la sección 6.3.5 para obtener elevada eficiencia bajo señales pico de drenaje que exigen severamente al transistor en términos de HCI. Los valores nominales para los componentes se detallan en la Fig. B.2, para una polarización  $V_{GDC} = 0.3$  V y  $V_{DDC} = 1.15$  V.

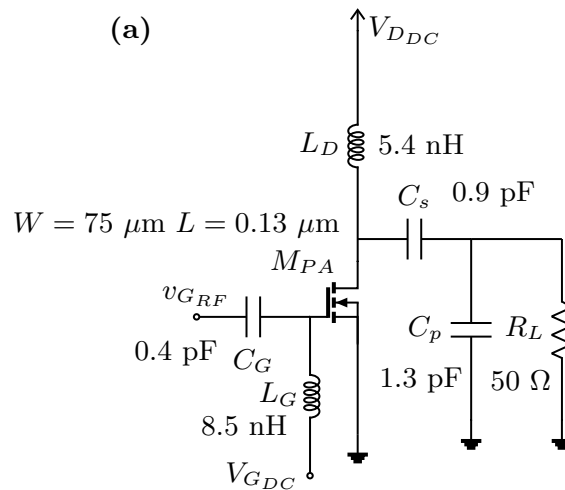


Figura B.2: Dimensionamiento de los componentes del PA utilizado en la sección 6.3.6.

APÉNDICE B. APÉNDICE B: PARÁMETROS DE MODELOS DE DEGRADACIÓN Y DIMENSIONAMIENTO DE CIRCUITOS

El amplificador de transconductancia (OTA) compensado de dos etapas y los filtros pasabajos esquematizados en la Fig. 6.23a se detallan a nivel componente en la Fig. B.3, alimentado a tensión nominal  $V_{DD} = 1.2$  V.

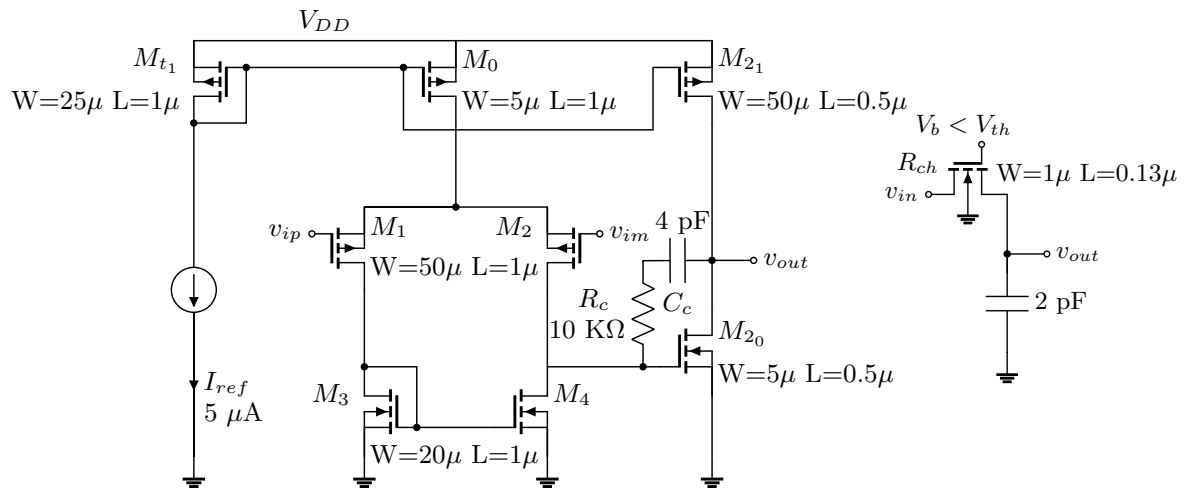


Figura B.3: OTA de dos etapas compensado (izq.) y estructura pasa bajos (der.) utilizados en la sección 6.3.6.





## APÉNDICE C: LISTA DE ACRÓNIMOS Y SIGLAS

**MOSFET** "*Metal-Oxide-Semiconductor Field-Effect Transistor*", transistor de efecto de campo metal-óxido-semiconductor.

**CMOS** "*Complementary Metal-Oxide-Semiconductor*", metal-óxido-semiconductor complementaria.

**MOS** "*Metal-Oxide-Semiconductor*", metal-óxido-semiconductor.

**HK** "*High-k*", alta constante dieléctrica.

**MG** "*Metal Gate*", compuerta metálica.

**IoT** "*Internet of Things*", Internet de las cosas.

**SoC** "*System-on-Chip*", sistema en chip.

**SiP** "*System-in-Package*", sistema en encapsulado.

**RF** "*Radio-Frequency*", radiofrecuencia.

**RFFE** "*Radio-Frequency Front End*", bloques de radiofrecuencia dedicados a recepción/transmisión de la señal de microondas.

**MIM** "*Metal-Insulator-Metal*", metal-aislante-metal.

**BT** "*Border traps*", trampas de frontera.

**DC** "*Direct Current*", corriente directa, en referencia a polarización o gran señal.

- AC** "*Alternate Current*", corriente alterna, en referencia a pequeña señal estacionaria en frecuencia.
- $t_{ox}$**  "*Oxide thickness*", espesor del óxido.
- $W_{ch}$**  "*Channel Width*", ancho del canal en dispositivos MOSFET.
- $L_{ch}$**  "*Channel Length*", largo del canal en dispositivos MOSFET.
- TDDB** "*Time Dependent Dielectric Breakdown*", ruptura dieléctrica dependiente del tiempo.
- BTI** "*Bias Temperature Instability*", inestabilidad en tensión y temperatura.
- HCI** "*Hot-Carrier Injection*", inyección de portadores calientes.
- CVS** "*Constant Voltage Stress*", estrés a tensión constante.
- SI** "*Strong Inversion*", inversión fuerte.
- WI** "*Weak Inversion*", inversión débil.
- RMS** "*Root-mean square*", valor eficaz.
- QSDC** "*Quasi-Stationary DC*", DC cuasi-estacionario.
- BD** "*Breakdown*", ruptura.
- SBD** "*Soft Breakdown*", ruptura "suave".
- HBD** "*Hard Breakdown*", ruptura "severa".
- PBD** "*Progressive Breakdown*", ruptura progresiva.
- DR** "*Degradation Rate*", tasa de degradación.
- TAT** "*Trap Assisted Tunneling*", túnel asistido por trampas.
- ALD** "*Atomic Layer Deposition*", deposición por capas atómicas.
- SMU** "*Source Measurement Unit*", unidad de fuente y medida.
- TIA** "*Transimpedance Amplifier*", amplificador de transimpedancia.
- FBD** "*Fast Breakdown*", ruptura "rápida".
- QPC** "*Quantum Point Contact*", contacto puntual cuántico, en referencia al modelo de conducción filamentaria.
- TEM** "*Transmission Electron Microscopy*", microscopía por transmisión de electrones.

---

**XPS** *"X-Ray Photoelectron Spectroscopy"*, espectroscopía de fotoelectrones de rayos X.

**IPL** *"Interface Passivation Layer"*, capa de pasivación de interfaz.

**EOT** *"Equivalent Oxide Thickness"*, espesor equivalente de óxido.

**FGA** *"Forming Gas Annealing"*, recocido en atmósfera de NH<sub>3</sub>.

**CET** *"Capactiance Equivalent Thickness"*, espesor a capacidad equivalente.

**SILC** *"Stress Induced Leakage Current"*, corriente de fuga inducida por estrés.

**RTN** *"Random Telegraph Noise"*, ruido telegráfico aleatorio.

**PSD** *"Power Spectral Density"*, densidad espectral de potencia.

**FFT** *"Fast Fourier Transform"*, transformada rápida de Fourier.

**h-BN** *"hexagonal Boron Nitride"*, nitruro de boro hexagonal.

**HAADF STEM** *"High-Angle Annular Dark-Field Scanning Transmission Electron Microscopy"*, microscopía de barrido TEM de campo oscuro anular de grandes ángulos.

**CVD** *"Chemical Vapor Deposition"*, deposición química por vapor.

**CAFM** *"Conductive Atomic Force Microscopy"*, microscopía de fuerza atómica conductiva.

**LNA** *"Low-Noise Amplifier"*, amplificador de bajo ruido.

**VCO** *"Voltage Controlled Oscillator"*, oscilador controlado por tensión.

**RF PA, PA** *"RF Power Amplifier"*, en referencia a amplificador de potencia de radiofrecuencia.

**LO** *"Local Oscillator"*, oscilador local.

**LC** *"Inductive-Capacitive"*, en referencia a tanques inductivo-capacitivos.

**L** *"Inductance"*, inductancia.

**SPICE** *"Simulation Program with Integrated Circuit Emphasis"*, programa de simulación con énfasis en circuitos integrados.

**PSS** *"Periodic Steady State"*, estado estacionario periódico.

**PAE** *"Power Added Efficiency"*, eficiencia ponderada en potencia adicional.

**DfR** *"Design for Reliability"*, diseño para confiabilidad.

**LUT** "*Look-Up Tables*", tablas de búsqueda.

**PVT** "*Process Voltage Temperature*", proceso, tensión y temperatura, en relación a fuentes de variabilidad.

**OTA** "*Operational Transconductance Amplifier*", amplificador operacional de transconductancia.

## REFERENCIAS

- [1] I. Ferain, C. A. Colinge, and J. P. Colinge, “Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors,” *Nature*, vol. 479, no. 7373, pp. 310–316, 2011.
- [2] R. Chau, B. Doyle, S. Datta, J. Kavalieros, and K. Zhang, “Integrated nanoelectronics for the future,” *Nature Materials*, vol. 6, no. 11, pp. 810–812, 2007.
- [3] E. Track, N. Forbes, and G. Strawn, “The End of Moore’s Law,” *Computing in Science and Engineering*, vol. 19, no. 2, pp. 4–6, 2017.
- [4] K. Seshan, “Limits and Hurdles to Continued CMOS Scaling,” in *Handbook of Thin Film Deposition: Fourth Edition*. Elsevier, 2018, pp. 19–41.
- [5] J. H. Stathis, M. Wang, R. G. Southwick, E. Y. Wu, B. P. Linder *et al.*, “Reliability challenges for the 10nm node and beyond,” in *Technical Digest - International Electron Devices Meeting, IEDM*. IEEE, 2015, pp. 20.6.1–20.6.4.
- [6] H. H. Radamson, Y. Zhang, X. He, H. Cui, J. Li *et al.*, “The challenges of advanced CMOS process from 2D to 3D,” *Applied Sciences (Switzerland)*, vol. 7, no. 10, p. 1047, 2017.
- [7] “ITRS 2.0 Executive Report,” Tech. Rep., 2015.
- [8] R. Courtland, “Transistors could stop shrinking in 2021,” *IEEE Spectrum*, vol. 53, no. 9, pp. 9–11, 2016.
- [9] D. J. Frank, “Power-constrained CMOS scaling limits,” *IBM Journal of Research and Development*, vol. 46, no. 2.3, pp. 235–244, 2002.
- [10] J. A. del Alamo, “Nanometre-scale electronics with III–V compound semiconductors,” *Nature*, vol. 479, no. 7373, pp. 317–323, 2011.

- [11] J. H. Stathis, M. Wang, and K. Zhao, “Reliability of advanced high- $\kappa$ /metal-gate n-FET devices,” in *Microelectronics Reliability*, vol. 50, no. 9-11. Pergamon, 2010, pp. 1199–1202.
- [12] J. H. Stathis and J. H., “Reliability limits for the gate insulator in CMOS technology,” *IBM Journal of Research and Development*, vol. 46, no. 2.3, pp. 265–286, 2002.
- [13] B. Benbakhti, K. H. Chan, A. Soltani, and K. Kalna, “Device and Circuit Performance of the Future Hybrid III–V and Ge-Based CMOS Technology,” *IEEE Transactions on Electron Devices*, vol. 63, no. 10, pp. 3893–3899, 2016.
- [14] D. Misra, “High k dielectrics on high-mobility substrates: The interface!” *Electrochemical Society Interface*, vol. 20, no. 4, pp. 47–51, 2011.
- [15] “The Internet of Things: data for development,” in *Measuring the Information Society Report 2015. International Telecommunication Union*, 2015, p. 25.
- [16] V. Ilderem, “The technology underpinning 5G,” *Nature Electronics*, vol. 3, no. 1, pp. 5–6, 2020.
- [17] M. Heyns, A. Alian, G. Brammertz, M. Caymax, Y. C. Chang *et al.*, “Advancing CMOS beyond the Si roadmap with Ge and III/V devices,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2011, pp. 13.1.1–13.1.4.
- [18] N. Collaert, A. Alian, A. Banerjee, V. Chauhan, R. Y. ElKashlan *et al.*, “ (Plenary) The Revival of Compound Semiconductors and How They Will Change the World in a 5G/6G Era ,” *ECS Transactions*, vol. 98, no. 5, pp. 15–25, 2020.
- [19] T.-W. Kim and J. A. del Álamo, “Injection velocity in thin-channel InAs HEMTs - IEEE Conference Publication,” in *23rd International Conference on Indium Phosphide and Related Materials*, M. Smit, Ed. Berlin, Germany: IEEE, 2011, pp. 1–4.
- [20] D. H. Kim and J. A. Del Alamo, “30 nm E-mode InAs PHEMTs for THz and future logic applications,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2008.
- [21] S. Takagi, M. Noguchi, M. Kim, S. H. Kim, C. Y. Chang *et al.*, “III-V/Ge MOS device technologies for low power integrated systems,” *Solid-State Electronics*, vol. 125, pp. 82–102, 2016.

- 
- [22] S. Takagi and M. Takenaka, "Advanced non-Si channel CMOS technologies on Si platform," in *2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology*. IEEE, 2010, pp. 50–53.
- [23] F. Palumbo, C. Wen, S. Lombardo, S. Pazos, F. Aguirre *et al.*, "A Review on Dielectric Breakdown in Thin Dielectrics: Silicon Dioxide, High- $k$  and Layered Dielectrics," *Advanced Functional Materials*, vol. 30, no. 18, p. 1900657, 2019.
- [24] D. Akinwande, C. Huyghebaert, C. H. Wang, M. I. Serna, S. Goossens *et al.*, "Graphene and two-dimensional materials for silicon technology," *Nature*, vol. 573, no. 7775, pp. 507–518, 2019.
- [25] F. Hui, C. Pan, Y. Shi, Y. Ji, E. Grustan-Gutierrez, and M. Lanza, "On the use of two dimensional hexagonal boron nitride as dielectric," *Microelectronic Engineering*, vol. 163, pp. 119–133, 2016.
- [26] K. Zhu, X. Liang, B. Yuan, M. A. Villena, C. Wen *et al.*, "Graphene-Boron Nitride-Graphene Cross-point Memristors with Three Stable Resistive States," *ACS Applied Materials & Interfaces*, vol. 11, no. 41, pp. 37 999–38 005, sep 2019.
- [27] M. Kim, E. Pallecchi, R. Ge, X. Wu, G. Ducournau *et al.*, "Analogue switches made from boron nitride monolayers for application in 5G and terahertz communication systems," *Nature Electronics*, vol. 3, no. 8, pp. 479–485, 2020.
- [28] R. Engel-Herbert, Y. Hwang, and S. Stemmer, "Comparison of methods to quantify interface trap densities at dielectric/III-V semiconductor interfaces," *Journal of Applied Physics*, vol. 108, no. 12, p. 124101, 2010.
- [29] A. Vais, J. Franco, D. Lin, V. Putcha, S. Sioncke *et al.*, "On the distribution of oxide defect levels in  $\text{Al}_2\text{O}_3$  and  $\text{HfO}_2$  high- $\kappa$  dielectrics deposited on InGaAs metal-oxide-semiconductor devices studied by capacitance-voltage hysteresis," *Journal of Applied Physics*, vol. 121, no. 14, p. 144504, 2017.
- [30] I. Krylov, D. Ritter, and M. Eizenberg, "The dispersion in accumulation at InGaAs-based metal/oxide/semiconductor gate stacks with a bi-layered dielectric structure," *Journal of Applied Physics*, vol. 118, no. 8, p. 084502, 2015.
- [31] A. E. Islam, "Current Status of Reliability in Extended and Beyond CMOS Devices," *IEEE Transactions on Device and Materials Reliability*, vol. 16, no. 4, pp. 647–666, 2016.

- [32] S. Lombardo, J. H. Stathis, B. P. Linder, K. L. Pey, F. Palumbo, and C. H. Tung, “Dielectric breakdown mechanisms in gate oxides,” *Journal of Applied Physics*, vol. 98, no. 12, p. 121301, 2005.
- [33] N. Raghavan, K. L. Pey, and K. Shubhakar, “High- $\kappa$  dielectric breakdown in nanoscale logic devices – Scientific insight and technology impact,” *Microelectronics Reliability*, vol. 54, no. 5, pp. 847–860, 2014.
- [34] F. Palumbo, S. Lombardo, and M. Eizenberg, “Physical mechanism of progressive breakdown in gate oxides,” *Journal of Applied Physics*, vol. 115, no. 22, p. 224101, 2014.
- [35] F. Palumbo and M. Eizenberg, “Degradation characteristics of metal/ $\text{Al}_2\text{O}_3$ /n-InGaAs capacitors,” *Journal of Applied Physics*, vol. 115, no. 1, p. 014106, 2014.
- [36] F. Palumbo, R. Winter, I. Krylov, and M. Eizenberg, “Characteristics of stress-induced defects under positive bias in high- $\kappa$ /InGaAs stacks,” *Applied Physics Letters*, vol. 104, no. 25, p. 252907, 2014.
- [37] J. Franco, A. Alian, B. Kaczer, D. Lin, T. Ivanov *et al.*, “Suitability of high- $\kappa$  gate oxides for III-V devices: A PBTI study in  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  devices with  $\text{Al}_2\text{O}_3$ ,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2014, pp. 6A.2.1–6A.2.6.
- [38] M. Si, S. Shin, N. J. Conrad, J. Gu, J. Zhang *et al.*, “Characterization and reliability of III-V gate-all-around MOSFETs,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2015, pp. 4A.1.1–4A.1.6.
- [39] E. Simoen, D. H.-C. Lin, A. Alian, G. Brammertz, C. Merckling *et al.*, “Border Traps in Ge/III–V Channel Devices: Analysis and Reliability Aspects,” *IEEE Transactions on Device and Materials Reliability*, vol. 13, no. 4, pp. 444–455, 2013.
- [40] C. Duwury, “The many aspects of robustness for IoT devices,” *IEEE Electron Devices Society Newsletter*, vol. 25, no. 3, pp. 7–9, 2018.
- [41] Phillippa Biggs, John Garrity, Connie LaSalle, Anna Polomska, and Robert Pepper, “Harnessing the Internet of Things for Global Development,” International Telecommunication Union, Tech. Rep., 2015.



- 
- [42] B. Parvais, U. Peralagu, A. Vais, A. Alian, L. Witters *et al.*, “(Invited) Advanced Transistors for High Frequency Applications,” *ECS Transactions*, vol. 97, no. 5, pp. 27–38, 2020.
- [43] V. Huard, F. Cacho, X. Federspiel, W. Arfaoui, M. Saliva, and D. Angot, “Technology scaling and reliability: Challenges and opportunities,” in *IEEE International Electron Devices Meeting (IEDM) Proceedings*. IEEE, 2015, pp. 20.5.1–20.5.6.
- [44] V. Putcha, E. Bury, J. Franco, A. Walke, S. Zhao *et al.*, “Exploring the DC reliability metrics for scaled GaN-on-Si devices targeted for RF/5G applications,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2020, pp. 1–8.
- [45] C. Li, B. C. Chye, Y. Yang, E. Yao, and M. Fujishima, “MOSFET Small-Signal Model Considering Hot-Carrier Effect for Millimeter-Wave Frequencies,” *Journal of Infrared, Millimeter, and Terahertz Waves*, vol. 40, no. 4, pp. 419–428, 2019.
- [46] H. Eslahi, S. A. Albahrani, D. Mahajan, and S. Khandelwal, “An Analytical Model for Hot Carrier Induced Long-Term Degradation in Power Amplifiers,” *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 39, no. 10, pp. 2000–2005, nov 2019.
- [47] J.-S. Yuan, *CMOS RF Circuit Design for Reliability and Variability*, ser. Springer-Briefs in Applied Sciences and Technology. Springer Singapore, 2016.
- [48] A. Crespo-Yepes, E. Barajas, J. Martin-Martinez, D. Mateo, X. Aragonés *et al.*, “MOSFET degradation dependence on input signal power in a RF power amplifier,” *Microelectronic Engineering*, vol. 178, pp. 289–292, 2017.
- [49] F. Guarin, “(Invited) Reliability Considerations for the Qualification of Leading Edge Silicon CMOS Technologies for RF Applications,” in *237th ECS Meeting*. ECS, may 2020.
- [50] P. Colestock, P. Srinivasan, and F. Guarin, “Silicon Based RF Reliability Challenges for 5G Communications,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2020, pp. 1–4.
- [51] R. Vishnoi, N. Satish, S. Rauch, and F. Guarin, “First Time Enablement of RF Reliability Simulation Using Cadence Relxpert,” in *4th Electron Devices Technology*

- and Manufacturing Conference, EDTM 2020 - Proceedings.* IEEE, 2020, pp. 1–3.
- [52] Y. Liu, C. Zhang, T. Chen, D. Kong, R. Guo *et al.*, “Implementation of a Low Noise Amplifier with Self-Recovery Capability,” *IEEE Access*, vol. 7, pp. 43 076–43 083, 2019.
- [53] F. Zarate-Rincon, D. Garcia-Garcia, V. H. Vega-Gonzalez, R. Torres-Torres, and R. S. Murphy-Arteaga, “Characterization of Hot-Carrier-Induced RF-MOSFET Degradation at Different Bulk Biasing Conditions From S-Parameters,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 64, no. 1, pp. 125–132, 2016.
- [54] J. Fritzin, T. Sundstrom, T. Johansson, and A. Alvandpour, “Reliability study of a low-voltage Class-E power amplifier in 130nm CMOS,” in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems.* IEEE, 2010, pp. 1907–1910.
- [55] P. Srinivasan, P. Colestock, T. Samuels, S. Moss, F. Guarin, and B. Min, “A novel methodology to evaluate RF reliability for SOI CMOS-based Power Amplifier mmWave applications,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings.* IEEE, 2020, pp. 1–4.
- [56] V. Reddy, S. Martin, K. Benaissa, C. Chancellor, K. Bhatia *et al.*, “Challenges in Radio Frequency and Mixed-Signal Circuit Reliability,” in *Technical Digest - International Electron Devices Meeting, IEDM.* IEEE, 2019, pp. 13.1.1–13.1.4.
- [57] E. A. Gutierrez-D, J. Mendez-V., J. Tinoco, and E. Torres-R, “RF and DC degradation of a SOI FET technology,” in *2019 Latin American Electron Devices Conference (LAEDC).* IEEE, 2019, p. 16LAEDC.
- [58] D. P. Ioannou, Y. Tan, R. Logan, K. Bandy, R. Achanta *et al.*, “Hot carrier effects on the RF performance degradation of nanoscale LNA SOI nFETs,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings.* IEEE, 2018, pp. PTX.21–PTX.23.
- [59] B. Parvais, G. Hellings, M. Simicic, P. Weckx, J. Mitard *et al.*, “Scaling CMOS beyond Si FinFET: an analog/RF perspective,” in *2018 48th European Solid-State Device Research Conference (ESSDERC).* IEEE, 2018, pp. 158–161.

- 
- [60] I. M. Ross, "The invention of the transistor," *Proceedings of the IEEE*, vol. 86, no. 1, pp. 7–28, 1998.
- [61] Y. Taur and T. H. Ning, *Fundamentals of modern VLSI devices*. Cambridge University Press, 2009.
- [62] E. H. Nicollian and J. R. Brews, *MOS (metal oxide semiconductor) physics and technology*. Wiley-Interscience, 2003.
- [63] R. Winter, J. Ahn, P. C. McIntyre, and M. Eizenberg, "New method for determining flat-band voltage in high mobility semiconductors," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 31, no. 3, p. 030604, 2013.
- [64] A. Vais, H.-C. Lin, C. Dou, K. Martens, T. Ivanov *et al.*, "Temperature dependence of frequency dispersion in III–V metal-oxide-semiconductor C-V and the capture/emission process of border traps," *Applied Physics Letters*, vol. 107, no. 5, p. 053504, 2015.
- [65] C. Dou, D. Lin, A. Vais, T. Ivanov, H.-P. Chen *et al.*, "Determination of energy and spatial distribution of oxide border traps in In<sub>0.53</sub>Ga<sub>0.47</sub>As MOS capacitors from capacitance–voltage characteristics measured at various temperatures," *Microelectronics Reliability*, vol. 54, no. 4, pp. 746–754, 2014.
- [66] I. Krylov, D. Ritter, and M. Eizenberg, "The physical origin of dispersion in accumulation in InGaAs based metal oxide semiconductor gate stacks," *Journal of Applied Physics*, vol. 117, no. 17, p. 174501, 2015.
- [67] B. Kaczer, J. Franco, P. Weckx, P. Roussel, V. Putcha *et al.*, "A brief overview of gate oxide defect properties and their relation to MOSFET instabilities and device and circuit time-dependent variability," *Microelectronics Reliability*, vol. 81, pp. 186–194, 2018.
- [68] B. P. Linder, E. Cartier, S. Krishnan, and E. Wu, "Improving and optimizing reliability in future technologies with high- $\kappa$  dielectrics," in *2013 International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*. IEEE, 2013, pp. 1–4.

- [69] B. P. Linder, E. A. Cartier, and S. Krishnan, “Metal Gate/High- $\kappa$  Dielectric Gate Stack Reliability; or How I Learned to Live with Trappy Oxides,” *ECS Transactions*, vol. 53, no. 3, pp. 187–192, 2013.
- [70] T. Grasser, *Hot carrier degradation in semiconductor devices*. Springer International Publishing, 2015.
- [71] R. Degraeve, B. Kaczer, and G. Groeseneken, “Degradation and breakdown in thin oxide layers: mechanisms, models and reliability prediction,” *Microelectronics Reliability*, vol. 39, no. 10, pp. 1445–1460, 1999.
- [72] J. H. Stathis, “Percolation models for gate oxide breakdown,” *Journal of Applied Physics*, vol. 86, no. 10, p. 5757, 1999.
- [73] E. Y. Wu, “Facts and Myths of Dielectric Breakdown Processes—Part I: Statistics, Experimental, and Physical Acceleration Models,” *IEEE Transactions on Electron Devices*, vol. 66, no. 11, pp. 4523–4534, 2019.
- [74] P. E. Nicollian, R. T. Cakici, A. T. Krishnan, V. K. Reddy, and A. Seshadri, “Device Characteristics and Equivalent Circuits for NMOS Gate-to-Drain Soft and Hard Breakdown in Polysilicon/SiON Gate Stacks,” *IEEE Transactions on Electron Devices*, vol. 58, no. 4, pp. 1170–1175, 2011.
- [75] E. Maricau and G. Gielen, “Computer-Aided Analog Circuit Design for Reliability in Nanometer CMOS,” *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 1, no. 1, pp. 50–58, 2011.
- [76] G. T. Sasse, M. Acar, F. G. Kuper, and J. Schmitz, “RF CMOS reliability simulations,” *Microelectronics Reliability*, vol. 48, no. 8-9, pp. 1581–1585, 2008.
- [77] T. Liu, C.-C. Chen, S. Cha, and L. Milor, “System-level variation-aware aging simulator using a unified novel gate-delay model for bias temperature instability, hot carrier injection, and gate oxide breakdown,” *Microelectronics Reliability*, vol. 55, no. 9-10, pp. 1334–1340, 2015.
- [78] S. Cha, T. Liu, and L. Milor, “Negative Bias Temperature Instability and Gate Oxide Breakdown Modeling in Circuits With Die-to-Die Calibration Through Power Supply and Ground Signal Measurements,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 8, pp. 2271–2284, 2017.

- [79] R. Degraeve, B. Kaczer, A. De Keersgieter, and G. Groeseneken, "Relation between breakdown mode and location in short-channel nmosfets and its impact on reliability specifications," *IEEE Transactions on Device and Materials Reliability*, vol. 1, no. 3, pp. 163–169, 2001.
- [80] E. Miranda and J. Suñé, "Electron transport through broken down ultra-thin SiO<sub>2</sub> layers in MOS devices," *Microelectronics Reliability*, vol. 44, no. 1, pp. 1–23, 2004.
- [81] Wenping Wang, V. Reddy, A. Krishnan, R. Vattikonda, S. Krishnan, and Yu Cao, "Compact Modeling and Simulation of Circuit Reliability for 65-nm CMOS Technology," *IEEE Transactions on Device and Materials Reliability*, vol. 7, no. 4, pp. 509–517, 2007.
- [82] L. Negre, D. Roy, F. Cacho, P. Scheer, S. Jan *et al.*, "Reliability Characterization and Modeling Solution to Predict Aging of 40-nm MOSFET DC and RF Performances Induced by RF Stresses," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 5, pp. 1075–1083, 2012.
- [83] S. E. Rauch and F. Guarin, "The energy driven hot carrier model," in *Hot Carrier Degradation in Semiconductor Devices*. Springer International Publishing, 2015, pp. 29–56.
- [84] A. Bravaix, V. Huard, F. Cacho, X. Federspiel, and D. Roy, "Hot-Carrier Degradation in Decananometer CMOS Nodes: From an Energy-Driven to a Unified Current Degradation Modeling by a Multiple-Carrier Degradation Process," in *Hot Carrier Degradation in Semiconductor Devices*. Springer International Publishing, 2015, pp. 57–103.
- [85] G. T. Sasse, F. G. Kuper, and J. Schmitz, "MOSFET Degradation Under RF Stress," *IEEE Transactions on Electron Devices*, vol. 55, no. 11, pp. 3167–3174, 2008.
- [86] A. Cattaneo, S. Pinarello, J.-E. Mueller, and R. Weigel, "MOSFET degradation under DC and RF Fowler-Nordheim stress," in *2014 44th European Solid State Device Research Conference (ESSDERC)*. IEEE, 2014, pp. 230–233.
- [87] A. Cattaneo, S. Pinarello, J.-E. Mueller, and R. Weigel, "Impact of DC and RF non-conducting stress on nMOS reliability," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2015, pp. XT.4.1–XT.4.4.

- [88] L. Larcher, D. Sanzogni, R. Brama, A. Mazzanti, and F. Svelto, "Oxide Breakdown After RF Stress: Experimental Analysis and Effects on Power Amplifier Operation," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2006, pp. 283–288.
- [89] A. J. Scholten, D. Stephens, G. D. Smit, G. T. Sasse, and J. Bisschop, "The Relation Between Degradation Under DC and RF Stress Conditions," *IEEE Transactions on Electron Devices*, vol. 58, no. 8, pp. 2721–2728, 2011.
- [90] G. Ribes, J. Mitard, M. Denais, S. Bruyere, F. Monsieur *et al.*, "Review on high- $\kappa$  dielectrics reliability issues," *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 1, pp. 5–19, 2005.
- [91] J. Suehle, B. Zhu, Y. Che, and J. Bernstein, "Acceleration factors and mechanistic study of progressive breakdown in small area ultra-thin gate oxides," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, pp. 95–101.
- [92] H. Satake and A. Toriumi, "Dielectric breakdown mechanism of thin-SiO<sub>2</sub> studied by the post-breakdown resistance statistics," *IEEE Transactions on Electron Devices*, vol. 47, no. 4, pp. 741–745, 2000.
- [93] B. Linder, D. Frank, J. Stathis, and S. Cohen, "Transistor-limited constant voltage stress of gate dielectrics," in *2001 Symposium on VLSI Technology. Digest of Technical Papers (IEEE Cat. No.01 CH37184)*. Japan Soc. Appl. Phys, pp. 93–94.
- [94] F. Monsieur, E. Vincent, G. Pananakakis, and G. Ghibaudo, "Wear-out, breakdown occurrence and failure detection in 18-25 Å ultrathin oxides," *Microelectronics Reliability*, vol. 41, no. 7, pp. 1035–1039, 2001.
- [95] B. Linder, J. Stathis, D. Frank, S. Lombardo, and A. Vayshenker, "Growth and scaling of oxide conduction after breakdown," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2003, pp. 402–405.
- [96] R. Pagano, S. Lombardo, F. Palumbo, P. Kirsch, S. Krishnan *et al.*, "A novel approach to characterization of progressive breakdown in high- $\kappa$ /metal gate stacks," *Microelectronics Reliability*, vol. 48, no. 11, pp. 1759–1764, 2008.

- [97] S. Privitera, G. Bersuker, B. Butcher, A. Kalantarian, S. Lombardo *et al.*, “Microscopy study of the conductive filament in HfO<sub>2</sub> resistive switching memory devices,” *Microelectronic Engineering*, vol. 109, pp. 75–78, 2013.
- [98] S. Privitera, G. Bersuker, S. Lombardo, C. Bongiorno, and D. Gilmer, “Conductive filament structure in HfO<sub>2</sub> resistive switching memory devices,” *Solid-State Electronics*, vol. 111, pp. 161–165, 2015.
- [99] P. S. Ho and T. Kwok, “Electromigration in metals,” *Reports on Progress in Physics*, vol. 52, no. 3, pp. 301–348, 1989.
- [100] V. Fiks, “On the mechanism of the mobility of ions in metals,” *Soviet Physics-Solid State*, vol. 1, no. 1, pp. 14–28, 1959.
- [101] S. Lombardo, E. Y. Wu, and J. H. Stathis, “Electron energy dissipation model of gate dielectric progressive breakdown in n- and p-channel field effect transistors,” *Journal of Applied Physics*, vol. 122, no. 8, p. 085701, 2017.
- [102] C. H. Tung, K. L. Pey, L. J. Tang, M. K. Radhakrishnan, W. H. Lin *et al.*, “Percolation path and dielectric-breakdown-induced-epitaxy evolution during ultrathin gate dielectric breakdown transient,” *Applied Physics Letters*, vol. 83, no. 11, p. 2223, 2003.
- [103] F. Palumbo, M. Eizenberg, and S. Lombardo, “General features of progressive breakdown in gate oxides: A compact model,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2015, pp. 5A.1.1–5A.1.6.
- [104] F. Palumbo, S. Lombardo, and M. Eizenberg, “Influence of gate oxides with high thermal conductivity on the failure distribution of InGaAs-based MOS stacks,” *Microelectronics Reliability*, vol. 56, pp. 22–28, 2016.
- [105] “NIST SRD Catalog | NIST.”
- [106] M. Maestro-Izquierdo, M. B. Gonzalez, F. Jimenez-Molinos, E. Moreno, J. B. Roldan, and F. Campabadal, “Unipolar resistive switching behavior in Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub> multilayer dielectric stacks: Fabrication, characterization and simulation,” *Nanotechnology*, vol. 31, no. 13, p. 135202, 2020.
- [107] S. Takagi, N. Yasuda, and A. Toriumi, “Experimental evidence of inelastic tunneling in stress-induced leakage current,” *IEEE Transactions on Electron Devices*, vol. 46, no. 2, pp. 335–341, 1999.

- [108] M. Panzer, M. Shandalov, J. Rowlette, Y. Oshima, Yi Wei Chen *et al.*, “Thermal Properties of Ultrathin Hafnium Oxide Gate Dielectric Films,” *IEEE Electron Device Letters*, vol. 30, no. 12, pp. 1269–1271, 2009.
- [109] E. Miranda, “Mesoscopic approach to progressive breakdown in ultrathin SiO<sub>2</sub> layers,” *Applied Physics Letters*, vol. 91, no. 5, p. 053502, 2007.
- [110] E. Miranda, C. Walczyk, C. Wenger, and T. Schroeder, “Model for the Resistive Switching Effect in HfO<sub>2</sub> MIM Structures Based on the Transmission Properties of Narrow Constrictions,” *IEEE Electron Device Letters*, vol. 31, no. 6, pp. 609–611, 2010.
- [111] X. Lian, S. Long, C. Cagli, J. Buckley, E. Miranda *et al.*, “Quantum point contact model of filamentary conduction in resistive switching memories,” in *2012 13th International Conference on Ultimate Integration on Silicon (ULIS)*. IEEE, 2012, pp. 101–104.
- [112] F. Palumbo, E. Miranda, G. Ghibaudo, and V. Jousseau, “Formation and Characterization of Filamentary Current Paths in HfO<sub>2</sub>-Based Resistive Switching Structures,” *IEEE Electron Device Letters*, vol. 33, no. 7, pp. 1057–1059, 2012.
- [113] F. Palumbo, P. Shekhter, K. Cohen Weinfeld, and M. Eizenberg, “Characteristics of the dynamics of breakdown filaments in Al<sub>2</sub>O<sub>3</sub>/InGaAs stacks,” *Applied Physics Letters*, vol. 107, no. 12, p. 122901, 2015.
- [114] S. Pazos, F. Aguirre, E. Miranda, S. Lombardo, and F. Palumbo, “Comparative study of the breakdown transients of thin Al<sub>2</sub>O<sub>3</sub> and HfO<sub>2</sub> films in MIM structures and their connection with the thermal properties of materials,” *Journal of Applied Physics*, vol. 121, no. 9, p. 094102, 2017.
- [115] L. Vandelli, A. Padovani, L. Larcher, and G. Bersuker, “Microscopic Modeling of Electrical Stress-Induced Breakdown in Poly-Crystalline Hafnium Oxide Dielectrics,” *IEEE Transactions on Electron Devices*, vol. 60, no. 5, pp. 1754–1762, 2013.
- [116] A. Padovani and L. Larcher, “Time-dependent dielectric breakdown statistics in SiO<sub>2</sub> and HfO<sub>2</sub> Dielectrics: Insights from a Multi- Scale Modeling Approach,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2018, pp. 3A.2–1–3A.2–7.



- [117] R. Degraeve, T. Kauerauf, M. Cho, M. Zahid, L. Ragnarsson *et al.*, “Degradation and breakdown of 0.9 nm EOT SiO<sub>2</sub>/ALD HfO<sub>2</sub>/metal gate stacks under positive constant voltage stress,” in *IEEE International Electron Devices Meeting (IEDM) Proceedings*. IEEE, 2005, pp. 408–411.
- [118] K. Okada, H. Ota, T. Nabatame, and A. Toriumi, “Dielectric Breakdown in High- $\kappa$  Gate Dielectrics - Mechanism and Lifetime Assessment,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2007, pp. 36–43.
- [119] T. Nigam, A. Kerber, and P. Peumans, “Accurate model for time-dependent dielectric breakdown of high- $\kappa$  metal gate stacks,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2009, pp. 523–530.
- [120] G. Bersuker, D. Heh, C. Young, H. Park, P. Khanal *et al.*, “Breakdown in the metal/high- $\kappa$  gate stack: Identifying the “weak link” in the multilayer dielectric,” in *2008 IEEE International Electron Devices Meeting*. IEEE, 2008, pp. 1–4.
- [121] B. P. Linder, E. Cartier, S. Krishnan, J. H. Stathis, and A. Kerber, “The effect of interface thickness of high- $\kappa$ /metal gate stacks on NFET dielectric reliability,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2009, pp. 510–513.
- [122] M. Rafik, G. Ribes, D. Roy, and G. Ghibaudo, “SiO<sub>2</sub> interfacial layer as the origin of the breakdown of high- $\kappa$  dielectrics stacks,” *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 27, no. 1, p. 472, 2009.
- [123] S. Tous, E. Y. Wu, E. Miranda, and J. Suñé, “A strong analogy between the dielectric breakdown of high- $\kappa$  gate stacks and the progressive breakdown of ultrathin oxides,” *Journal of Applied Physics*, vol. 109, no. 12, p. 124115, 2011.
- [124] S. Mei, N. Raghavan, K. Shubhakar, M. Bosman, and K. L. Pey, “Multiphysics based 3D percolation framework model for multi-stage degradation and breakdown in high- $\kappa$  — Interfacial layer stacks,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2016, pp. 7A–2–1–7A–2–6.
- [125] V. Iglesias, J. Martin-Martinez, M. Porti, R. Rodriguez, M. Nafria *et al.*, “Bimodal CAFM TDDDB distributions in polycrystalline HfO<sub>2</sub> gate stacks: The role of the interfacial layer and grain boundaries,” *Microelectronic Engineering*, vol. 109, pp. 129–132, 2013.

- [126] K. Shubhakar, K. L. Pey, N. Raghavan, S. S. Kushvaha, M. Bosman *et al.*, “Study of preferential localized degradation and breakdown of HfO<sub>2</sub>/SiO<sub>x</sub> dielectric stacks at grain boundary sites of polycrystalline HfO<sub>2</sub> dielectrics,” *Microelectronic Engineering*, vol. 109, pp. 364–369, 2013.
- [127] K. Shubhakar, N. Raghavan, S. S. Kushvaha, M. Bosman, Z. R. Wang *et al.*, “Impact of local structural and electrical properties of grain boundaries in polycrystalline HfO<sub>2</sub> on reliability of SiO<sub>x</sub> interfacial layer,” *Microelectronics Reliability*, vol. 54, no. 9-10, pp. 1712–1717, sep 2014.
- [128] O. Pirrotta, L. Larcher, M. Lanza, A. Padovani, M. Porti *et al.*, “Leakage current through the poly-crystalline HfO<sub>2</sub>: Trap densities at grains and grain boundaries,” *Journal of Applied Physics*, vol. 114, no. 13, 2013.
- [129] A. Padovani, D. Z. Gao, A. L. Shluger, and L. Larcher, “A microscopic mechanism of dielectric breakdown in SiO<sub>2</sub> films: An insight from multi-scale modeling,” *Journal of Applied Physics*, vol. 121, no. 15, p. 155101, 2017.
- [130] F. L. Aguirre, A. Rodriguez-Fernandez, S. M. Pazos, J. Sune, E. Miranda, and F. Palumbo, “Study on the Connection Between the Set Transient in RRAMs and the Progressive Breakdown of Thin Oxides,” *IEEE Transactions on Electron Devices*, vol. 66, no. 8, pp. 3349–3355, 2019.
- [131] E. Yalon, S. Cohen, A. Gavrilov, and D. Ritter, “Evaluation of the local temperature of conductive filaments in resistive switching materials,” *Nanotechnology*, vol. 23, no. 46, p. 465201, 2012.
- [132] E. Yalon, I. Riess, and D. Ritter, “Heat Dissipation in Resistive Switching Devices: Comparison of Thermal Simulations and Experimental Results,” *IEEE Transactions on Electron Devices*, vol. 61, no. 4, pp. 1137–1144, 2014.
- [133] S. Larentis, F. Nardi, S. Balatti, D. C. Gilmer, and D. Ielmini, “Resistive Switching by Voltage-Driven Ion Migration in Bipolar RRAM—Part II: Modeling,” *IEEE Transactions on Electron Devices*, vol. 59, no. 9, pp. 2468–2475, 2012.
- [134] D. Ielmini, F. Nardi, and C. Cagli, “Physical models of size-dependent nanofilament formation and rupture in NiO resistive switching memories,” *Nanotechnology*, vol. 22, no. 25, p. 254022, 2011.

- [135] X. Tian, C. Cook, W. Hong, T. Ma, G. L. Brennecka, and X. Tan, "In Situ TEM Study of the Amorphous-to-Crystalline Transition during Dielectric Breakdown in TiO<sub>2</sub> Film," *ACS Applied Materials and Interfaces*, vol. 11, no. 43, pp. 40 726–40 733, 2019.
- [136] J. McPherson, J.-Y. Kim, A. Shanware, and H. Mogul, "Thermochemical description of dielectric breakdown in high dielectric constant materials," *Applied Physics Letters*, vol. 82, no. 13, pp. 2121–2123, 2003.
- [137] M. J. Biercuk, D. J. Monsma, C. M. Marcus, J. S. Backer, and R. G. Gordon, "Low-temperature atomic-layer-deposition lift-off method for microelectronic and nanoelectronic applications," *Applied Physics Letters*, vol. 83, no. 12, pp. 2405–2407, 2003.
- [138] H. C. Lin, P. D. Ye, and G. D. Wilk, "Leakage current and breakdown electric-field studies on ultrathin atomic-layer-deposited Al<sub>2</sub>O<sub>3</sub> on GaAs," *Applied Physics Letters*, vol. 87, no. 18, p. 182904, 2005.
- [139] S. Lombardo, J. H. Stathis, and B. P. Linder, "Breakdown Transients in Ultrathin Gate Oxides: Transition in the Degradation Rate," *Physical Review Letters*, vol. 90, no. 16, p. 167601, 2003.
- [140] B. Linder, S. Lombardo, J. Stathis, A. Vayshenker, and D. Frank, "Voltage dependence of hard breakdown growth and the reliability implication in thin dielectrics," *IEEE Electron Device Letters*, vol. 23, no. 11, pp. 661–663, 2002.
- [141] C. P. Quinteros, F. Palumbo, F. Campabadal, and E. Miranda, "Stress Conditions to Study the Reliability Characteristics of High- $\kappa$  Nanolaminates," *ECS Transactions*, vol. 49, no. 1, pp. 161–168, 2012.
- [142] B. H. Lee, C. Kang, R. Choi, H.-D. Lee, and G. Bersuker, "Stress field analysis to understand the breakdown characteristics of stacked high- $\kappa$  dielectrics," *Applied Physics Letters*, vol. 94, no. 16, p. 162904, 2009.
- [143] A. J. Ede, *An Introduction to Heat Transfer Principles and Calculations*. Elsevier, 1967.
- [144] N. Raghavan, A. Padovani, X. Wu, K. Shubhakar, M. Bosman *et al.*, "The buffering role of high- $\kappa$  in post breakdown degradation immunity of advanced dual layer

- dielectric gate stacks,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2013, pp. 5A.3.1–5A.3.8.
- [145] N. Raghavan, M. Bosman, and K. Pey, “Spectroscopy of SILC trap locations and spatial correlation study of percolation path in the high- $\kappa$  and interfacial layer,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2015, pp. 5A.2.1–5A.2.7.
- [146] S. M. Pazos, S. Boyeras Baldomá, F. L. Aguirre, I. Krylov, M. Eizenberg, and F. Palumbo, “Impact of bilayered oxide stacks on the breakdown transients of metal–oxide–semiconductor devices: An experimental study,” *Journal of Applied Physics*, vol. 127, no. 17, p. 174101, 2020.
- [147] G. Brammertz, A. Alian, D. H.-C. Lin, M. Meuris, M. Caymax, and W.-E. Wang, “A Combined Interface and Border Trap Model for High-Mobility Substrate Metal–Oxide–Semiconductor Devices Applied to InGaAs and InP Capacitors,” *IEEE Transactions on Electron Devices*, vol. 58, no. 11, pp. 3890–3897, 2011.
- [148] K. Cherkaoui, E. O’Connor, S. Monaghan, R. D. Long, V. Djara *et al.*, “Investigation of High- $\kappa$ /InGaAs interfaces,” *ECS Transactions*, vol. 28, no. 2, pp. 181–190, 2010.
- [149] J. Robertson and R. M. Wallace, “High- $\kappa$  materials and metal gates for CMOS applications,” *Materials Science and Engineering: R: Reports*, vol. 88, pp. 1–41, 2015.
- [150] J. Robertson, “Model of interface states at III-V oxide interfaces,” *Applied Physics Letters*, vol. 94, no. 15, p. 152104, 2009.
- [151] J. R. Weber, A. Janotti, and C. G. Van de Walle, “Native defects in Al<sub>2</sub>O<sub>3</sub> and their impact on III-V/Al<sub>2</sub>O<sub>3</sub> metal-oxide-semiconductor-based devices,” *Journal of Applied Physics*, vol. 109, no. 3, p. 033715, 2011.
- [152] A. Vais, J. Franco, H.-C. Lin, N. Collaert, A. Mocuta *et al.*, “Impact of starting measurement voltage relative to flat-band voltage position on the capacitance-voltage hysteresis and on the defect characterization of InGaAs/high- $\kappa$  metal-oxide-semiconductor stacks,” *Applied Physics Letters*, vol. 107, no. 22, p. 223504, 2015.

- [153] V. Putcha, J. Franco, A. Vais, S. Sioncke, B. Kaczer *et al.*, “BTI reliability of InGaAs nMOS gate-stack: On the impact of shallow and deep defect bands on the operating voltage range of III-V technology,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2017, pp. XT-8.1–XT-8.6.
- [154] K. Tang, F. R. M. Palumbo, L. Zhang, R. Droopad, and P. C. McIntyre, “Interface defect hydrogen depassivation and capacitance-voltage hysteresis of Al<sub>2</sub>O<sub>3</sub>/InGaAs gate stacks,” *ACS Applied Materials & Interfaces*, p. acsami.6b16232, 2017.
- [155] J. Lin, Y. Y. Gomeniuk, S. Monaghan, I. M. Povey, K. Cherkaoui *et al.*, “An investigation of capacitance-voltage hysteresis in metal/high- $\kappa$ /In<sub>0.53</sub>Ga<sub>0.47</sub>As metal-oxide-semiconductor capacitors,” *Journal of Applied Physics*, vol. 114, no. 14, p. 144105, 2013.
- [156] T. Grasser, “Stochastic charge trapping in oxides: From random telegraph noise to bias temperature instabilities,” *Microelectronics Reliability*, vol. 52, no. 1, pp. 39–70, 2012.
- [157] H. B. Do, Q. H. Luc, M. T. H. Ha, S. H. Huynh, T. A. Nguyen *et al.*, “Study of the interface stability of the metal (Mo, Ni, Pd)/HfO<sub>2</sub>/AlN/InGaAs MOS devices,” *AIP Advances*, vol. 7, no. 8, p. 085208, 2017.
- [158] I. Krylov, D. Ritter, and M. Eizenberg, “The role of the substrate on the dispersion in accumulation in III-V compound semiconductor based metal-oxide-semiconductor gate stacks,” *Applied Physics Letters*, vol. 107, no. 10, p. 103503, 2015.
- [159] F. Aguirre, S. Pazos, F. R. M. Palumbo, S. Fadida, R. Winter, and M. Eizenberg, “Effect of forming gas annealing on the degradation properties of Ge-based MOS stacks,” *Journal of Applied Physics*, vol. 123, no. 13, p. 134103, 2018.
- [160] Y.-C. Fu, U. Peralagu, D. A. J. Millar, J. Lin, I. Povey *et al.*, “The impact of forming gas annealing on the electrical characteristics of sulfur passivated Al<sub>2</sub>O<sub>3</sub>/InGaAs (110) metal-oxide-semiconductor capacitors,” *Applied Physics Letters*, vol. 110, no. 14, p. 142905, 2017.
- [161] I. Krylov, D. Ritter, and M. Eizenberg, “Hfxylo ternary dielectrics for ingaas based metal-oxide-semiconductor capacitors,” *Journal of Applied Physics*, vol. 122, no. 3, p. 034505, 2017.

- [162] F. Palumbo, F. L. Aguirre, S. M. Pazos, I. Krylov, R. Winter, and M. Eizenberg, "Influence of the spatial distribution of border traps in the capacitance frequency dispersion of  $\text{Al}_2\text{O}_3/\text{InGaAs}$ ," *Solid-State Electronics*, vol. 149, pp. 71–77, 2018.
- [163] I. Krylov, B. Pokroy, D. Ritter, and M. Eizenberg, "A comparative study of AlN and  $\text{Al}_2\text{O}_3$  based gate stacks grown by atomic layer deposition on InGaAs," *Journal of Applied Physics*, vol. 119, no. 8, p. 084507, 2016.
- [164] F. Palumbo, S. Pazos, F. Aguirre, R. Winter, I. Krylov, and M. Eizenberg, "Temperature dependence of trapping effects in metal gates/ $\text{Al}_2\text{O}_3/\text{InGaAs}$  stacks," *Solid-State Electronics*, vol. 132, pp. 12–18, 2017.
- [165] J. Q. Lin, S. J. Lee, H. J. Oh, G. Q. Lo, D. L. Kwong, and D. Z. Chi, "Inversion-Mode Self-Aligned  $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  N-Channel Metal-Oxide-Semiconductor Field-Effect Transistor With  $\text{HfAlO}$  Gate Dielectric and TaN Metal Gate," *IEEE Electron Device Letters*, vol. 29, no. 9, pp. 977–980, 2008.
- [166] T. Hoshii, S. Lee, R. Suzuki, N. Taoka, M. Yokoyama *et al.*, "Reduction in interface state density of  $\text{Al}_2\text{O}_3/\text{InGaAs}$  metal-oxide-semiconductor interfaces by InGaAs surface nitridation," *Journal of Applied Physics*, vol. 112, no. 7, p. 073702, 2012.
- [167] K. Tang, A. C. Meng, R. Droopad, and P. C. McIntyre, "Temperature Dependent Border Trap Response Produced by a Defective Interfacial Oxide Layer in  $\text{Al}_2\text{O}_3/\text{InGaAs}$  Gate Stacks," *ACS Applied Materials & Interfaces*, vol. 8, no. 44, pp. 30601–30607, 2016.
- [168] J. Ahn, T. Kent, E. Chagarov, K. Tang, A. C. Kummel, and P. C. McIntyre, "Arsenic decapping and pre-atomic layer deposition trimethylaluminum passivation of  $\text{Al}_2\text{O}_3/\text{InGaAs}(100)$  interfaces," *Applied Physics Letters*, vol. 103, no. 7, p. 071602, 2013.
- [169] E. J. Kim, L. Wang, P. M. Asbeck, K. C. Saraswat, and P. C. McIntyre, "Border traps in  $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}(100)$  gate stacks and their passivation by hydrogen anneals," *Applied Physics Letters*, vol. 96, no. 1, p. 012906, 2010.
- [170] H.-S. Kang, M. Reddy, D.-S. Kim, K.-W. Kim, J.-B. Ha *et al.*, "Effect of oxygen species on the positive flat-band voltage shift in  $\text{Al}_2\text{O}_3/\text{GaN}$

- metal–insulator–semiconductor capacitors with post-deposition annealing,” *Journal of Physics D: Applied Physics*, vol. 46, no. 15, p. 155101, 2013.
- [171] V. Djara, K. Cherkaoui, M. Schmidt, S. Monaghan, E. O’Connor *et al.*, “Impact of Forming Gas Annealing on the Performance of Surface-Channel In<sub>0.53</sub>Ga<sub>0.47</sub>As MOSFETs With an ALD Al<sub>2</sub>O<sub>3</sub> Gate Dielectric,” *IEEE Transactions on Electron Devices*, vol. 59, no. 4, pp. 1084–1090, 2012.
- [172] J. Lin, S. Monaghan, K. Cherkaoui, I. M. Povey, B. Sheehan, and P. K. Hurley, “Examining the relationship between capacitance-voltage hysteresis and accumulation frequency dispersion in InGaAs metal-oxide-semiconductor structures based on the response to post-metal annealing,” *Microelectronic Engineering*, vol. 178, pp. 204–208, 2017.
- [173] S. M. Pazos, F. L. Aguirre, K. Tang, P. McIntyre, and F. Palumbo, “Lack of correlation between C-V hysteresis and capacitance frequency dispersion in accumulation of metal gate/high-*k*/n-InGaAs metal-oxide-semiconductor stacks,” *Journal of Applied Physics*, vol. 124, no. 22, p. 224102, 2018.
- [174] F. M. Puglisi, “Noise in resistive random access memory devices,” in *Noise in Nanoscale Semiconductor Devices*. Springer International Publishing, 2020, pp. 87–133.
- [175] D. M. Fleetwood, “1/*f* Noise and Defects in Microelectronic Materials and Devices,” *IEEE Transactions on Nuclear Science*, vol. 62, no. 4, pp. 1462–1486, 2015.
- [176] S. Guo, R. Wang, D. Mao, Y. Wang, and R. Huang, “Anomalous random telegraph noise in nanoscale transistors as direct evidence of two metastable states of oxide traps,” *Scientific Reports*, vol. 7, no. 1, pp. 1–6, 2017.
- [177] F. Crupi, G. Giusi, G. Iannaccone, P. Magnone, C. Pace *et al.*, “Analytical model for the 1/*f* noise in the tunneling current through metal-oxide-semiconductor structures,” *Journal of Applied Physics*, vol. 106, no. 7, p. 073710, 2009.
- [178] A. L. McWorther, “1/*f* noise and related surface effects in germanium.” in *Semiconductor Surface Physics*. Philadelphia: University of Pennsylvania Press, 1957, p. 207.
- [179] F. Hooge, “1/*f* noise is no surface effect,” *Physics Letters A*, vol. 29, no. 3, pp. 139–140, 1969.

- [180] F. Crupi, P. Magnone, E. Simoen, L. Pantisano, G. Giusi *et al.*, “The Role of the Interfaces in the  $1/f$  Noise of MOSFETs with High- $\kappa$  Gate Stacks,” in *ECS Transactions*, vol. 19, no. 2. ECS, 2009, pp. 87–99.
- [181] P. Magnone, F. Crupi, G. Giusi, C. Pace, E. Simoen *et al.*, “ $1/f$  Noise in Drain and Gate Current of MOSFETs With High- $k$  Gate Stacks,” *IEEE Transactions on Device and Materials Reliability*, vol. 9, no. 2, pp. 180–189, 2009.
- [182] E. Ioannidis, S. Haendler, C. Theodorou, S. Lasserre, C. Dimitriadis, and G. Ghibaudo, “Evolution of low frequency noise and noise variability through CMOS bulk technology nodes from  $0.5\mu\text{m}$  down to  $20\text{nm}$ ,” *Solid-State Electronics*, vol. 95, pp. 28–31, 2014.
- [183] E. G. Ioannidis, C. G. Theodorou, T. A. Karatsori, S. Haendler, C. A. Dimitriadis *et al.*, “Drain-Current Flicker Noise Modeling in nMOSFETs From a  $14\text{-nm}$  FDSOI Technology,” vol. 62, no. 5, pp. 1574–1579, 2015.
- [184] C. G. Theodorou, E. G. Ioannidis, S. Haendler, N. Planes, E. Josse *et al.*, “New LFN and RTN analysis methodology in  $28$  and  $14\text{nm}$  FD-SOI MOSFETs,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2015, pp. XT11–XT16.
- [185] T. Contaret, K. Romanjek, T. Boutchacha, G. Ghibaudo, and F. Bœuf, “Low frequency noise characterization and modelling in ultrathin oxide MOSFETs,” *Solid-State Electronics*, vol. 50, no. 1, pp. 63–68, 2006.
- [186] B. Kaczer, M. Toledano-Luque, W. Goes, T. Grasser, and G. Groeseneken, “Gate current random telegraph noise and single defect conduction,” *Microelectronic Engineering*, vol. 109, pp. 123–125, 2013.
- [187] A. Ranjan, F. M. Puglisi, N. Raghavan, S. J. O’Shea, K. Shubhakar *et al.*, “Random telegraph noise in  $2\text{D}$  hexagonal boron nitride dielectric films,” *Applied Physics Letters*, vol. 112, no. 13, p. 133505, 2018.
- [188] M. Maestro, J. Diaz, A. Crespo-Yepes, M. B. Gonzalez, J. Martin-Martinez *et al.*, “New high resolution Random Telegraph Noise (RTN) characterization method for resistive RAM,” *Solid-State Electronics*, vol. 115, pp. 140–145, 2016.
- [189] Y. Shi, X. Liang, B. Yuan, V. Chen, H. Li *et al.*, “Electronic synapses made of layered two-dimensional materials,” *Nature Electronics*, vol. 1, no. 8, pp. 458–465, 2018.



- 
- [190] F. M. Puglisi, F. Costantini, B. Kaczer, L. Larcher, and P. Pavan, "Monitoring Stress-Induced Defects in HK/MG FinFETs Using Random Telegraph Noise," *IEEE Electron Device Letters*, vol. 37, no. 9, pp. 1211–1214, 2016.
- [191] L. Vandamme, "Noise as a diagnostic tool for quality and reliability of electronic devices," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, 1994.
- [192] H. Yen, J. Yuan, R. Wang, G. Huang, W. Yeh, and F. Huang, "RF stress effects on CMOS LC-loaded VCO reliability evaluated by experiments," *Microelectronics Reliability*, vol. 52, no. 11, pp. 2655–2659, 2012.
- [193] V. Reddy, N. Barton, S. Martin, C. M. Hung, A. Krishnan *et al.*, "Impact of transistor reliability on RF oscillator phase noise degradation," in *IEEE International Electron Devices Meeting (IEDM) Proceedings*. IEEE, 2009, pp. 1–4.
- [194] S. Naseh, M. Deen, and O. Marinov, "Effects of hot-carrier stress on the performance of the lc-tank cmos oscillators," *IEEE Transactions on Electron Devices*, vol. 50, no. 5, pp. 1334–1339, 2003.
- [195] K. L. Pey, A. Ranjan, N. Raghavan, K. Shubhakar, and S. J. O'Shea, "Dielectric Breakdown in 2D Layered Hexagonal Boron Nitride - The Knowns and the Unknowns," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2019.
- [196] P. Magnone, "INVESTIGATION AND MODELING OF LOW FREQUENCY NOISE IN ADVANCED CMOS DEVICES," Ph.D. dissertation, 2008.
- [197] C. Ciofi, F. Crupi, C. Pace, and G. Scandurra, "Micro-prober for wafer-level low-noise measurements in MOS devices," *IEEE Transactions on Instrumentation and Measurement*, vol. 52, no. 5, pp. 1533–1536, 2003.
- [198] A. Szewczyk, L. Spiralski, G. Ghibaud, G. Reibold, and J. A. Chroboczek, "Programable System for Low Frequency Noise Measurements in Microelectronics Devices Contacted by Point Probes," in *XVII IMEKO World Congress*, Dubrovnik, Croatia, 2003, pp. 676–679.
- [199] G. Giusi, F. Crupi, C. Ciofi, C. Pace, and P. Magnone, "Instrumentation design for cross-correlation measurements between gate and drain low frequency noise in MOSFETs," *Fluctuation and Noise Letters*, vol. 9, no. 3, pp. 313–322, 2010.

- [200] A. V. Oppenheim and R. W. Schaffer, *Digital signal processing(Book)*, 1975.
- [201] A. D. Franklin, “Nanomaterials in transistors: From high-performance to thin-film applications,” *Science*, vol. 349, no. 6249, pp. aab2750–aab2750, 2015.
- [202] Y. Yoon, K. Ganapathi, and S. Salahuddin, “How Good Can Monolayer MoS<sub>2</sub> Transistors Be?” *Nano Letters*, vol. 11, no. 9, pp. 3768–3773, 2011.
- [203] L. Lindsay and D. A. Broido, “Enhanced thermal conductivity and isotope effect in single-layer hexagonal boron nitride,” *Physical Review B*, vol. 84, no. 15, p. 155421, 2011.
- [204] C. Pan, Y. Ji, N. Xiao, F. Hui, K. Tang *et al.*, “Coexistence of Grain-Boundaries-Assisted Bipolar and Threshold Resistive Switching in Multilayer Hexagonal Boron Nitride,” *Advanced Functional Materials*, vol. 27, no. 10, 2017.
- [205] X. Liang, B. Yuan, Y. Shi, F. Palumbo, S. Chen *et al.*, “150 nm × 200 nm cross point hexagonal boron nitride based memristors with ultra-low currents in high resistive state,” in *2019 Electron Devices Technology and Manufacturing Conference, EDTM 2019*. IEEE, 2019, pp. 258–260.
- [206] M. Lanza, H.-S. P. Wong, E. Pop, D. Ielmini, D. Strukov *et al.*, “Recommended Methods to Study Resistive Switching Devices,” *Advanced Electronic Materials*, vol. 5, no. 1, p. 1800143, 2019.
- [207] A. Ranjan, N. Raghavan, F. M. Puglisi, S. Mei, A. Padovani *et al.*, “Boron Vacancies Causing Breakdown in 2D Layered Hexagonal Boron Nitride Dielectrics,” *IEEE Electron Device Letters*, vol. 40, no. 8, pp. 1321–1324, 2019.
- [208] N. Raghavan, K. L. Pey, and D. D. Frey, “Noise-based prognostic design for real-time degradation analysis of nanodevice dielectric breakdown,” in *2013 Proceedings Annual Reliability and Maintainability Symposium (RAMS)*. IEEE, 2013, pp. 1–7.
- [209] W. Liu, A. Padovani, L. Larcher, N. Raghavan, and K. L. Pey, “Analysis of Correlated Gate and Drain Random Telegraph Noise in Post-Soft Breakdown TiN/HfLaO/SiO<sub>x</sub> nMOSFETs,” *IEEE Electron Device Letters*, vol. 35, no. 2, pp. 157–159, 2014.

- [210] A. Ranjan, N. Raghavan, S. J. O'shea, S. Mei, M. Bosman *et al.*, "Conductive Atomic Force Microscope Study of Bipolar and Threshold Resistive Switching in 2D Hexagonal Boron Nitride Films," *Scientific Reports*, vol. 8, no. 1, 2018.
- [211] L. Jiang, Y. Shi, F. Hui, K. Tang, Q. Wu *et al.*, "Dielectric Breakdown in Chemical Vapor Deposited Hexagonal Boron Nitride," *ACS Applied Materials & Interfaces*, vol. 9, no. 45, pp. 39 758–39 770, 2017.
- [212] A. Ranjan, N. Raghavan, S. O'Shea, S. Mei, M. Bosman *et al.*, "Mechanism of soft and hard breakdown in hexagonal boron nitride 2D dielectrics," in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2018, pp. 4A.1–1–4A.1–6.
- [213] N. J. Oh and S. G. Lee, "Building a 2.4-GHz radio transceiver using IEEE 802.15.4," *IEEE Circuits and Devices Magazine*, vol. 21, no. 6, pp. 43–51, 2005.
- [214] B. Razavi, *RF microelectronics*. Prentice Hall, 2012.
- [215] N. Barabino, R. Fiorelli, and F. Silveira, "Efficiency based design flow for fully-integrated class C RF power amplifiers in nanometric CMOS," in *Proceedings of 2010 IEEE International Symposium on Circuits and Systems*. IEEE, 2010, pp. 2223–2226.
- [216] J. Y. Jin, L. Wu, and Q. Xue, "A V-Band CMOS VCO with Digitally-Controlled Inductor for Frequency Tuning," *IEEE Transactions on Circuits and Systems II: Express Briefs*, pp. 1–1, 2018.
- [217] R. Pova, R. Lourenco, N. Lourenco, A. Canelas, R. Martins, and N. Horta, "LC-VCO automatic synthesis using multi-objective evolutionary techniques," in *Proceedings - IEEE International Symposium on Circuits and Systems*. IEEE, 2014, pp. 293–296.
- [218] R. Fiorelli, E. J. Peralias, and F. Silveira, "LC-VCO Design Optimization Methodology Based on the  $g_m/I_D$  Ratio for Nanometer CMOS Technologies," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, no. 7, pp. 1822–1831, 2011.
- [219] K. Kundert, "Predicting the Phase Noise and Jitter of PLL-Based Frequency Synthesizers," Designer's Guide Consulting, Inc., Tech. Rep., 2015.

- [220] P. Pereira, M. Helena Fino, and M. Ventim-Neves, “Optimal LC-VCO design through evolutionary algorithms,” in *Analog Integrated Circuits and Signal Processing*, vol. 78, no. 1, 2014, pp. 99–109.
- [221] V. Valenta, G. Baudoin, and M. Villegas, “Phase noise analysis of PLL based frequency synthesizers for multi-radio mobile terminals,” in *Proceedings of the 3rd International Conference on Cognitive Radio Oriented Wireless Networks and Communications, CrownCom 2008*, 2008.
- [222] D. Leenaerts, J. van der Tang, and C. S. Vaucher, “Oscillators,” in *Circuit Design For RF Transceivers*. Boston, MA: Springer US, 2003, pp. 185–242.
- [223] C.-H. Ho, K. A. Jenkins, H. Ainspan, E. Ray, B. P. Linder, and P. Song, “Performance Degradation Analysis and Hot-Carrier Injection Impact on the Lifetime Prediction of LC Voltage Control Oscillator,” *IEEE Transactions on Electron Devices*, vol. 62, no. 7, pp. 2148–2154, 2015.
- [224] D. Chang, J. N. Kitchen, B. Bakkaloglu, S. Kiaei, and S. Ozev, “Monitor-Based In-Field Wearout Mitigation for CMOS LC Oscillators,” *IEEE Transactions on Device and Materials Reliability*, vol. 16, no. 2, pp. 183–193, 2016.
- [225] Jiann-Shiun Yuan and Shuyu Chen, “A Simulation Study of Colpitts Oscillator Reliability and Variability,” *IEEE Transactions on Device and Materials Reliability*, vol. 12, no. 3, pp. 576–581, 2012.
- [226] Y. Liu, “Reliability analysis of MOS varactor in CMOS LC VCO,” *Microelectronics Journal*, vol. 42, no. 2, pp. 330–333, 2011.
- [227] F. R. Chouard, M. Fulde, and D. Schmitt-Landsiedel, “Reliability assessment of voltage controlled oscillators in 32nm high- $\kappa$  metal gate technology,” in *2010 Proceedings of ESSCIRC*. IEEE, 2010, pp. 410–413.
- [228] A. Sadat, Yi Liu, Chuanzhao Yu, and J. Yuan, “Analysis and modeling of LC oscillator reliability,” *IEEE Transactions on Device and Materials Reliability*, vol. 5, no. 1, pp. 119–126, 2005.
- [229] Enjun Xiao, J. Yuan, and Hong Yang, “Hot-carrier and soft-breakdown effects on VCO performance,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 50, no. 11, pp. 2453–2458, 2002.

- [230] J. Kolhatkar, E. Hoekstra, A. Hof, C. Salm, J. Schmitz, and H. Wallinga, "Impact of hot-carrier degradation on the low-frequency noise in MOSFETs under steady-state and periodic large-signal excitation," *IEEE Electron Device Letters*, vol. 26, no. 10, pp. 764–766, 2005.
- [231] J. P. Xu, P. T. Lai, and Y. C. Cheng, "1/f noise in n-channel metal-oxide-semiconductor field-effect transistors under different hot-carrier stresses," *Journal of Applied Physics*, vol. 86, no. 9, p. 5203, 1999.
- [232] H. Su, H. Wang, H. Liao, and H. Hu, "Degradation of high-frequency noise in nMOSFETs under different modes of hot-carrier stress," *IEEE Transactions on Electron Devices*, vol. 59, no. 11, pp. 3078–3083, 2012.
- [233] H. Su, H. Wang, T. Xu, and R. Zeng, "Hot-carrier-induced damage and its spatial location on RF noise in deep-submicrometer NMOSFETs," in *IEEE Transactions on Microwave Theory and Techniques*, vol. 56, no. 5, 2008, pp. 1295–1300.
- [234] H. Su, H. Wang, T. Xu, and R. Zeng, "Experimental study on the role of hot carrier induced damage on high frequency noise in deep submicron NMOSFETs," in *Digest of Papers - IEEE Radio Frequency Integrated Circuits Symposium*, 2007, pp. 163–166.
- [235] S. M. Pazos, J. J. Baudino, M. N. Joglar, F. L. Aguirre, C. Navarro *et al.*, "Sensitive Devices and Phase Noise Degradation Mechanisms on all-NMOSFET RF VCO Aging," in *2020 Argentine Conference on Electronics (CAE)*. IEEE, 2020, pp. 20–26.
- [236] B. Kaczer, J. Franco, P. Weckx, P. Roussel, M. Simicic *et al.*, "The defect-centric perspective of device and circuit reliability—From gate oxide defects to circuits," *Solid-State Electronics*, vol. 125, pp. 52–62, 2016.
- [237] L. M. Procel, F. Crupi, J. Franco, L. Trojman, and B. Kaczer, "Defect-centric distribution of channel hot carrier degradation in nano-MOSFETs," *IEEE Electron Device Letters*, vol. 35, no. 12, pp. 1167–1169, 2014.
- [238] C. Bernier, F. Hameau, G. Billiot, E. De Foucauld, S. Robinet *et al.*, "An ultra low power SoC for 2.4GHz IEEE802.15.4 wireless communications," in *ESSCIRC 2008 - Proceedings of the 34th European Solid-State Circuits Conference*, 2008, pp. 426–429.

- [239] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland *et al.*, “A fully integrated 2.4-GHz IEEE 802.15.4-compliant transceiver for ZigBee™ applications,” in *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, 2006, pp. 2767–2774.
- [240] T. K. Nguyen, V. Krizhanovskii, J. Lee, S. K. Han, S. G. Lee *et al.*, “A low-power RF direct-conversion receiver/transmitter for 2.4-GHz-band IEEE 802.15.4 standard in 0.18- $\mu\text{m}$  CMOS technology,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 12, pp. 4062–4071, 2006.
- [241] R. Fiorelli, N. Barabino, F. Silveira, and E. Peralías, “Normalized Nonlinear Semiempirical MOST Model Used in Monolithic RF Class A-to-C PAs,” *Circuits, Systems, and Signal Processing*, vol. 39, no. 6, pp. 2796–2821, 2019.
- [242] M. Ruberto, O. Degani, S. Wail, A. Tendler, A. Fridman, and G. Goltman, “A reliability-aware RF power amplifier design for CMOS radio chip integration,” in *IEEE International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2008, pp. 536–540.
- [243] V. R. Vathulya, T. Sowlati, and D. Leenaerts, “Class 1 bluetooth power amplifier with 24 dbm output power and 48in *Proceedings of the 27th European Solid-State Circuits Conference*, 2001, pp. 57–60.
- [244] T. Azadmousavi and E. Najafi Aghdam, “Adaptive Body Biasing Circuit for Reliability and Variability Compensation of a Low Power RF Amplifier,” *IEEE Transactions on Device and Materials Reliability*, vol. 19, no. 1, pp. 226–232, 2019.
- [245] D. Chang, J. N. Kitchen, S. Kiaei, and S. Ozev, “In-field Recovery of RF Circuits from Wearout Based Performance Degradation,” *IEEE Transactions on Emerging Topics in Computing*, pp. 1–1, 2017.
- [246] D. Chang, J. N. Kitchen, B. Bakkaloglu, S. Kiaei, and S. Ozev, “Design-Time Reliability Enhancement Using Hotspot Identification for RF Circuits,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 3, pp. 1179–1183, 2016.
- [247] T. Quemerais, L. Moquillon, J.-M. Fournier, P. Benech, and V. Huard, “Design-in-Reliable Millimeter-Wave Power Amplifiers in a 65-nm CMOS Process,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, no. 4, pp. 1079–1085, 2012.

- [248] T. Quemerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, and N. Corrao, "DC hot carrier stress effect on CMOS 65nm 60 GHz power amplifiers," in *2010 IEEE Radio Frequency Integrated Circuits Symposium*. IEEE, 2010, pp. 351–354.
- [249] E. Maricau and G. Gielen, "Efficient Variability-Aware NBTI and Hot Carrier Circuit Reliability Analysis," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 29, no. 12, pp. 1884–1893, 2010.
- [250] S. Chen and J.-S. Yuan, "Adaptive Gate Bias for Power Amplifier Temperature Compensation," *IEEE Transactions on Device and Materials Reliability*, vol. 11, no. 3, pp. 442–449, 2011.
- [251] V. Huard, T. Quemerais, F. Cacho, L. Moquillon, S. Haendler, and X. Federspiel, "Design-in reliability approach for Hot Carrier injection modeling in the context of AMS/RF applications," in *International Reliability Physics Symposium (IRPS) Proceedings*. IEEE, 2011, pp. 5A.5.1–5A.5.7.
- [252] B. Kaczer, R. Degraeve, A. De Keersgieter, K. Van de Mieroop, V. Simons, and G. Groeseneken, "Consistent model for short-channel nMOSFET after hard gate oxide breakdown," *IEEE Transactions on Electron Devices*, vol. 49, no. 3, pp. 507–513, 2002.
- [253] K. Kutty, J.-S. Yuan, and S. Chen, "Evaluation of gate oxide breakdown effect on cascode class E power amplifier performance," *Microelectronics Reliability*, vol. 51, no. 8, pp. 1302–1308, 2011.
- [254] S. Pazos, F. Aguirre, F. Palumbo, and F. Silveira, "Performance-reliability trade-offs in short range RF power amplifier design," *Microelectronics Reliability*, vol. 88-90, pp. 38–42, 2018.
- [255] C. Mukherjee, B. Ardouin, J.-Y. Dupuy, V. Nodjiadjim, M. Riet *et al.*, "Reliability-Aware Circuit Design Methodology for Beyond-5G Communication Systems," *IEEE Transactions on Device and Materials Reliability*, vol. 17, no. 3, pp. 490–506, 2017.
- [256] C.-N. J. Liu, Y.-L. Chen, T.-Y. Liu, and T.-C. Chen, "Reliability-aware design automation flow for analog circuits," in *2015 International SoC Design Conference (ISOCC)*. IEEE, 2015, pp. 1–2.

- [257] N. Saputra and J. R. Long, "A fully-integrated, short-range, low data rate FM-UWB transmitter in 90 nm CMOS," in *IEEE Journal of Solid-State Circuits*, vol. 46, no. 7, 2011, pp. 1627–1635.
- [258] T. Hillebrand, N. Hellwege, S. Paul, and D. Peters-Drolshagen, "Reliability-Aware Design Method for CMOS Circuits," in *Workshop on Early Reliability Modeling for Aging and Variability in Silicon Systems*, Adrian Evans, Stefano di Carlo, Praveen Raghavan, and Dimitris Gizopoulos, Eds., Dresden, Germany, 2016, pp. 17–20.
- [259] T. Hillebrand, T. Schafer, N. Hellwege, M. Erstling, D. Peters-Drolshagen, and S. Paul, "Design and verification of analog CMOS circuits using the  $g_m/I_D$ ," in *2016 26th International Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)*. IEEE, 2016, pp. 136–141.
- [260] J. S. Yuan and H. Tang, "CMOS RF Design for Reliability Using Adaptive Gate–Source Biasing," *IEEE Transactions on Electron Devices*, vol. 55, no. 9, pp. 2348–2353, 2008.
- [261] N. Barabino and F. Silveira, "Digitally Assisted CMOS RF Detectors With Self-Calibration for Variability Compensation," *IEEE Transactions on Microwave Theory and Techniques*, vol. 63, no. 5, pp. 1676–1682, 2015.
- [262] S. Pazos, F. Aguirre, F. Palumbo, and F. Silveira, "Reliability-aware design space exploration for fully integrated RF CMOS PA," *IEEE Transactions on Device and Materials Reliability*, vol. 20, no. 1, pp. 33–41, 2019.
- [263] J. W. Jeong, V. Natarajan, S. Sen, T. Mak, J. Kitchen, and S. Ozev, "A Comprehensive BIST Solution for Polar Transceivers Using On-Chip Resources," *ACM Transactions on Design Automation of Electronic Systems*, vol. 23, no. 1, pp. 1–21, 2017.
- [264] J. Carballido, J. Hermosillo, A. Veloz, D. Arditti, A. Del Rio *et al.*, "A programmable calibration/BIST engine for RF and analog blocks in SoCs integrated in a 32 nm CMOS WiFi transceiver," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 7, pp. 1669–1679, 2013.
- [265] Y. Liu, J. J. Wang, M. Sun, and Y. Liu, "A compensating technique for RF performance degradation of low noise amplifier in nanoscale CMOS process," in *2016 IEEE International Nanoelectronics Conference (INEC)*. IEEE, 2016, pp. 1–2.



- [266] S. Pazos, F. Aguirre, F. Palumbo, and F. Silveira, “Hot-carrier-injection resilient RF power amplifier using adaptive bias,” *Microelectronics Reliability*, vol. 114, p. 113912, 2020.

